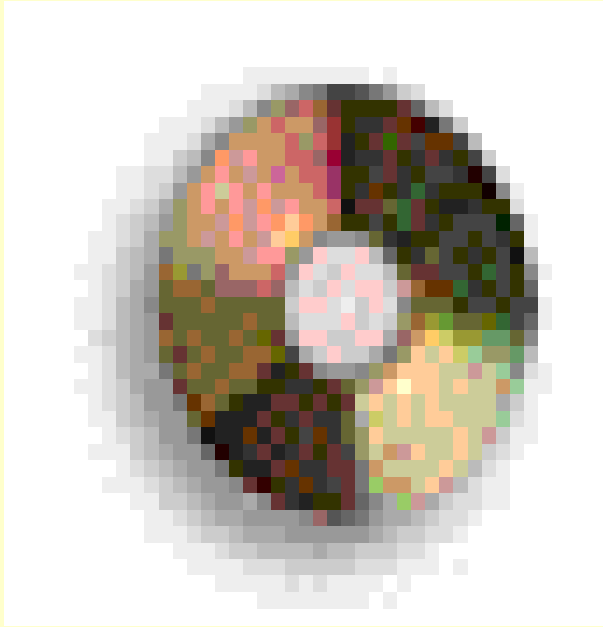
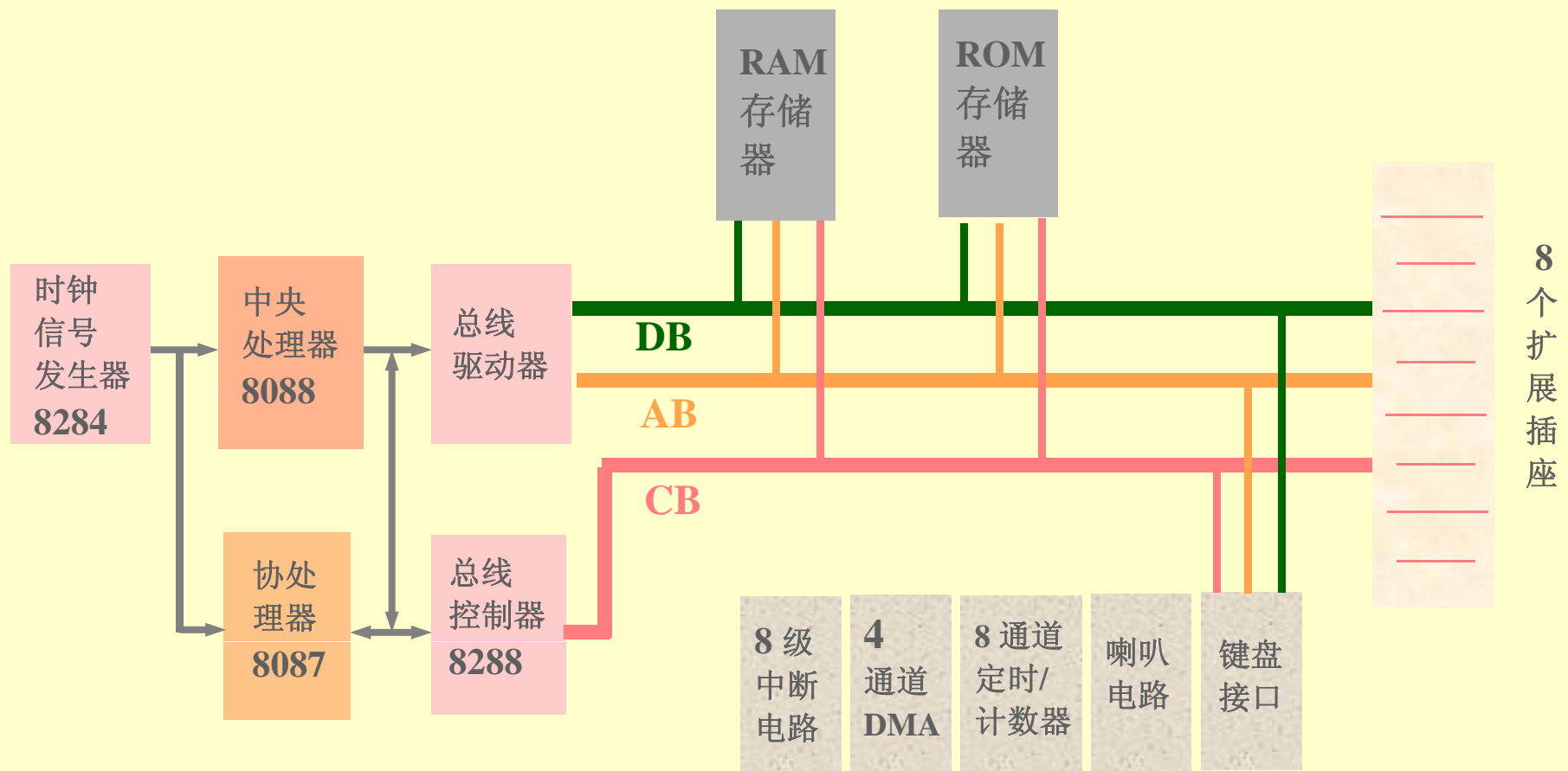


第四章 8088的总线操作和时序

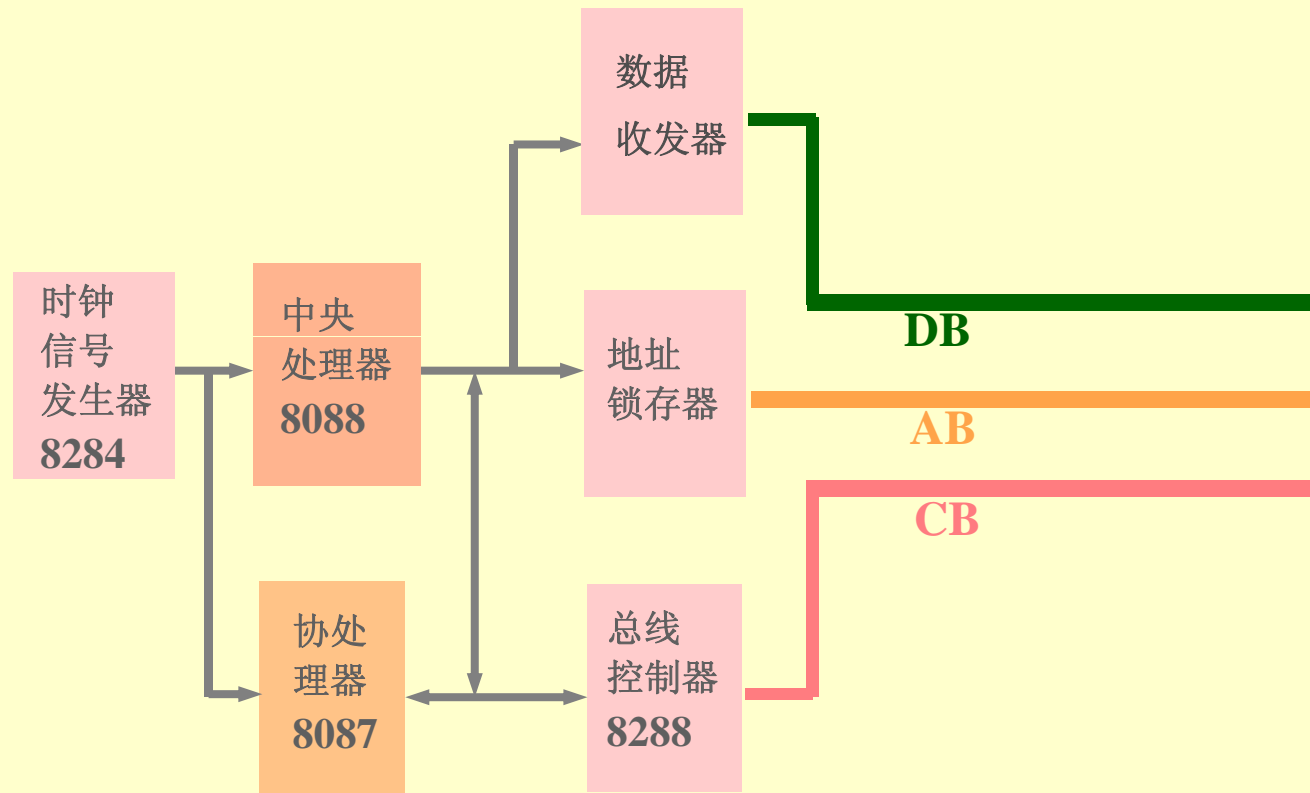


- 一、IBM PC/XT机主板结构
- 二、IBM PC/XT控制核心
- 三、8088/8086的操作
- 四、8086/8088的总线周期
- 五、8088/8086总线形成
- 六、总线周期的概念
- 七、最大组态下的8088时序
- 八、系统总线上的信号时序
- 九、IBM PC/XT的CPU系统

一、IBM PC/XT机主板结构



二、IBM PC/XT的控制核心



三、8088/8086的操作

一个微型机在运行过程中，需要CPU进行许多操作。8088的主要操作有：

1. 系统的复位和启动操作；
2. 暂停操作；
3. 总线操作；
4. 中断操作；
5. 最小组态下的总线保持；
6. 最大组态下的总线请求/允许。



四、8086/8088的总线周期

IBM PC/XT 共有七种总线周期:

1. 存储器读总线周期
2. 存储器写总线周期
3. I / O读总线周期
4. I / O写总线周期
5. 中断响应周期

8088/ 8086启动的总线周期

6. 存储器读和 I/O 写总线周期
7. 存储器写和 I/O 读总线周期

DMA(直接存储器存取)
启动的总线周期



五、8088/8086总线形成

当8088CPU与存储器和外设构成一个计算机系统时，根据所连接的存储器和外设的规模，8088可以有两种不同的组态。

1. 最小组态

当所连的存储器容量不大，I/O端口不多时。

系统的地址总线——CPU的 $AD_0 \sim AD_7$, $A_8 \sim A_{15}$, $A_{15} \sim A_{19}$ 通过地址锁存器8282 构成。

系统的数据总线——直接由 $AD_0 \sim AD_7$ 提供，或通过数据收发器8286供给。

系统的控制总线——直接由CPU的控制线供给。

2. 最大组态

当要构成的系统较大，要求较强的驱动能力时。

系统的地址总线——CPU的 $AD_0 \sim AD_7$, $A_8 \sim A_{15}$, $A_{15} \sim A_{19}$ 通过地址锁存器8282 构成。

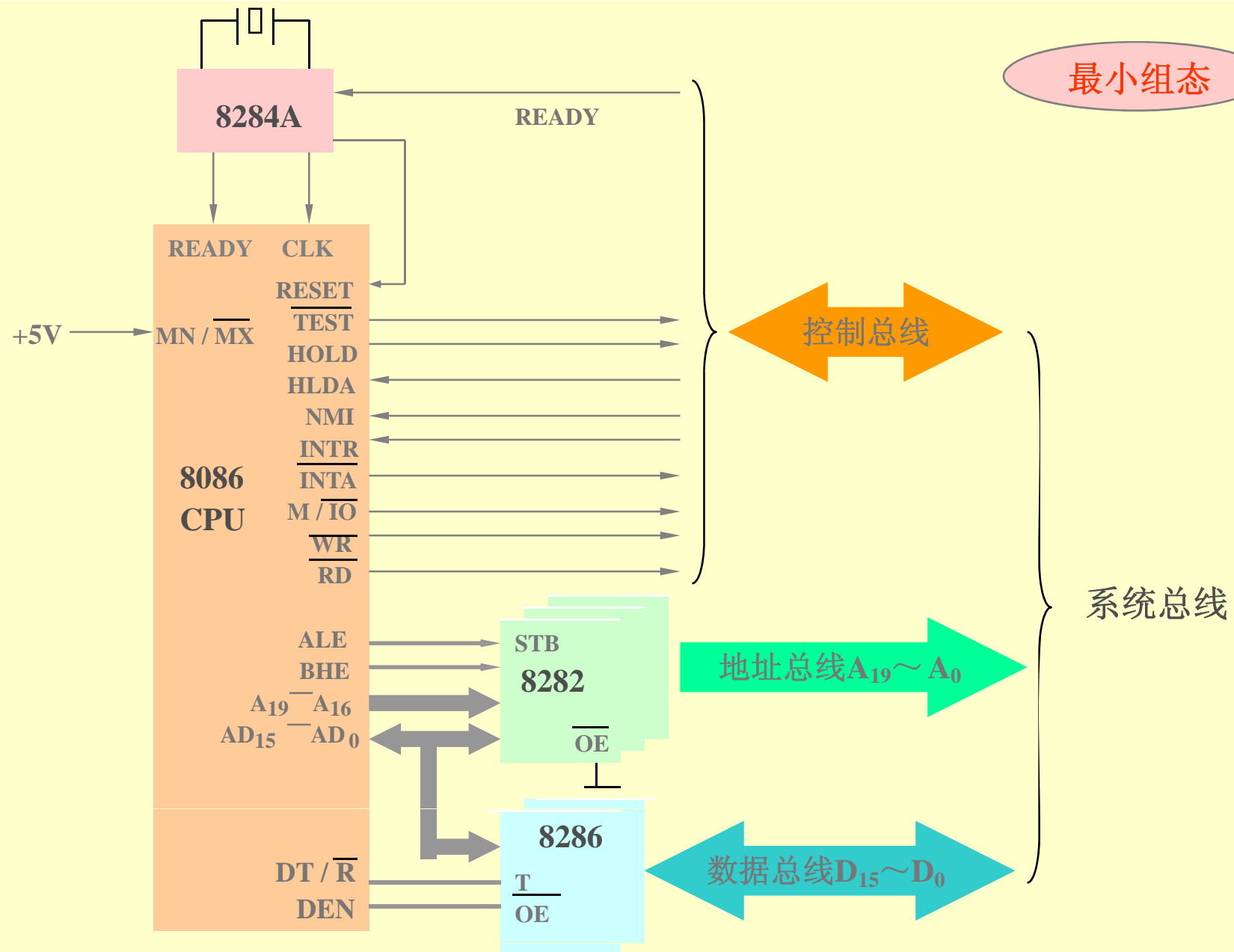
系统的数据总线——或通过数据收发器8286供给。

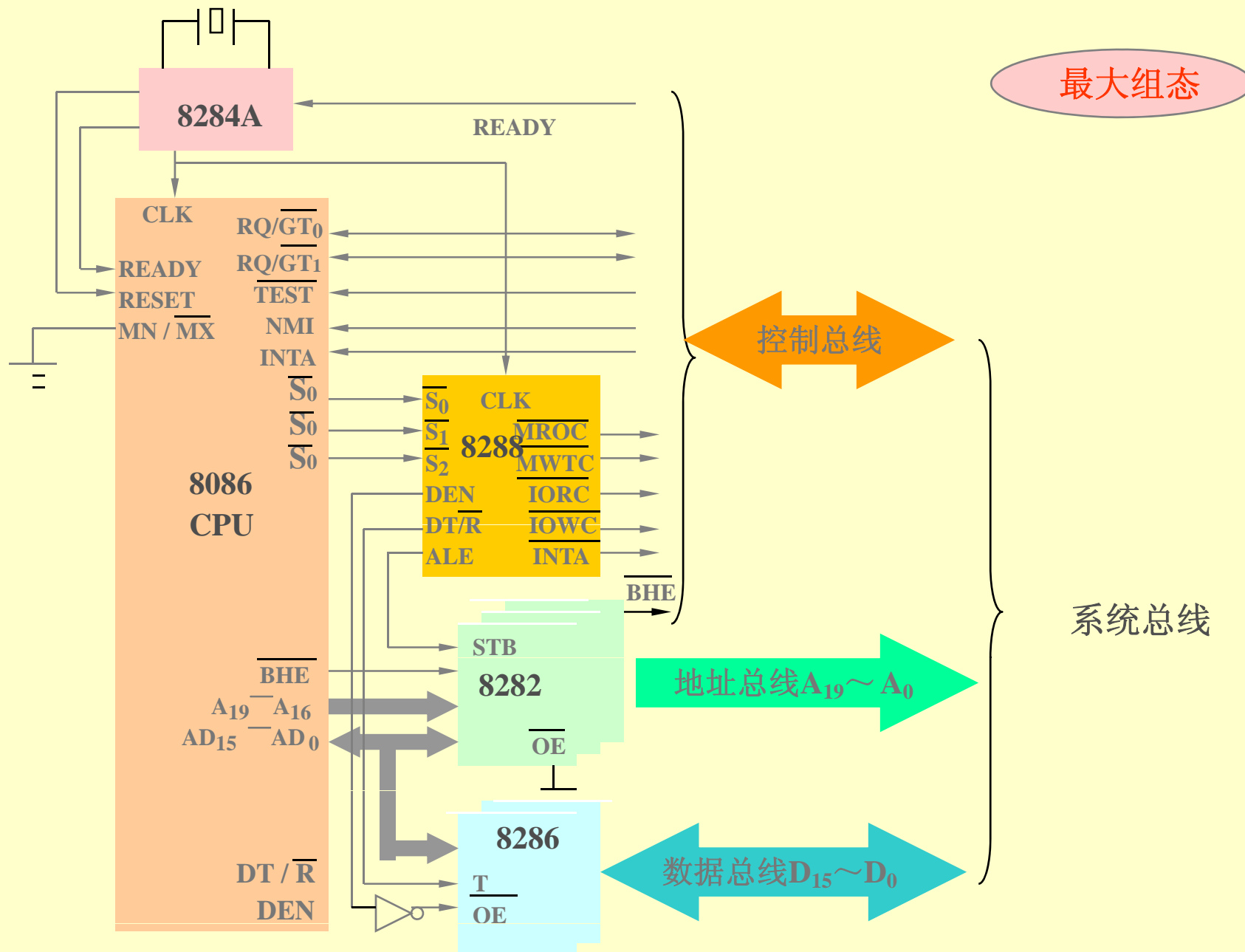
系统的控制总线——通过总线控制器8288供给。

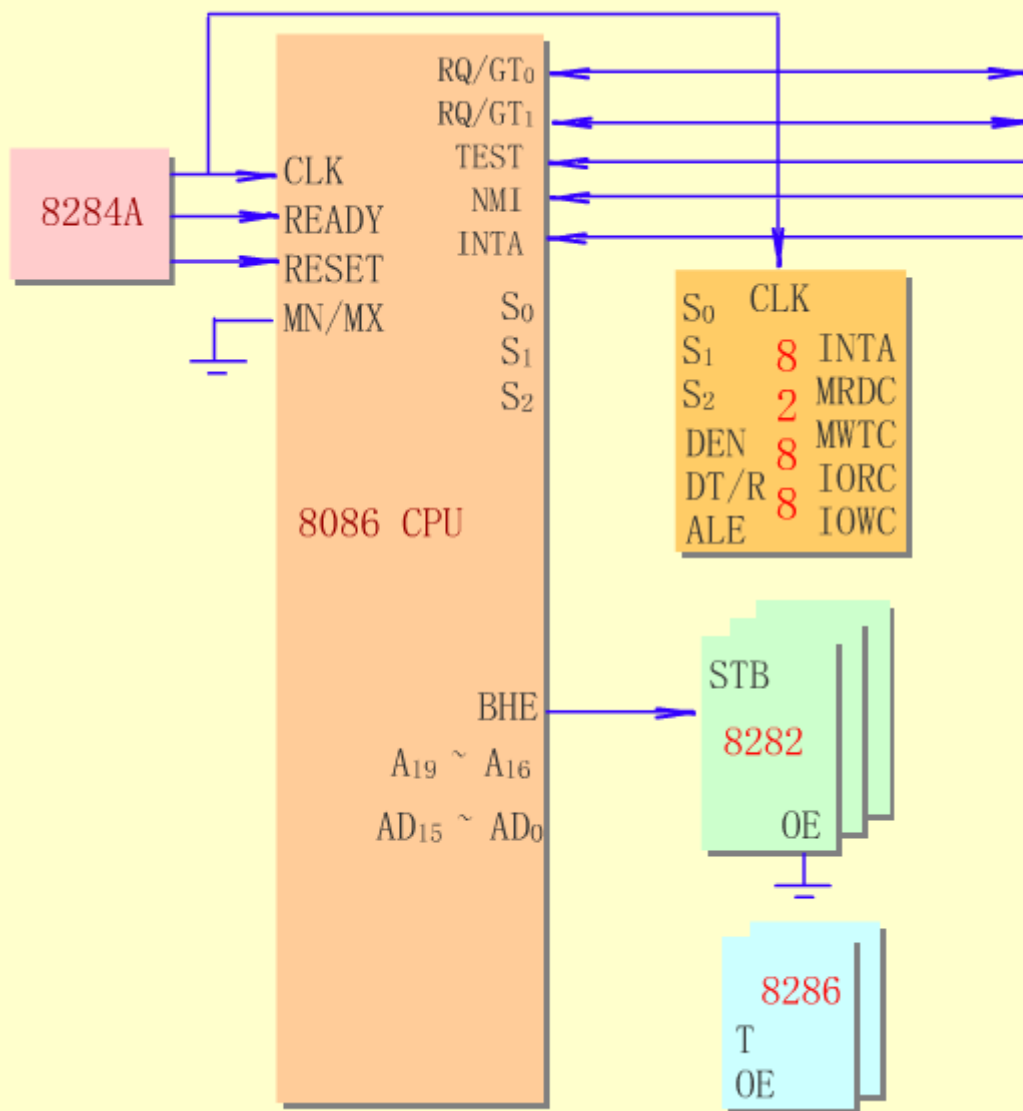
两种组态通过8088引脚信号MN/MX决定。



最小组态







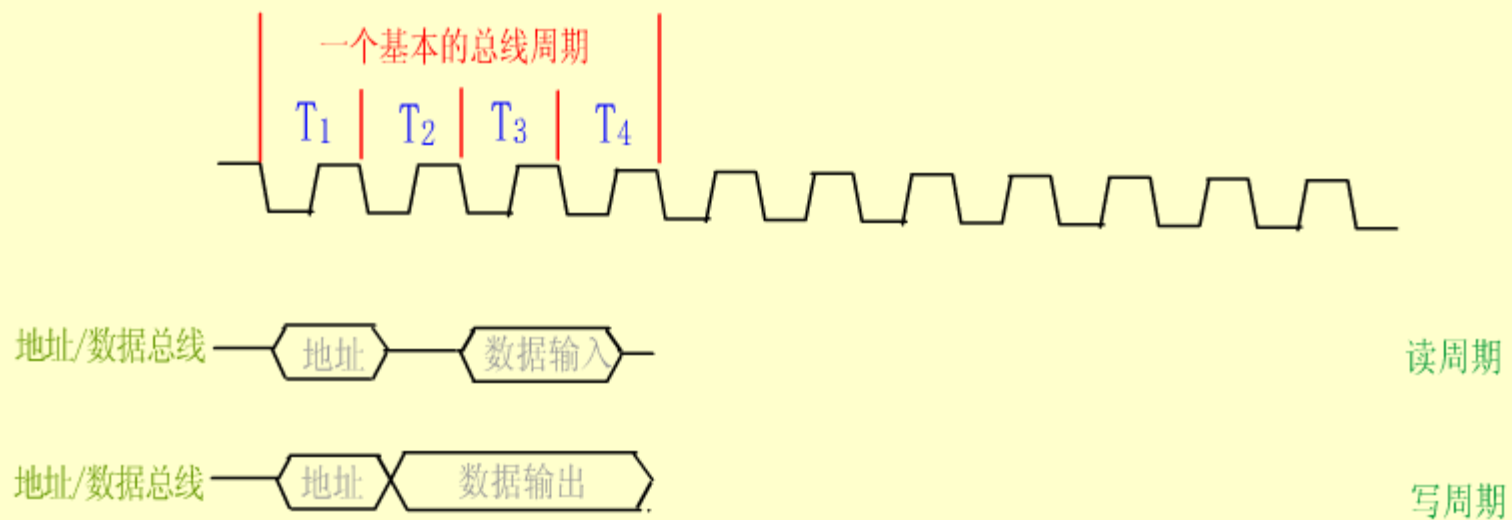
最大模式总线形成

播放

停止



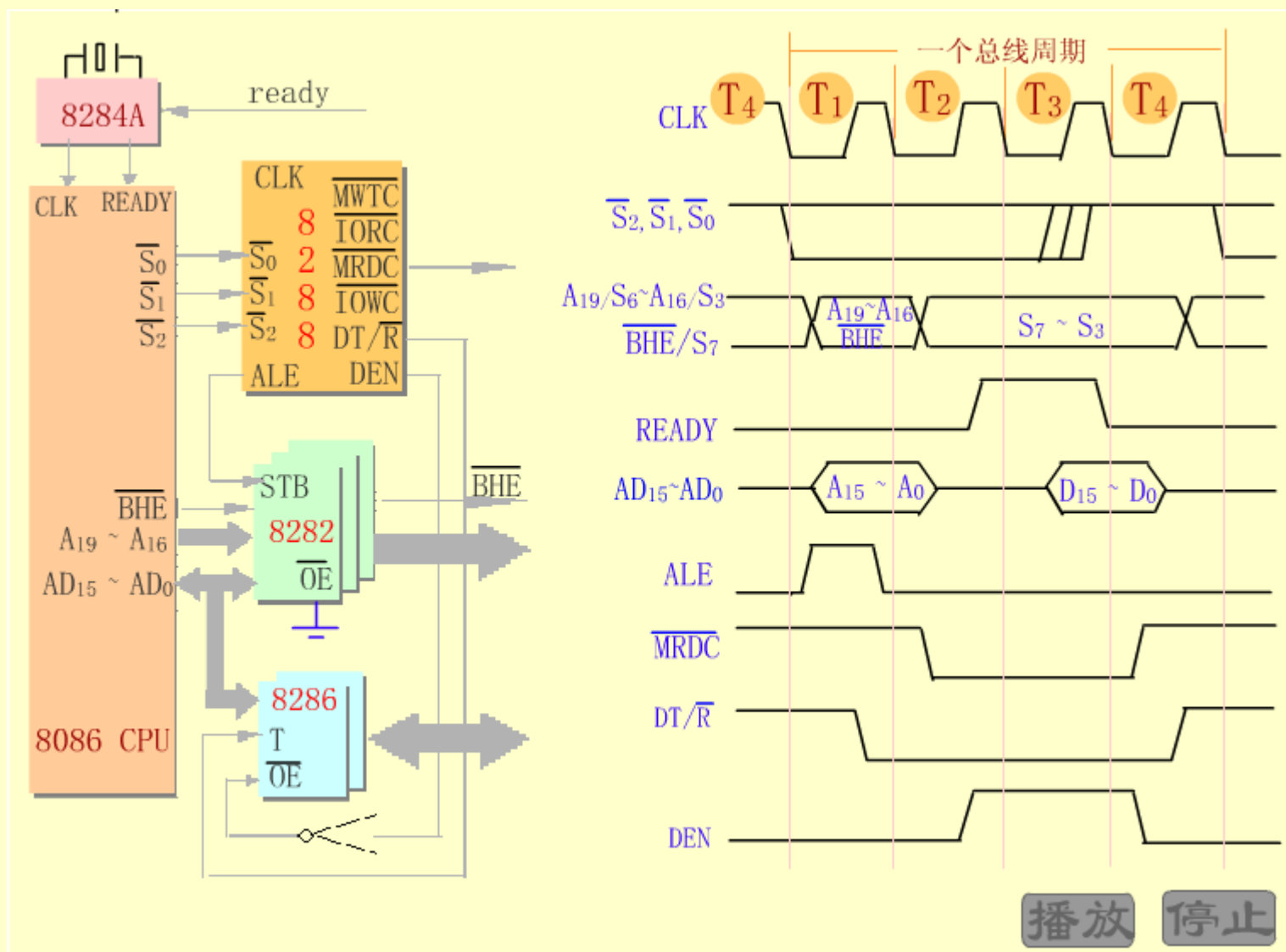
六、总线周期的概念



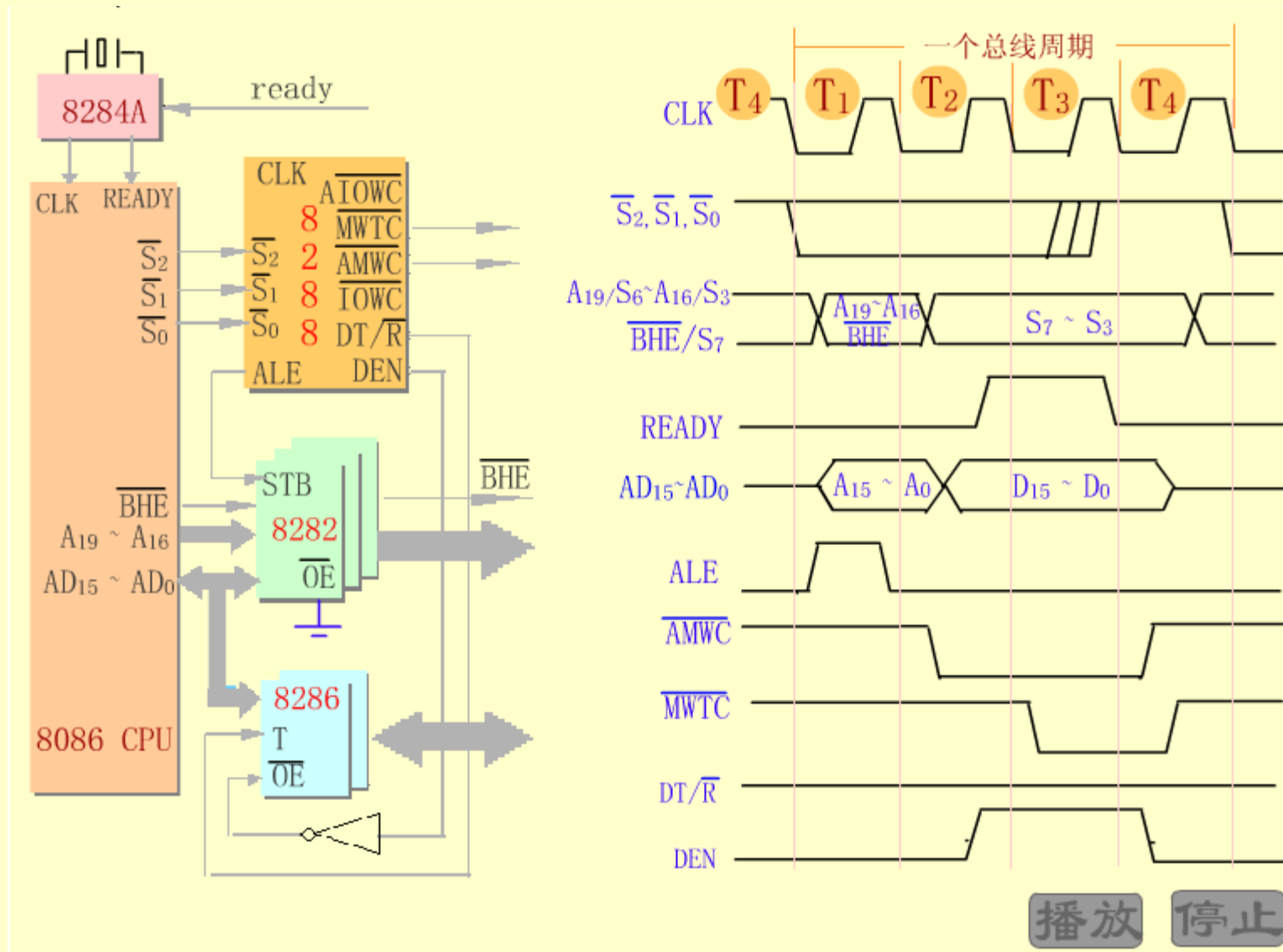
播放 停止



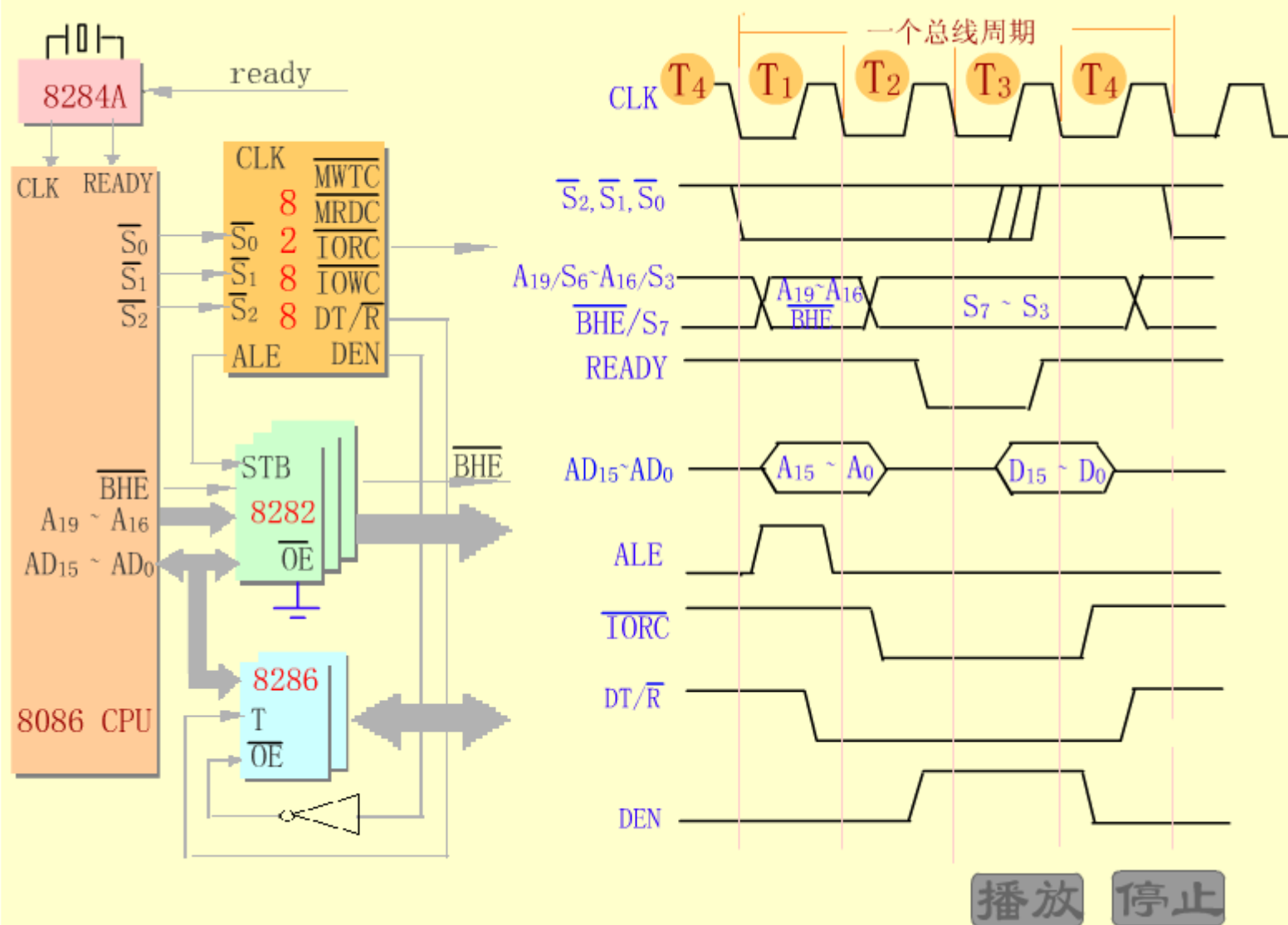
七、最大组态下的8088时序 —— 1.存储器读周期



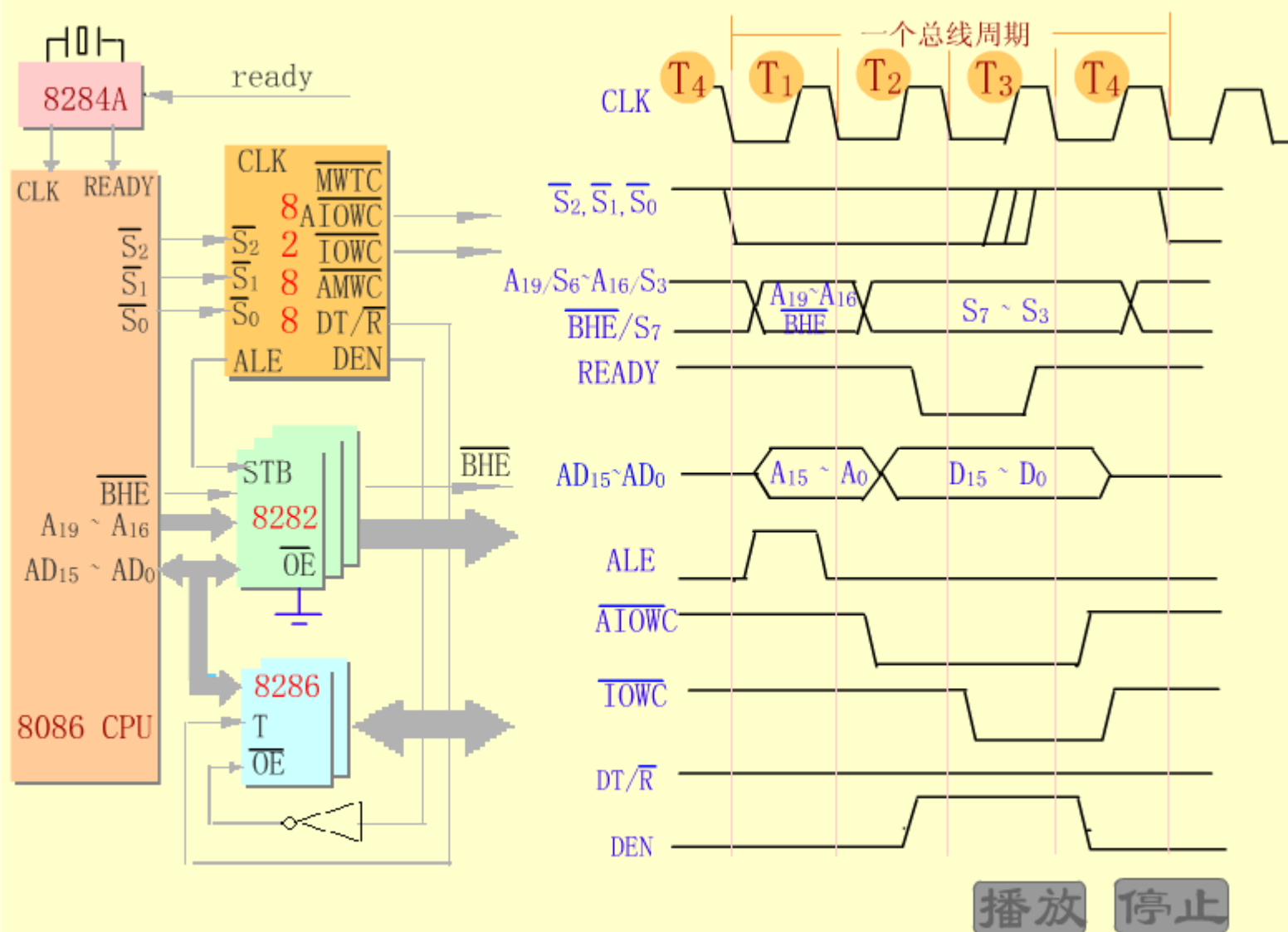
2. 存储器写周期



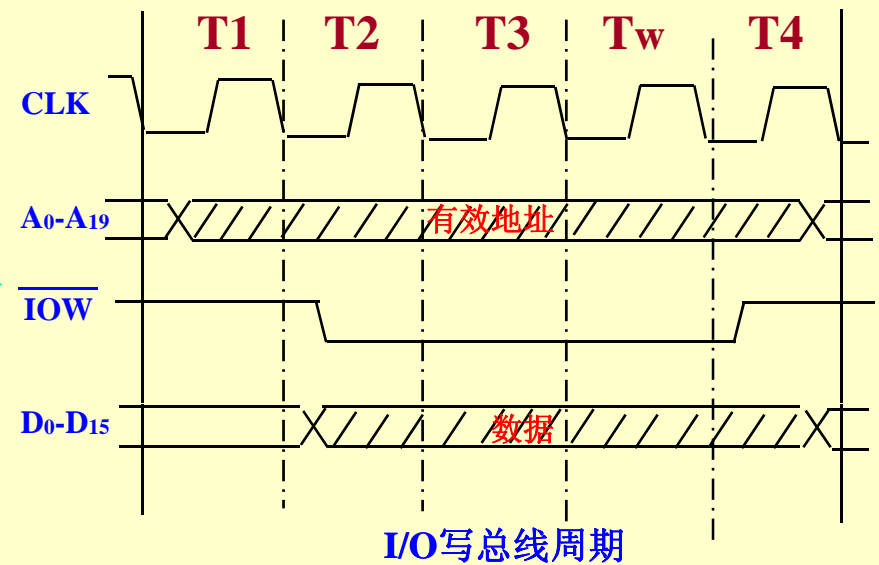
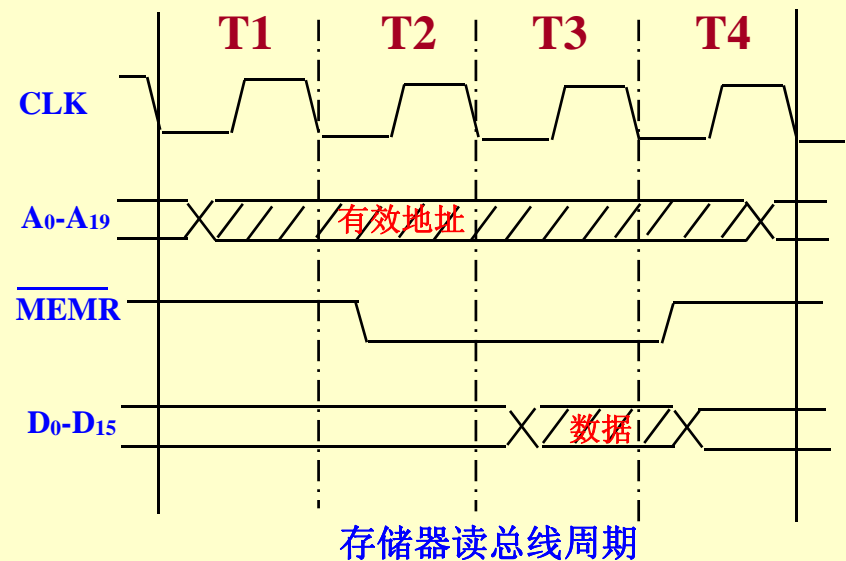
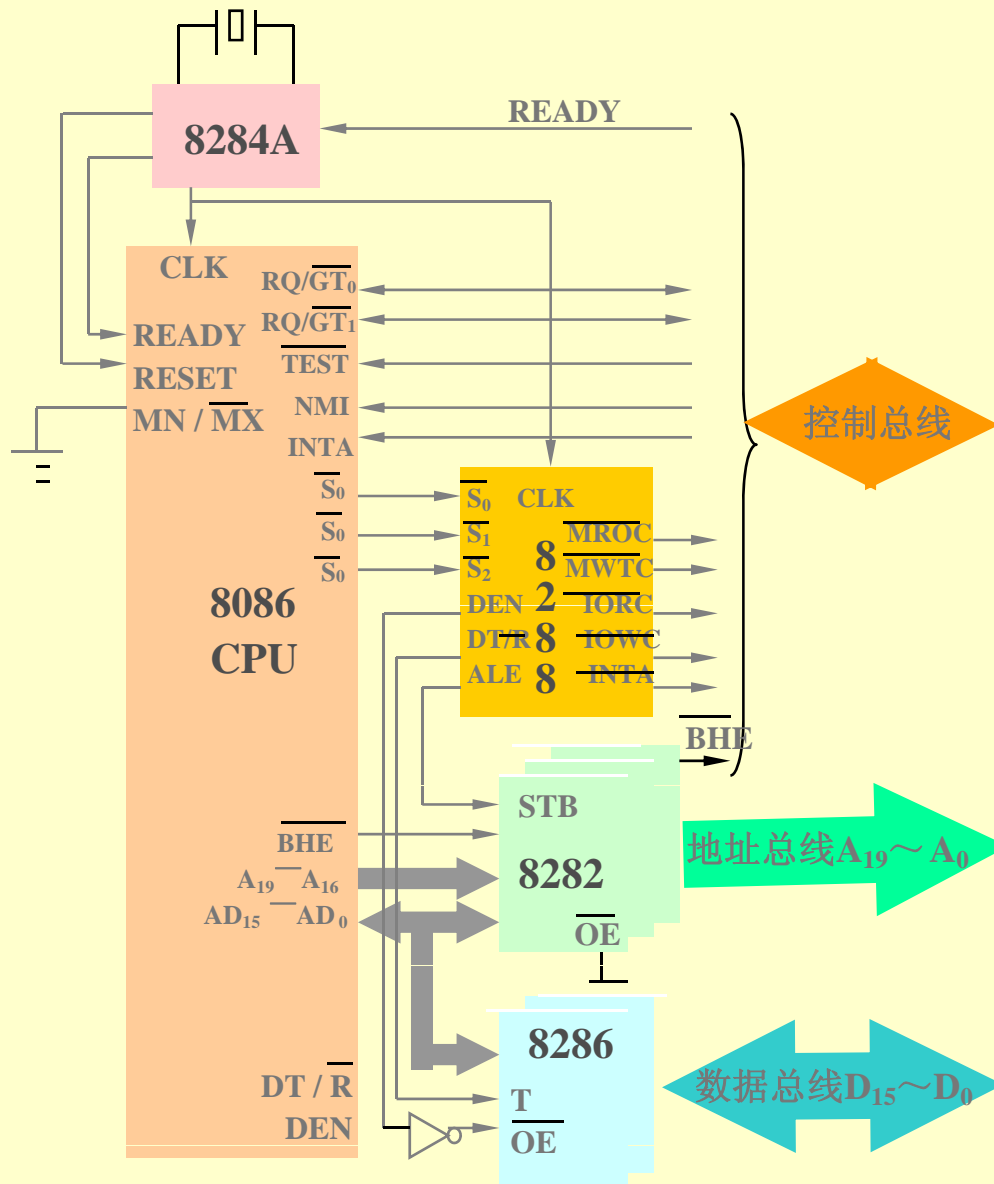
3. I/O读周期



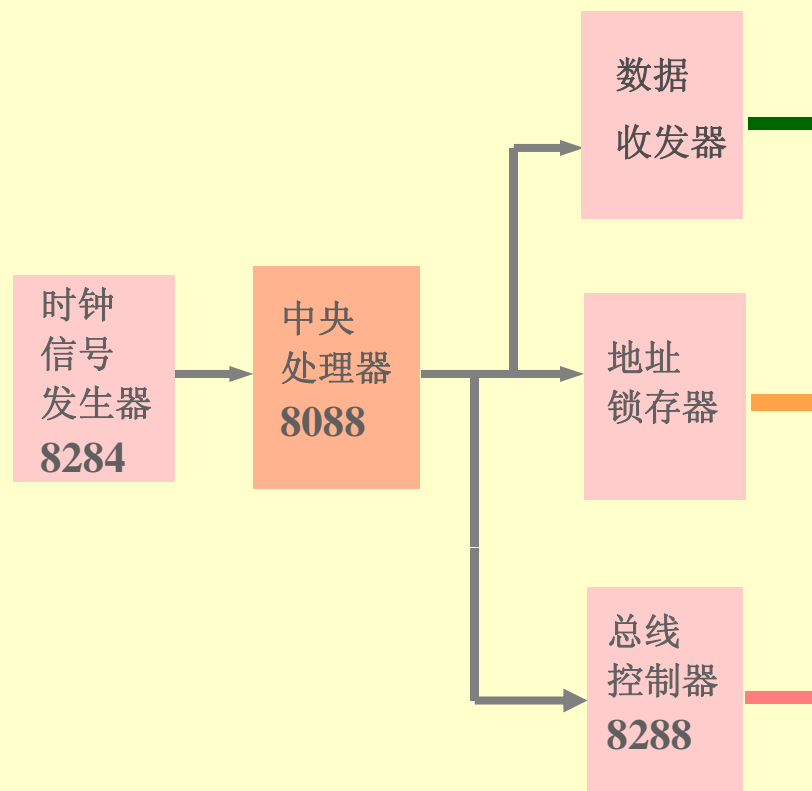
4. I/O写周期



八、系统总线上的信号时序

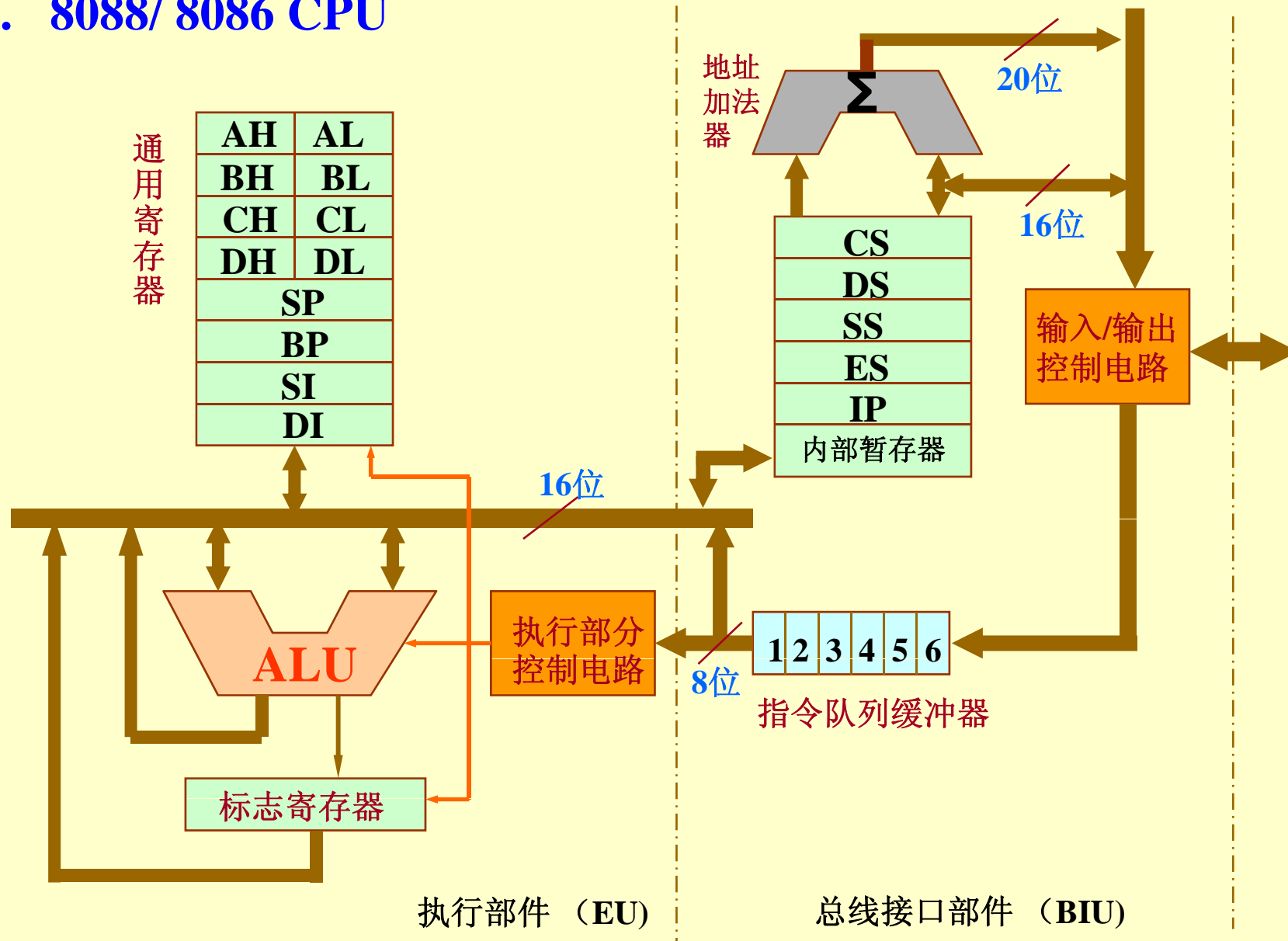


九、IBM PC/XT的CPU系统



IBM PC/XT的控制核心

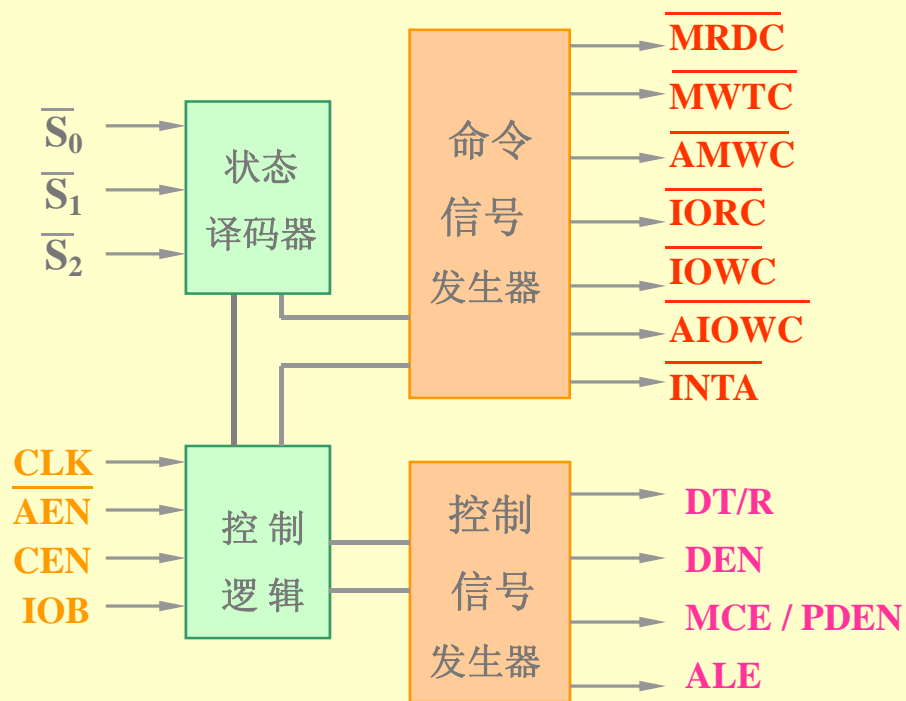
1. 8088/ 8086 CPU



8086/8088引脚信号

GAD	1	8086	40	VCC
AD₁₄	2		39	AD₁₅
AD₁₃	3		38	AD₁₆ / S₃
AD₁₂	4		37	AD₁₇ / S₄
AD₁₁	5		36	AD₁₈ / S₅
AD₁₀	6		35	AD₁₉ / S₆
AD₉	7		34	SS₀ (HIGH)
AD₈	8		33	MN / MX
AD₇	9		32	RD
AD₆	10		31	HOLD (RQ / GT)
AD₅	11		30	HLDA (RQ / GT)
AD₄	12		29	WR (LOCK)
AD₃	13		28	M / IO (S₃)
AD₂	14		27	DT / R (S₃)
AD₁	15		26	DEN (S₃)
AD₀	16		25	ALE
NMI	17		24	INTA
INTR	18		23	TEST
CLK	19		22	READY
GAD	20		21	RESET

2. 总线控制器 8288



输入信号	$S_0 S_1 S_2$	8088的状态信号
	\overline{CLK}	时钟信号
	\overline{AEN}	地址输入允许信号
	\overline{CEN}	命令允许输出信号
	\overline{IOB}	I/O总线方式控制信号

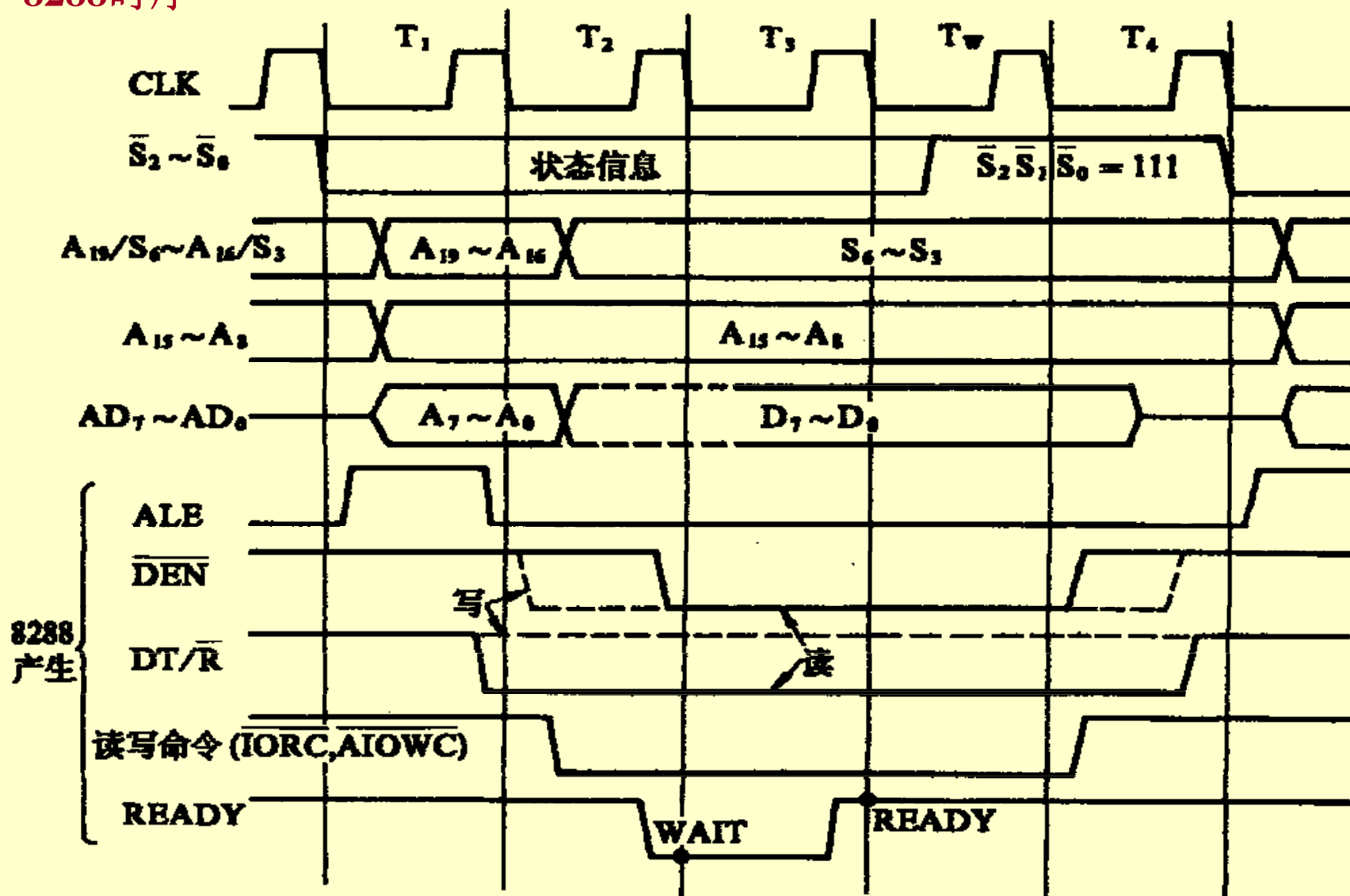
$S_0 S_1 S_2$	8088 的总线周期	8288 的命令输出
0 0 0	中断响应	\overline{INTA}
0 0 1	读 I/O 口	\overline{IORC}
0 1 0	写 I/O 口	$\overline{IOWC}, \overline{AIOWC}$
0 1 1	暂停	—
1 0 0	取指令代码	\overline{MRDC}
1 0 1	读 存储器	\overline{MRDC}
1 1 0	写存储器	$\overline{MWTC}, \overline{AMWC}$
1 1 1	过渡状态	—

8288的控制输出

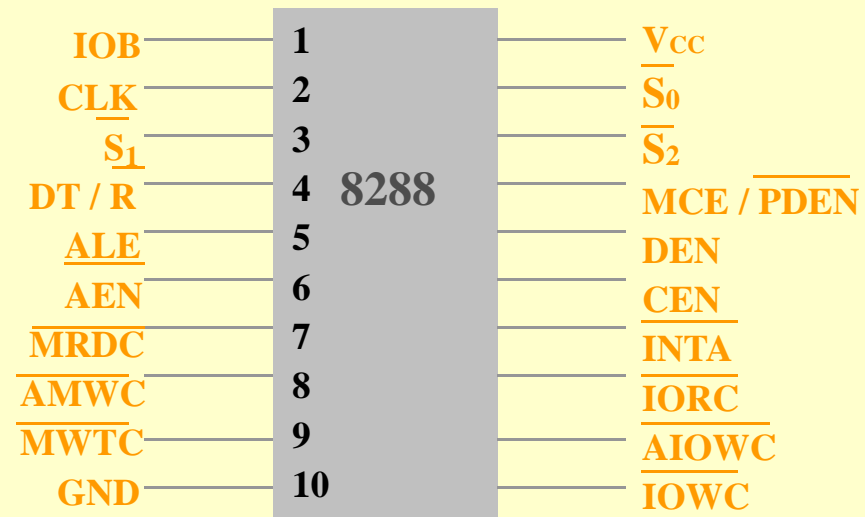
\overline{ALE}	地址锁存允许信号
$\overline{DT/R}$	数据发送/接受信号
\overline{DEN}	数据输出允许信号
$\overline{MCE/PDEN}$	双功能引脚



8288时序

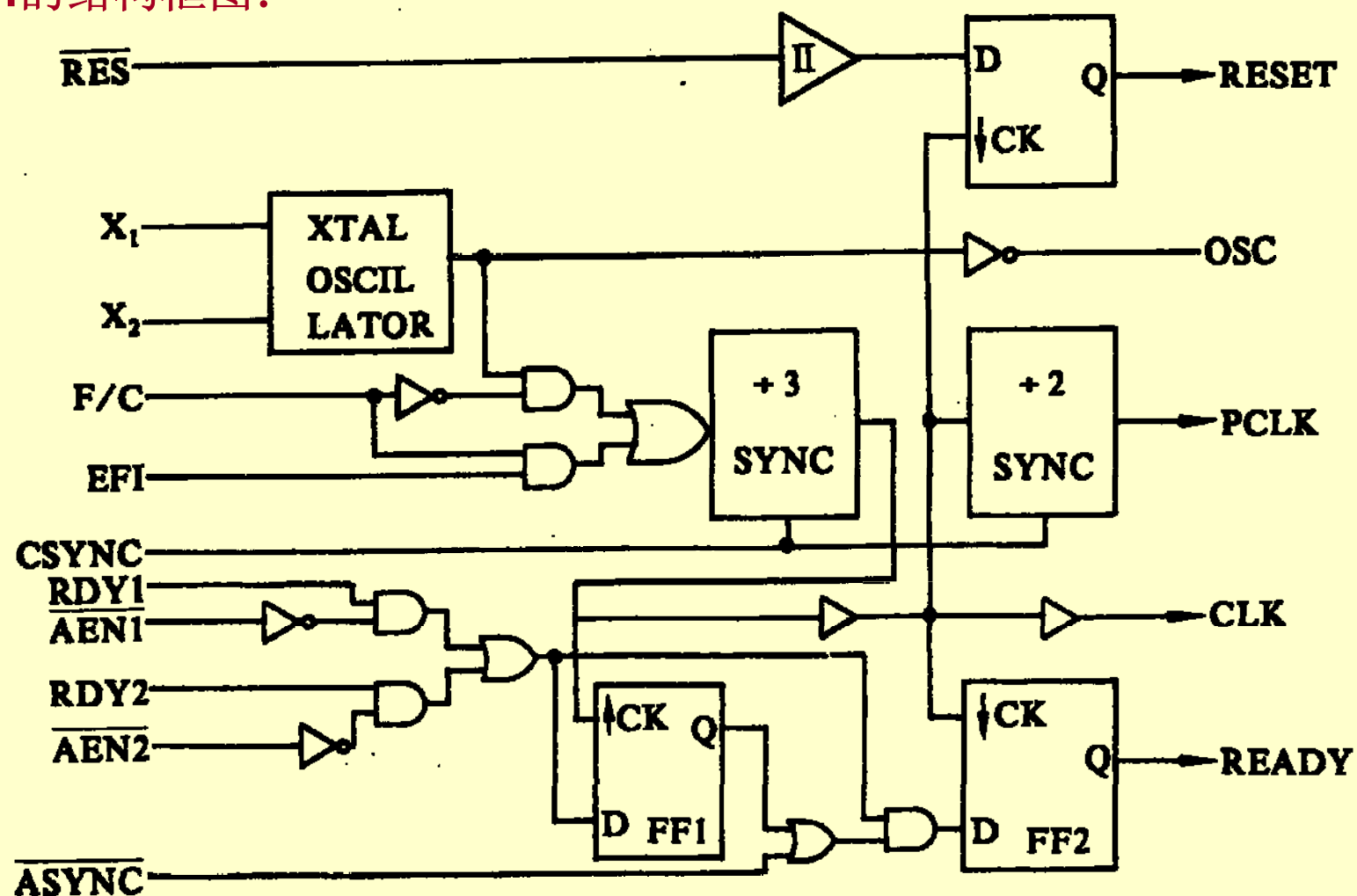


8288引脚信号



3. 8284时钟信号发生器

8284的结构框图:



8284的输出信号:

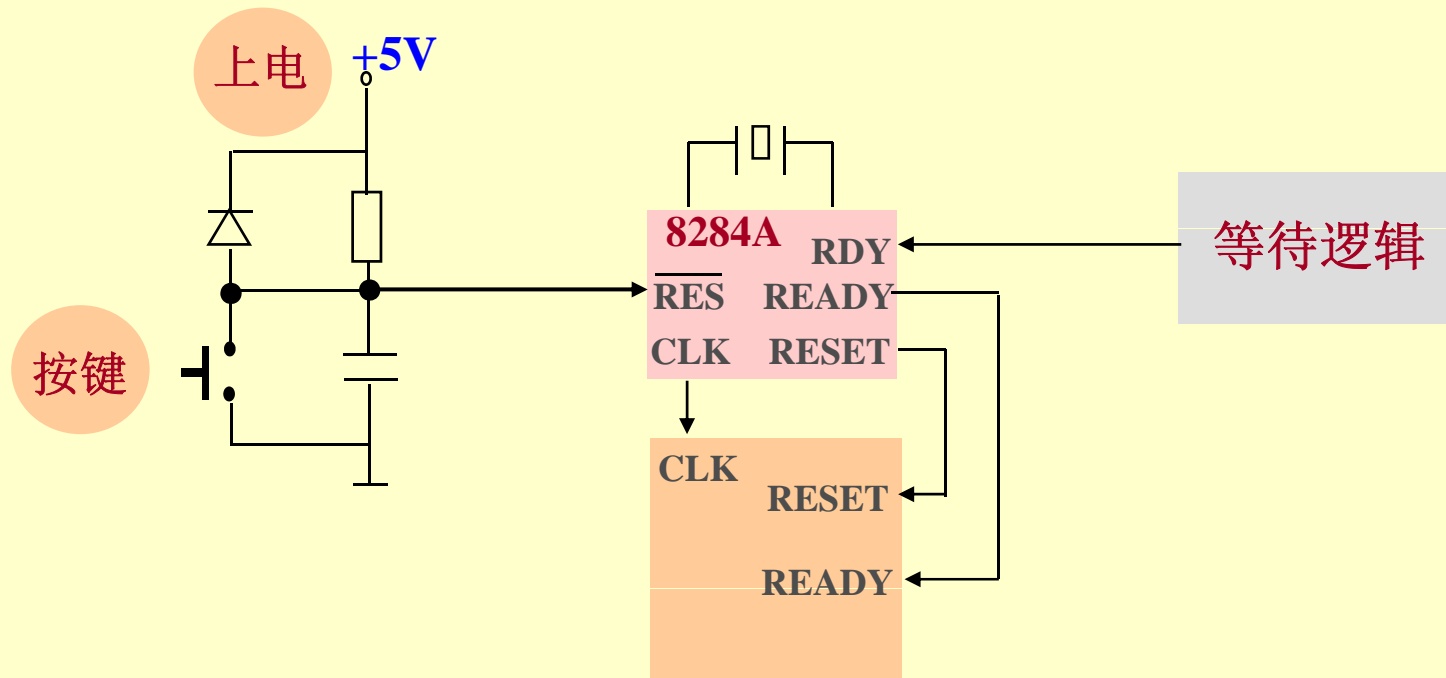
RESET—— 复位信号

READY—— 准备好信号

CLK—— 8088系统时钟，将晶振体三分频，产生**4.77MHz** 的频率。

PCLK—— 外围设备用时钟信号，将**CLK**二分频，频率为 **2.387MHz**。

OSC——**14.318MHz**的频率。



8284的输入信号:

$\overline{\text{RES}}$ ——外部复位输入;

X_1, X_2 ——外接晶振体输入;

F/C ——输入控制信号, $\text{F/C}=0$ 时, 由 X_1, X_2 外接晶振体形成8088时钟;

$\text{F/C}=1$ 时, 由 EFI 输入外部方波信号形成8088时钟;

OSYNC ——同步工作控制信号, 当多个8284同时工作时使用;

ASync ——准备好信号的同步控制信号;

RDY1 ——总线准备好信号;

AEN1 ——地址允许信号;

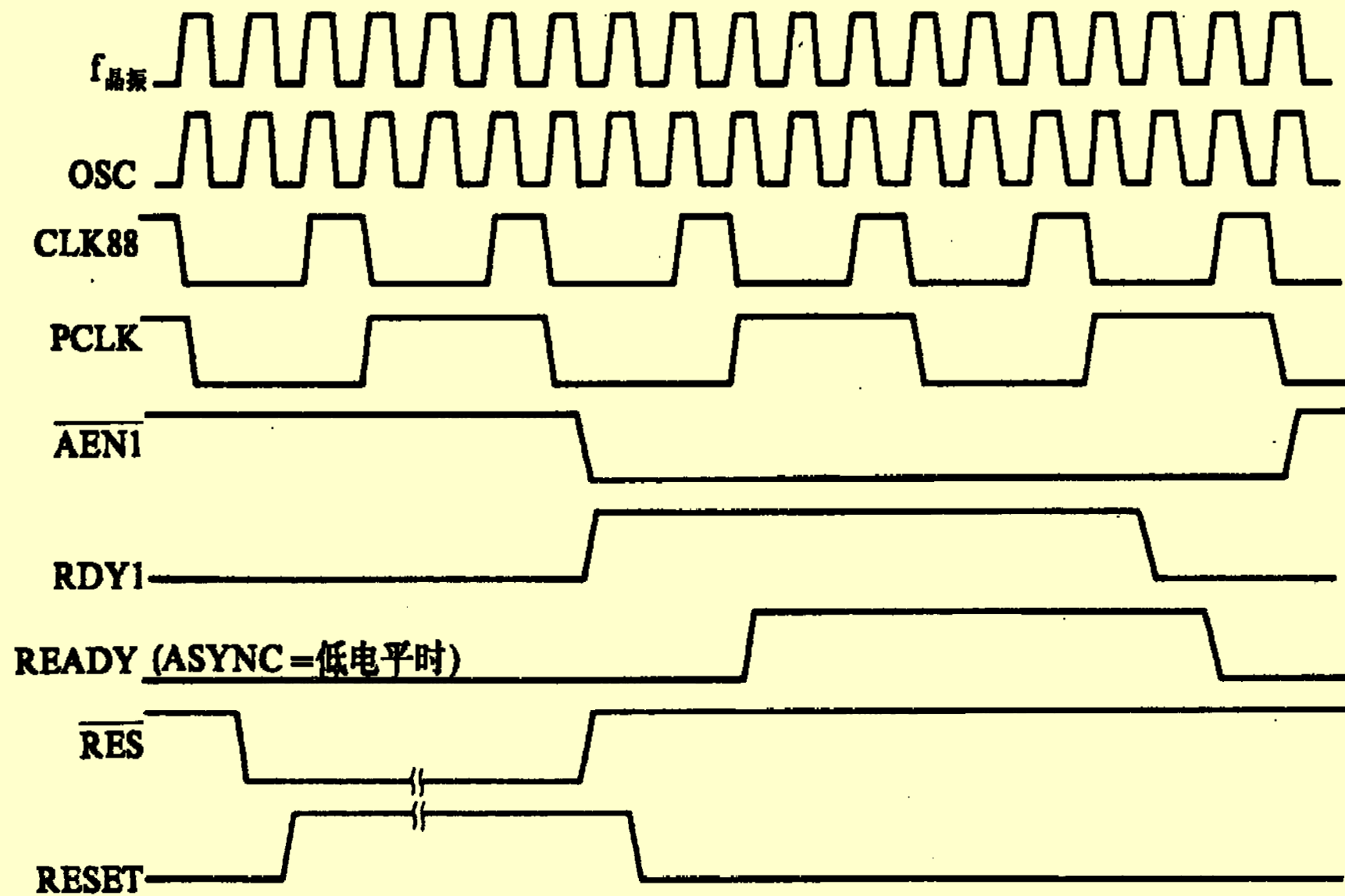
RDY2 ——总线准备好信号;

AEN2 ——地址允许信号;

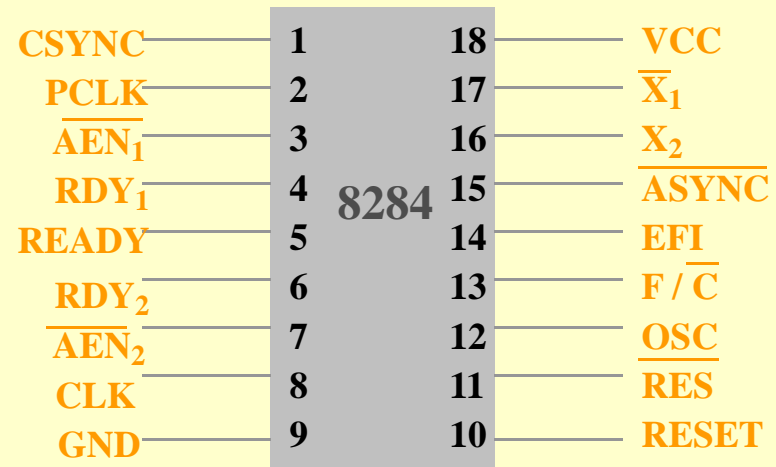
8284A在IBM PC /XT中的应用——见IBM PC/XT控制核心



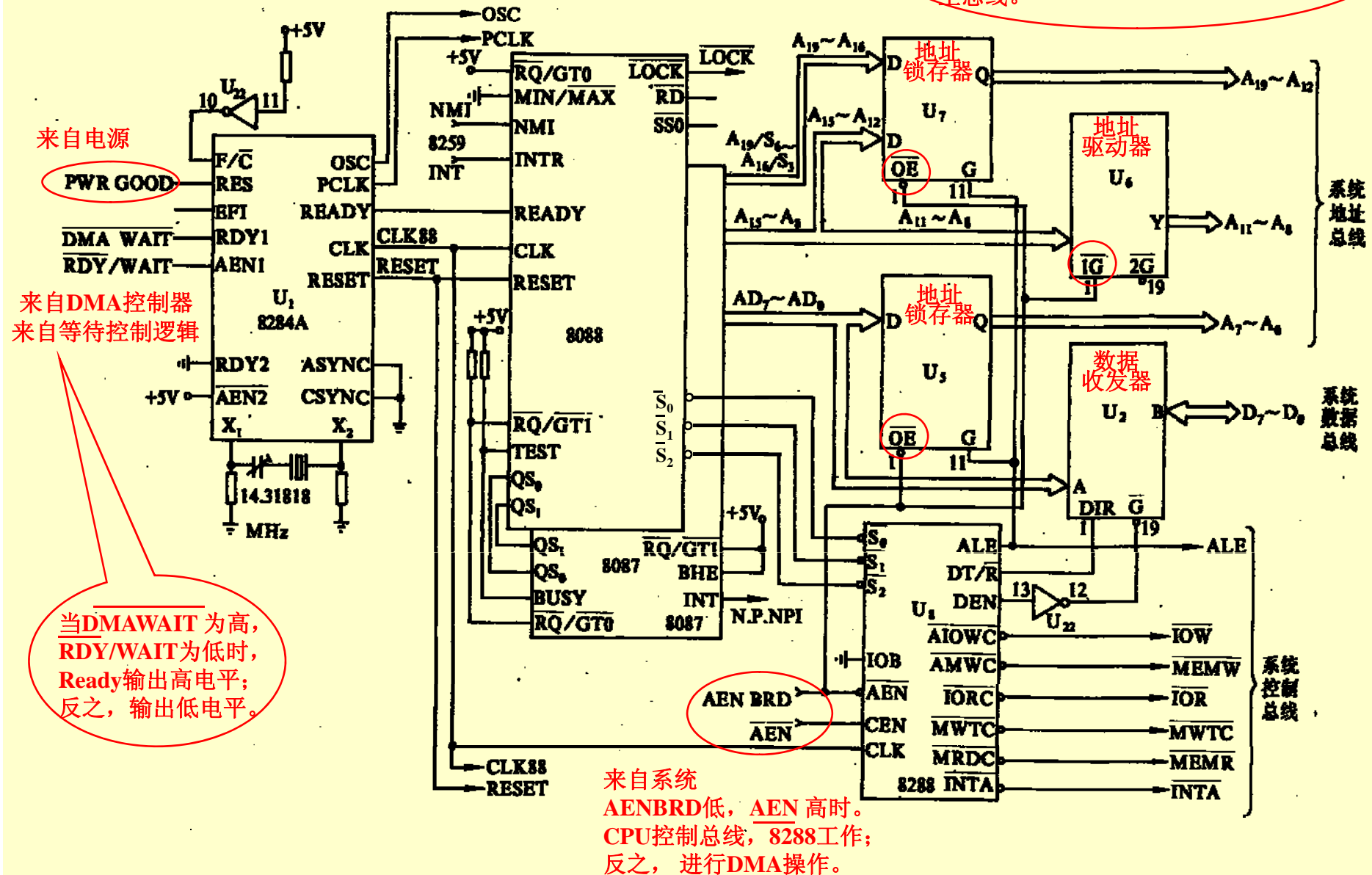
8284时序



8284引脚信号



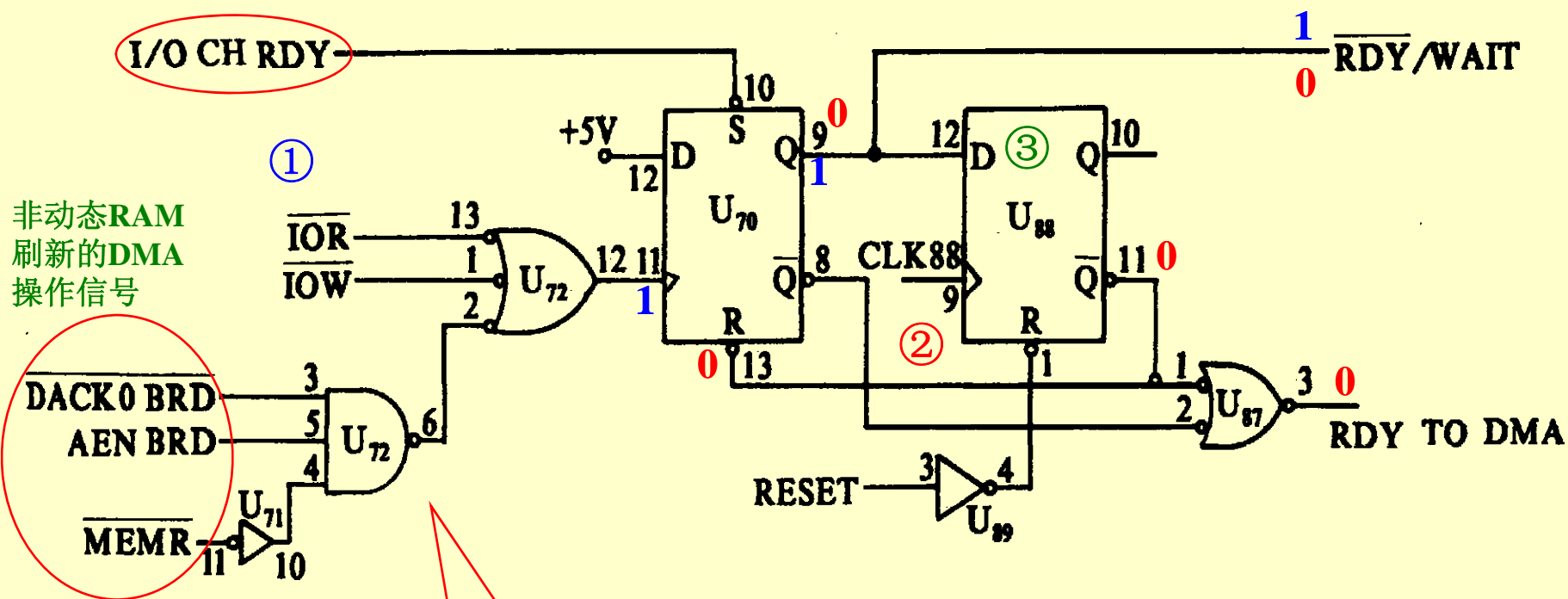
4. IBM PC/XT 的控制核心



5. 等待电路

IBM PC/XT规定存储器访问周期不插入等待状态；而在 I/O 访问周期需插入一个等待状态。DMA操作（非动态RAM刷新）时需插入一个等待状态。

I/O CH RDY信号，送至U₇₀的直流置位端，当其为0时，U₇₀输出保持为0，产生连续请求插入等待状态的控制信号。该信号用于I/O设备在插入一个T_w仍不能完成传输的情况，传输完成后，由I/O设备使其复位。



当上述三个信号中任一个为0时，将U₇₀置1。