

为什么会有建立时间 (setup time) 和保持时间 (hold time) 要求



时序 (Timing) 是数字电路设计中最为关注的主题之一，而建立时间和保持时间又是两个非常重要的基本概念。在进一步分析 setup 和 hold 问题前，我们先来简单介绍下为什么会有建立时间 setup 和保持时间 hold 要求。

1、D 触发器结构

要知道为什么会有 setup、hold 要求，首先要清楚 D 触发器的结构。D 触发器可以由静态逻辑实现，也可以由动态逻辑实现，这里仅讨论静态 CMOS D 触发器。构成一个 D 触发器最普遍方法是采用主从结构。如下图所示，上升沿触发的主从结构 D 触发器由一个负 latch（主级）和正 latch（从级）串联而成，latch 则可以采用传输门构成的多路开关 MUX 来实现。

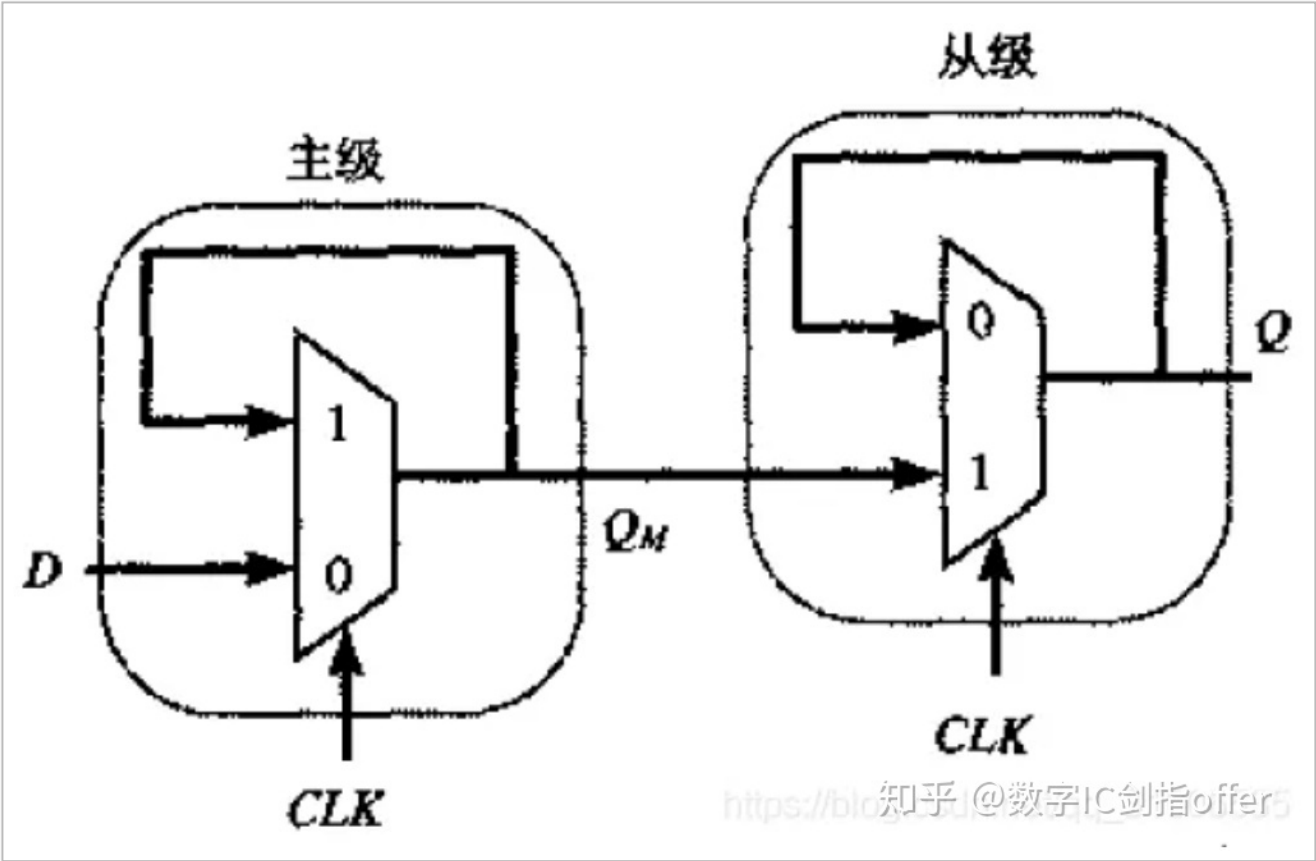


图 1 一种由主从 latch 构成的 D 触发器

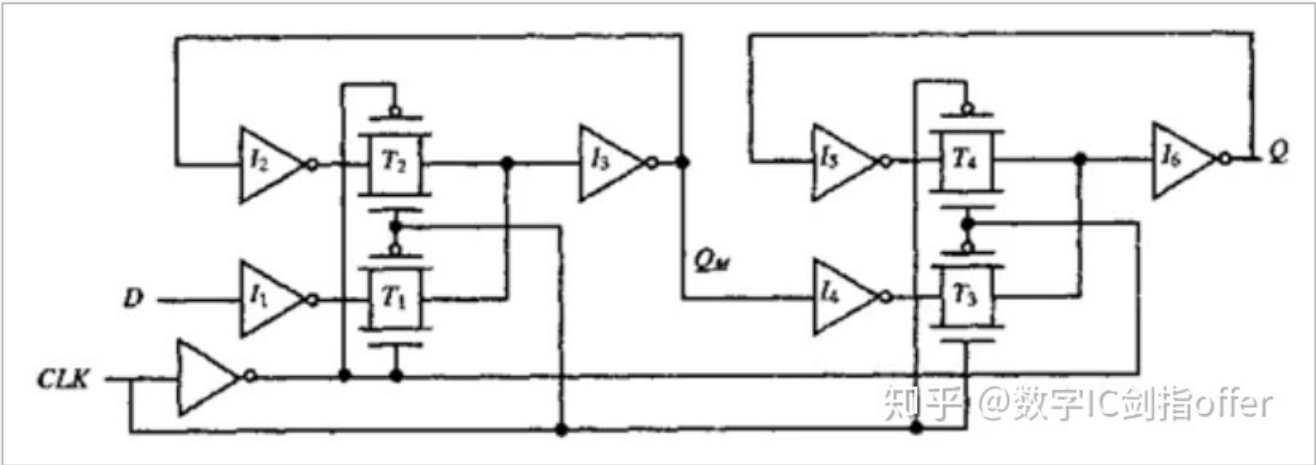


图 2 由传输门构成的主从结构 D 触发器（图 1latch 中的 MUX 通过传输门逻辑实现）

2、为什么有建立时间（setup time）要求？

首先明确建立时间的概念：输入数据 D 在时钟上升沿之前必须保持稳定的最短时间。假设上图中反相器的延时都是 t_{inv} ，传输门的延时都是 t_{tx} 。对于传输门型的主从边沿触发器，输入数据在时钟上升沿到来之前必须依次传播通过 I_1, T_1, I_3, I_2 ，这样才能保证当时钟上升沿到来导致 T_2 打开时，其两端的电压是相等的，否则交叉耦合反相器就会停留在一个不正确的值。

因此该结构的建立时间为：

$$T_{\text{setup}} = 3 \cdot t_{\text{inv}} + t_{\text{tx}}$$



3、为什么有保持时间 (hold time) 要求？

首先明确保持时间的概念：输入数据 D 在时钟上升沿之后必须保持稳定的最短时间。保持时间其实是为了保证在时钟上升沿之后，D 端的数据不能影响触发器在该上升沿采集的数据。我们都知道，时钟上升沿之后，主 latch 将处于锁存状态，也就是 D 数据是无法传输到主 latch 中的，那为什么还有这样一个保持时间要求呢？

仔细观察上图结构，D 端数据不再影响主 latch 中数据的条件是当时钟上升沿到来时，传输门 T1 关断。但是注意，由于从 D 触发器的 D pin 和 CLK pin 到传输门 T1 的延时是不同的，且传输门的关断需要时间，因此在 CLK 信号到达传输门 T1 控制端并且完成关断动作之前，传输门 T1 前的数据端必须保持不变（注意不是 D pin 端数据），由此即可计算出保持时间要求。

假设传输门的关断不需要时间，而 CLK net 上的反相器和 D net 上的反相器延时相同，那么保持时间就为 0。

如果 CLK net 的反相器延时为 t_{clkinv} ，D net 的反相器延时为 t_{dinv} ，忽略传输门的关断时间，那么保持时间为：

$$T_{\text{hold}} = t_{\text{clkinv}} - t_{\text{dinv}}$$

4、建立时间、保持时间与什么因素有关？

- (1) 触发器本身的结构、工艺
- (2) D、CLK 信号的 transition
- (3) PVT

从上面的分析可以知道，建立时间、保持时间的大小本质上跟内部反相器和传输门的延时有关，凡是会影响门延时的因素都能影响建立时间和保持时间。比如，D、CLK 信号 transition 的不同会导致 D net 和 CLK net 上的反相器延时不同，进而影响 hold；而如果触发器本身采用 LVT 单元实现，那么速度更快，setup 也就更小。

有关 setup 和 hold 基本概念的详细分析及其违例解决方法请见后续推送。

全文完

本文由 简悦 SimpRead 优化，用以提升阅读体验

使用了 全新的简悦词法分析引擎 ^{beta}，[点击查看详细说明](#)

