



Adı	Soyadı	Öğrenci Numarası	Bölümü

Açıklamalar

1. Sınavı çözmeye başlamadan önce tüm açıklamaları ve soruları okuyun. Sınavda toplam 3 soru var ve soruların toplam değeri 100 puan. Bütün soruların değeri köşeli ayraç ile belirtilmiştir. Sınav süresi 135 dakikadır.
2. uzak.etu.edu'da sınav için açılmış yere soru1.v, soru2.v ve soru3.v olarak 3 adet dosya yükleyeceksiniz.
3. Başkasının kâğıdına bakma ve başkasıyla konuşma kopya olarak değerlendirilecektir.
4. **VIVADO'da (Tools → Language Templates) sekmesini cheatsheet olarak kullanabilirsiniz. Başka herhangi bir kağıt, not vs kullanılmayacaktır. Bilgisayarda sadece VIVADO programı açık olacaktır.**

1) [30 puan] 5 bit genişliğinde iki sayının çarpım sonucu hesaplanacaktır. Sayıların en anlamlı biti (MSB) işaret bit, geri kalan bitler ise sayının değeri olarak anlamlandırılacaktır. Örnek olarak bir tane giriş sinyalinde 10110 sayısı -6 değerini ifade ederken 00110 sayısı 6 değerini ifade edecektir. Çarpım sonucunda oluşan sayı ifade edilirken de giriş sinyalleri gibi MSB biti işaret biti olarak değerlendirilecektir. Örnek olarak 10110 ve 00110 girişlerinin sonucu 100100100 iken 00110 ve 00110 işlemi sonucu 000100100 olacaktır. Verilen özellikleri gerçekleştiren sayısal devreyi Verilog dilinde “*” veya “/” operatörünü kullanmadan tasarlayınız.

NOT: Modül tanımı aşağıda verilmiştir, modül tanımını değiştirmek yasaktır.

```
module soru1 (
input [4:0] number1_i,
input [4:0] number2_i,
output reg [8:0] mult_o);
```

2) [40 puan] Bir senaryoda, sabit duran bir aracın reset sinyali ile birlikte ilk pozisyon (metre) ve hız (metre/saniye) bilgileri (start_pos_i, start_vel_i) ve hedeflenen pozisyon bilgisi (dest_pos_i) sisteme kaydedilmektedir ve aktif-yüksek asenkron reset sinyali (rst) ile birlikte araç tanımlanan ilk hız (start_vel_i) ile harekete başlamaktadır. Sonrasında her saniye sonunda aracın hız bilgisi güncellenmektedir ve sonraki saniyede araç giriş olarak tanımlanan hız (vel_i) ile yoluna devam etmektedir. Aracın yalnızca tek eksenle hareket ettiği varsayılmaktadır (Örn. X-ekseni). Araç çıktı olarak anlık pozisyon bilgisini (pos_o) ve hedeflenen pozisyona (dest_pos_i), kaçınıcı saniyede ulaştığını ya da hedefi aştığını bildiren bir sinyale (dest_reach_second_o), ayrıca hedefe vardığında ya da hedefi aştığında aktif olacak, yani 0'dan 1'e yükselip 1'de kalacak bir sinyale (reached_o) sahiptir. Pozisyon ve hız bilgisinin negatif olamayacağı varsayılmıştır. Anlık pozisyon bilgisi, hedefe ulaştıktan ya da hedef geçildikten sonra da anlık hıza göre değişmeye devam edecektir. Kaçınıcı saniyede hedefe ulaştığını bildiren çıkış sinyali ise bir kere atandıktan sonra değişmeyecektir. Tanımlanan devreyi tasarlayınız. Anlık pozisyon bilgisi çıkış sinyalinde taşma durumu olabilir, bunun için önleyici ya da bilgi veren bir devre tasarımını ele almaya gerek yoktur. Yine ilk pozisyon ve hedef pozisyon ataması yapıldığında hedef pozisyon bilgisinin başlangıç pozisyonundan kullanıcı tarafından büyük girildiği varsayılacaktır. rst geldiğinde bütün çıkış sinyalleri de sıfırlanacaktır.

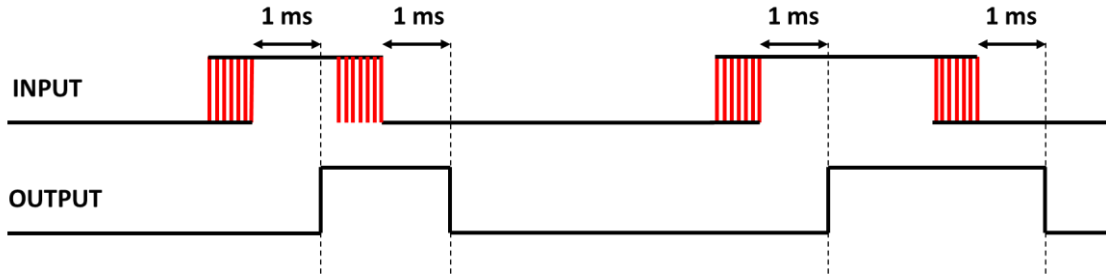
NOT: Modül tanımı aşağıda verilmiştir, modül tanımını değiştirmek yasaktır. Sisteme frekansı parametrik olarak tanımlanan bir saat sinyal girişi (clk) sağlanacaktır ve 1 saniye bu saat sinyali ile hesaplanmalıdır. 1 saniye hesaplaması yapılırken parametrik ifade ile hesaplama yapılması gerekmektedir. (yol = hız*zaman). 1 saniyeyi hesaplayacak olan sinyal bit genişliğinde aşağıdaki ifade kullanılabilir, ya da bu sinyali direk 32-bit de seçebilirsiniz size kalmış:

```
[$clog2(c_clkfreq)-1:0]
```

Örn: $t = 0$; rst verildi, $start_pos_i = 20$, $dest_pos_i = 90$, $start_vel_i = 5$
 $t = 1$; $pos_o = 25$, $vel_i = 20$
 $t = 2$; $pos_o = 45$, $vel_i = 30$
 $t = 3$; $pos_o = 75$, $vel_i = 22$
 $t = 4$; $pos_o = 97$, $vel_i = 7$, $reached_o = 1$, $dest_reach_second_o = 4$
 $t = 5$; $pos_o = 104$, $vel_i = 13$, $reached_o = 1$, $dest_reach_second_o = 4$
 $t = 6$; $pos_o = 117$, ...

```
module soru2 #(parameter c_clkfreq = 100000000) (
input clk,
input rst,
input [9:0] start_pos_i,
input [9:0] dest_pos_i,
input [7:0] start_vel_i,
input [7:0] vel_i,
output reg reached_o,
output reg [9:0] pos_o,
output reg [15:0] dest_reach_second_o);
```

3) [30 puan] Elektronik devrelerde buton ve anahtar gibi mekanik bileşenlerin hareketleri sırasında sinyal geçişleri temiz gerçekleşmez ve birden çok sinyal geçişi oluşur. Bu tarz durumlarda giriş sinyalinin birden fazla olan sinyal değişimleri filtrelenerek çıkış sinyalinde tek bir değişim gözlenmelidir. Tasarlanacak olan devrede, giriş sinyalinin 0'dan 1'e ya da 1'den 0'a geçişlerinde oluşabilecek olan bu dalgalanmanın çıkış sinyaline yansıtılmaması gerekmekte ve giriş sinyali 1 ms boyunca stabilize olduktan sonra çıkış sinyalinin giriş sinyal değerini alması beklenmektedir. Aşağıda örnek giriş ve çıkış sinyalleri verilmiştir:



Reset sinyali aktif-yüksek senkrondur. Reset sinyali aktive edildiğinde sinyal çıkışı '0' olmalıdır. Sisteme frekansı parametrik olarak tanımlanan bir saat sinyal girişi (clk) sağlanacaktır ve 1 milisaniye (ms) bu saat sinyali ile hesaplanmalıdır. 1 milisaniye hesaplaması yapılırken parametrik ifade ile hesaplama yapılması gerekmektedir.

NOT: Modül tanımı aşağıda verilmiştir, modül tanımını değiştirmek yasaktır. 1 milisaniyeyi hesaplayacak olan sinyal bit genişliğinde aşağıdaki ifade kullanılabilir, ya da bu sinyali direk 32-bit de seçebilirsiniz size kalmış:

$[\$clog2(c_clkfreq/1000)-1:0]$

```
module soru3 #(parameter c_clkfreq = 100000000) (
input clk,
input rst,
input signal_i,
output reg signal_o);
```