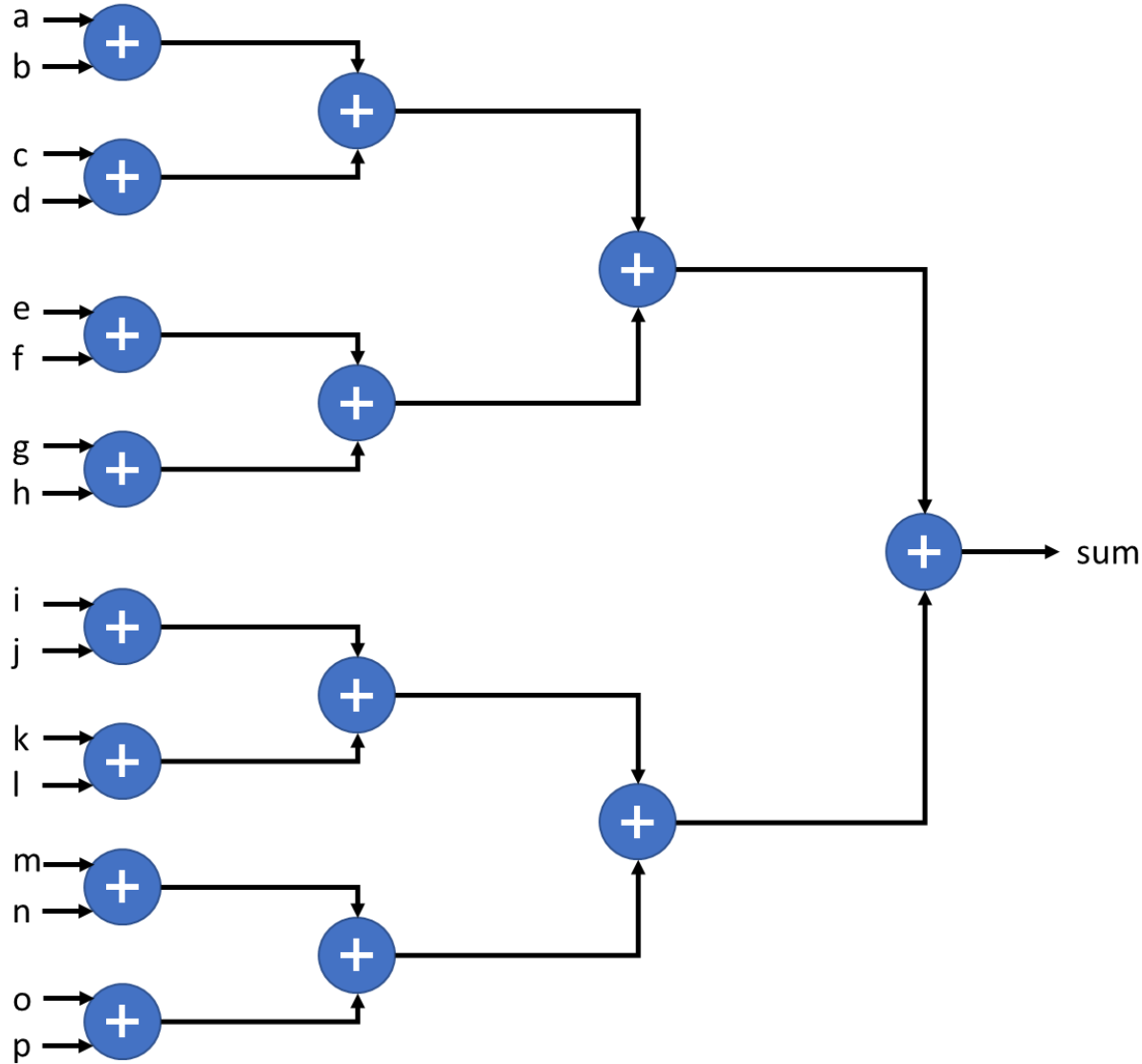
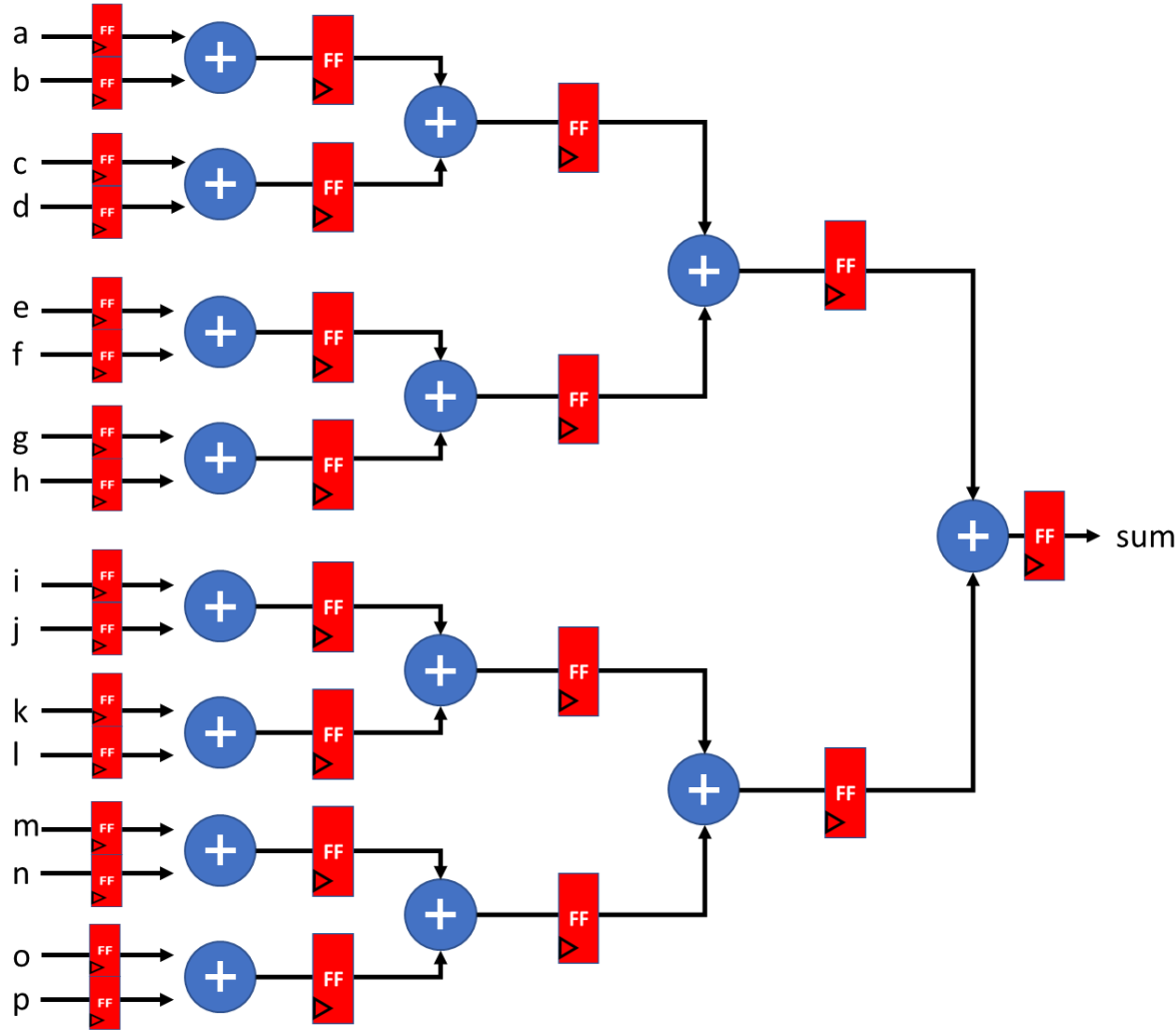


1) Aşağıda verilen devrenin Verilog kodunu adder.v isimli bir dosyasına yazın



```
module adder
(
  input [3:0] a_i,
  input [3:0] b_i,
  input [3:0] c_i,
  input [3:0] d_i,
  input [3:0] e_i,
  input [3:0] f_i,
  input [3:0] g_i,
  input [3:0] h_i,
  input [3:0] i_i,
  input [3:0] j_i,
  input [3:0] k_i,
  input [3:0] l_i,
  input [3:0] m_i,
  input [3:0] n_i,
  input [3:0] o_i,
  input [3:0] p_i,
  output [?:0] sum_o
);
```

2) Aşağıda verilen devrenin Verilog kodunu adder_pipe.v isimli bir dosyasına yazın.



```
module adder
(
  input clk,
  input rst_n,
  input [3:0] a_i,
  input [3:0] b_i,
  input [3:0] c_i,
  input [3:0] d_i,
  input [3:0] e_i,
  input [3:0] f_i,
  input [3:0] g_i,
  input [3:0] h_i,
  input [3:0] i_i,
  input [3:0] j_i,
  input [3:0] k_i,
  input [3:0] l_i,
  input [3:0] m_i,
  input [3:0] n_i,
  input [3:0] o_i,
  input [3:0] p_i,
  output [?:0] sum_o
);
```

NOT: Uzak edu'ya içinde adder.v ve adder_pipe.v isminde 2 adet dosya olan isim_soyisim.rar şeklinde tek dosya yüklenecek. sum_o çıkış sinyali genişliğinde ? yazan yeri siz düşünüp bulmalısınız. Son teslim tarihinden sonra yüklenen ödevler kesinlikle dikkate alınmayacaktır !!! Mağduriyet yaşamamanız için son dakikalara bırakmayın yüklemeyi.