

Algunos temas tomados en examen integrador (66.20)

- Actualización 1 -

Este apunte es una recopilación de ítems que fueron tomados en los últimos 3 años y no están explícitamente detallados en el “ya conocido” apunte de temas de integrador. Los ítems no están ordenados temáticamente.

1. Se tiene una máquina 1: MIPS con pipeline de 4 etapas sin riesgos y una máquina 2: igual pero con riesgos de control. Se sabe que el branch se resuelve en la tercera etapa y el jump en la segunda.
Solo se aprovecha el fetch de la instrucción siguiente al branch.
Con la siguiente información

Instrucción	%
b	25% (60% son tomados)
j	3%

Calcular cuánto más rápida es la máquina 1.

2. Definir: ILP, VLIW, Superescalar, Out-of-order execution.
3. Sugerir una mejora en el MIPS de 5 etapas mediante la subdivisión de la etapa IF.
4. Calcular el slowdown que se obtiene al desactivar los dos niveles de caché.
Datos:
L1: Write back, missrate: 6%, tHit: 1 ciclo, tamaño de bloque: 32 B, % bloques modificados: 40%
L2: Write through, missrate: 30%, tHit: 2 ciclos, tamaño de bloque: 32 B.
Memoria principal: Latencia: 20 ciclos. Ancho de bus: 1 word / 5ciclos.
5. Diagrama en bloques detallado de una caché de una máquina MIPS con manejo de memoria virtual. La caché es accedida con direcciones físicas.
Datos: caché de 4 vías, tamaño 32 KB. Tamaño de bloque: 16 B. 4 entradas en la TLB, tamaño de página 4 KB.
6. Dar un esquema detallado de un MIPS 32 superescalar que usa el algoritmo de Tomasulo
7. Topología de multiprocesadores masivos
8. Diagrama en bloques de un predictor de saltos de 2 niveles con 3 bits de historia global y 2 bits de historia local
9. Similitudes y diferencias entre un procesador superescalar y un SMT (multihilo simultáneo)
10. Ventajas y desventajas de las cachés de tipo:
 1. Virtualmente indexada, virtualmente taggeada
 2. Virtualmente indexada, físicamente taggeada
 3. Físicamente indexada, físicamente taggeada

4. Físicamente indexada, virtualmente taggeada

11. Dar un esquema de hardware detallado de un Branch Target Buffer de 1K entradas, asociativo por conjuntos de 4 vías.
Indicar claramente qué se almacena en cada lugar. La BTB solo cachea los PC de los branches que se predicen tomados.
12. Extensiones multimedia al conjunto de instrucciones: cómo funcionan, descripción del hardware que permite su implementación, categoría en la taxonomía de Flynn, ejemplos para MIPS 32.
13. En las siguientes instrucciones indicar, para cada una, los potenciales riesgos que presenta y luego, sabiendo que el código se ejecuta en un MIPS con pipeline de 5 etapas, para cada caso:
 - a) No tiene ningún tipo de hardware especial
 - b) Tiene todo tipo de hardware para by passing y forwarding
 - c) Ídem b) y con renombrado de registros.

Cuando dice riesgos potenciales se refiere a todos los que podrían ocurrir, aunque no sean reales en MIPS, pero que podrían ocurrir en alguna otra arquitectura.

```
add t1, t2, t3
sw t1, 35(t2)
lw t1, 35(t1)
sub t2, t3, t1
```

14. Estaciones de reserva en el algoritmo de Tomasulo. Dar y describir los campos que contiene para las unidades funcionales, unidades de memoria y register file.
15. Clasificar bajo la Taxonomía de Flynn: SISD, SIMD, MISD, MIMD fuertemente acoplado, MIMD débilmente acoplado. Justificar.
 - a) Intel i7 multinúcleo
 - b) Clúster
 - c) Extensión SSE IV
 - d) MIPS 32 SMT
 - e) MIPS 32 superescalar
 - f) Servidor dual Xeon SMP
 - g) Hipercubo 1024 procesadores