



دانشکده مهندسی برق

AD7866

امیرحسین اسماعیل زاده

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

چکیده

AD7866 یک ADC دوگانه 12 بیتی با سرعت بالا، مصرف کم و تقریب متوالی است. این قطعه با یک منبع تغذیه 2.7 ولت تا 5.25 ولت کار می کند و دارای نرخ تبدیل تا 1 MSPS است. این دستگاه دارای دو ADC است که هر کدام دارای یک تقویت کننده track and hold با نویز کم و پهنای باند بالا است که می تواند فرکانس های ورودی بیش از 10 mhz مدیریت نماید.

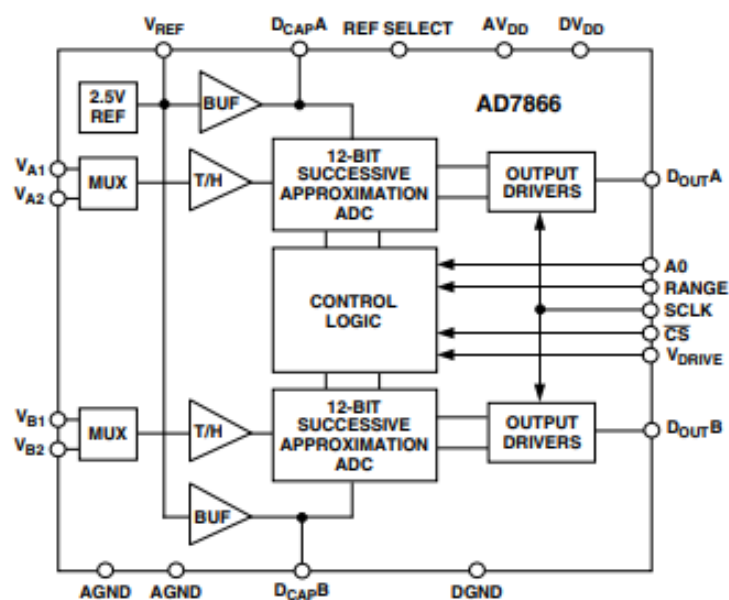
فرآیند تبدیل و جمع آوری داده ها با استفاده از ورودی های استاندارد کنترل می شوند که امکان اتصال آسان به میکروپروسورها یا DSP ها را فراهم می کند.

سیگنال های ورودی در لبه پایین رونده CS نمونه برداری می شود. تبدیل نیز در این نقطه آغاز می شود. زمان تبدیل توسط فرکانس SCLK تعیین می شود. هیچ تاخیر خط لوله مرتبط با قطعه وجود ندارد. AD7866 از تکنیک های طراحی پیشرفته برای دستیابی به اتلاف توان بسیار کم در نرخ های تبدیل بالا استفاده می کند. با منبع تغذیه 3 ولتی و نرخ تبدیل 1 MSPS، این قطعه حداکثر 3.8 میلی آمپر مصرف می کند. با منابع 5 ولت و 1 MSPS، مصرف جریان حداکثر 4.8 میلی آمپر است. این قطعه همچنین هنگام کار در حالت خواب، مدیریت نرخ توان/بازدهی انعطاف پذیری را ارائه می دهد. محدوده ورودی آنالوگ برای قطعه را می توان بین 0V to VREF یا محدوده $2 \times VREF$ انتخاب نمود. همچنین کدگذاری خروجی می تواند مکمل 2 (signed) و یا مستقیم (unsigned) انتخاب کرد. AD7866 دارای یک مرجع داخلی 2.5 ولتی است که در صورت ترجیح می توان از مرجع خارجی استفاده کرد. هر ADC روی برد نیز می تواند با مرجع خارجی جداگانه ای عرضه شود.

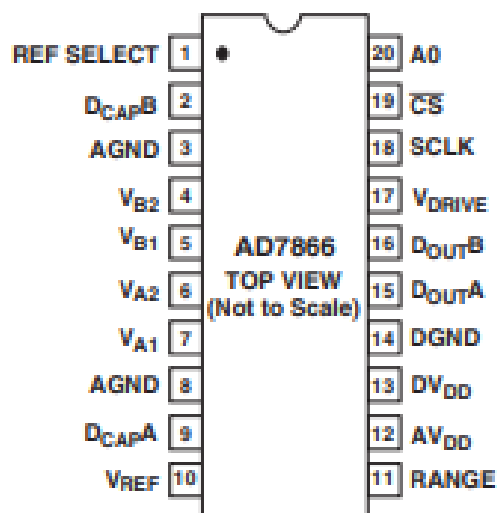
فصل 1:

معرفی کامل AD7866

1-1- مقدمه



شکل (1-1) دیاگرام داخلی



شکل (1-2) پایه ها

ابتدا به بیان هر یک از پایه های شکل 1-2 می پردازیم:

1 REF SELECT

انتخاب مرجع داخلی/خارجی ورودی منطقی. اگر این پایه به GND وصل باشد، مرجع 2.5 ولتی روی تراشه به عنوان منبع مرجع برای ADC A و ADC B استفاده می شود. علاوه بر این، پایه های VREF، DCAPB و DCAPA باید به خازن های بایپس متصل شوند. اگر پایه REF SELECT به یک منطق بالا بسته شود، یک مرجع خارجی می تواند از طریق پایه VREF به AD7866 عرضه شود، در این صورت فقط خازن های بایپس در DCAPB و DCAPA لازم است. با این حال، اگر پایه VREF به AGND گره خورده باشد در حالی که REF SELECT به یک صفر منطقی گره خورده است، یک مرجع خارجی جداگانه می تواند به ترتیب از طریق پایه های DCAPB و DCAPA برای هر دو ADC A و ADC B اعمال شود.

2,9 DCAPB, DCAPA

خازن های بایپس به این پایه ها متصل می شوند تا بافر مرجع برای هر ADC مربوطه جدا شود. مرجع روی تراشه را می توان از این پین ها گرفته و به صورت خارجی به بقیه سیستم اعمال کرد. بسته به قطبیت پین REF SELECT و پیکربندی پین VREF، این پین ها همچنین می توانند برای وارد کردن یک مرجع خارجی جداگانه به هر ADC استفاده شوند. محدوده مرجع خارجی به محدوده ورودی آنالوگ انتخاب شده بستگی دارد.

3,9 AGND

زمین آنالوگ. نقطه مرجع زمین برای تمام مدارهای آنالوگ در AD7866. تمام سیگنال های ورودی آنالوگ و هر سیگنال مرجع خارجی باید به این ولتاژ AGND ارجاع داده شوند. هر دوی این پین ها باید به صفحه AGND سیستم متصل شوند. ولتاژهای AGND و DGND در حالت ایده آل باید در یک پتانسیل باشند و نباید بیش از 0.3 ولت از هم فاصله داشته باشند، حتی به صورت گذرا.

4,5 VB2, VB1

ورودی های آنالوگ ADC B. محدوده ورودی در هر کانال بسته به وضعیت پین RANGE روی لبه پایین رونده CS، 0 ولت تا VREF یا محدوده $2 * VREF$ است.

6,7 VA2, VA1

ورودی های آنالوگ ADC A. محدوده ورودی در هر کانال بسته به وضعیت پین RANGE روی لبه پایین رونده CS، 0 ولت تا VREF یا محدوده $2 * VREF$ است.

10 VREF

خازن بایپس مرجع و انتخاب مرجع خارجی. این پین به مرجع داخلی متصل است و نیاز به یک خازن بایپس دارد. ولتاژ نامی مرجع 2.5 ولت است که در این پین ظاهر می شود. با این حال، اگر مرجع داخلی قرار است به صورت خارجی در یک سیستم استفاده شود، باید از پین های DCAPA یا DCAPB گرفته شود. این پین همچنین همراه با پین REF SELECT هنگام اعمال یک مرجع خارجی به AD7866 استفاده می شود.

11 RANGE

محدوده ورودی آنالوگ و انتخاب کدگذاری خروجی. ورودی منطقی . وضعیت این پین تعیین می کند که کانال های ورودی آنالوگ در AD7866 چه محدوده ورودی داشته باشند و همچنین نوع کدگذاری خروجی را که ADC برای نتیجه تبدیل استفاده می کند انتخاب می کند. در لبه پایین رونده CS، وضعیت این پین برای تعیین محدوده ورودی آنالوگ تبدیل بعدی بررسی می شود. اگر این پین به صفر منطقی گره خورده باشد، محدوده ورودی آنالوگ 0 ولت تا VREF است و کدگذاری دیتا خروجی از قطعه، مستقیم باینری (بی علامت) خواهد بود (برای تبدیل بعدی). اگر زمانی که CS پایین می آید، این پین به یک منطق 1 گره خورده باشد، محدوده ورودی آنالوگ $2 \times VREF$ است و کدگذاری خروجی برای قطعه، مکمل 2 (علامت دار) خواهد بود. با این حال، اگر بعد از لبه پایین رونده CS، سطح منطقی پین RANGE روی هشتمین لبه پایین رونده SCLK تغییر کند، کدگذاری خروجی به گزینه دیگر بدون هیچ تغییری در محدوده ورودی آنالوگ تغییر می کند.

Range Level @ Point A ¹	Range Level @ Point B ²	Input Range ³	Output Coding ³
Low	Low	0 V to V_{REF}	Straight Binary
High	High	$V_{REF} \pm V_{REF}$	Twos Complement
Low	High	$V_{REF}/2 \pm V_{REF}/2$	Twos Complement
High	Low	0 V to $2 \times V_{REF}$	Straight Binary

NOTES

¹Point A = Falling edge of \overline{CS} .

²Point B = Eighth falling edge of SCLK.

³Selected for next conversion.

شکل (1-3) انتخاب کدگذاری خروجی و رنج ورودی آنالوگ

12 AVDD

پین منبع تغذیه آنالوگ، 2.7 ولت تا 5.25 ولت. این تنها ولتاژ تغذیه برای تمام مدارهای آنالوگ در AD7866 است. ولتاژهای AVDD و DVDD در حالت ایده آل باید در پتانسیل یکسانی باشند و نباید بیش از 0.3 ولت از هم فاصله داشته باشند حتی به صورت گذرا. این منبع باید به AGND توسط خازن بایپس شود.

13 DVDD

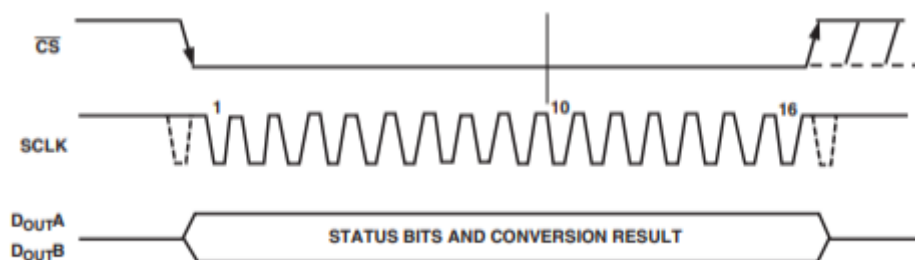
پین منبع تغذیه دیجیتال، 2.7 ولت تا 5.25 ولت. این ولتاژ تغذیه برای تمام مدارهای دیجیتال در AD7866 است. ولتاژهای DVDD و AVDD در حالت ایده آل باید در پتانسیل یکسانی باشند و نباید بیش از 0.3 ولت از هم فاصله داشته باشند حتی به صورت گذرا. این منبع باید به DGND توسط خازن بایپس شود.

14 DGND

زمین دیجیتال. این نقطه مرجع زمین برای تمام مدارهای دیجیتال در AD7866 است. ولتاژهای DGND و AGND در حالت ایده آل باید در پتانسیل یکسانی باشند و نباید بیش از 0.3 ولت از هم فاصله داشته باشند، حتی به صورت گذرا.

15,16 DOUTA, DOUTB

خروجی داده های سریال. بیت ها در لبه پایین رونده SCLK خارج می شوند. داده های هر دو ADC از این پین به طور همزمان ظاهر می شوند. جریان داده شامل یک صفر اول و سه بیت STATUS و 12 بیت داده تبدیل است. ابتدا MSB ارائه می شود. اگر CS برای 16 کلاک SCLK متوالی پس از خروج داده های تبدیل در DOUTA یا DOUTB، صفر نگه داشته شود، داده های ADC دیگر روی پین DOUT قرار می گیرند. این قابلیت اجازه می دهد تا داده های حاصل از تبدیل همزمان در هر دو ADC در قالب سریال در DOUTA یا DOUTB به تنهایی با استفاده از یک پورت سریال جمع آوری شود.



شکل (1-4) یک چرخه کامل خواندن دیتا

17 VDRIVE

ولتاژ ارائه شده در این پین تعیین می کند که رابط منطقی در چه ولتاژی کار کند. (TTL or CMOS) این پین باید به DGND توسط خازن بایپس شود.

18 SCLK

کلاک سریال. حداکثر 2

19 CS

انتخاب تراشه .

20 A0

Multiplexer Select ورودی منطقی . این ورودی برای انتخاب جفت کانالی که باید به طور همزمان تبدیل شوند، یعنی کانال 1 هر دو ADC A و ADC B یا کانال 2 هر دو ADC A و ADC B استفاده می شود. وضعیت منطقی این پین بر روی لبه پایین رونده CS بررسی می شود و مالتی پلکسر برای تبدیل بعدی تنظیم شده است. اگر صفر باشد، تبدیل در کانال 1 هر ADC انجام می شود. اگر 1 باشد، تبدیل در کانال 2 هر ADC انجام می شود.

فصل 2:

پیاده سازی AD7866

1-2- مقدمه

برای پیاده سازی کنترلر AD7866 نیاز به یک مدل AD7866 می باشد. اکثر اوقات این مدل در تست بنچ ساخته می شود. اما ما تصمیم گرفتیم که این مدل را جداگانه ایجاد نماییم و در آخر به کنترلر مربوطه در تست بنچ وصل نماییم.

2-2- پیاده سازی AD7866

همانطور که در فصل قبل بیان شد، برای انجام یک تبدیل باید مراحل زیر طی نماییم.

1- انتخاب محدوده ورودی آنالوگ، نوع کدگذاری خروجی و کانال

اگر محدوده ورودی آنالوگ را بین 0 تا VREF کدگذاری خروجی را باینری ساده (بی علامت) انتخاب کنیم، بر اساس توضیحات پین RANGE و شکل 3-1، باید این پین در لبه های پایین رونده CS و هشتمین کلاک SCLK روی صفر تنظیم شود. از این جهت پین RANGE را همیشه به زمین وصل می کنیم تا به رنج و کدگذاری مطلوب برسیم. همچنین می خواهیم کانال 1 هر دو ADC A و ADC B را بخوانیم، لذا طبق توضیحات پین A0 باید این پین در لبه پایین رونده CS مقدار صفر را داشته باشد. از این جهت پین A0 را همیشه به زمین وصل می کنیم تا کانال مورد نظر همیشه انتخاب باشد.

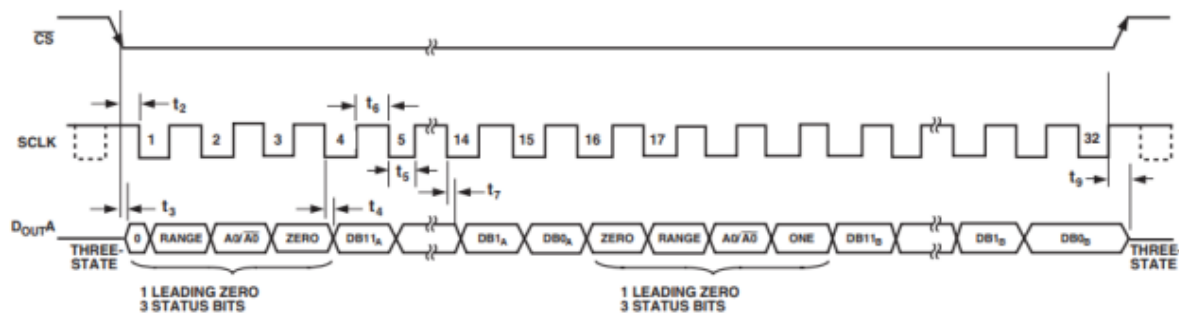
2- ارتباط با تراشه

نوع ارتباط ADC کاملاً شبیه SPI می باشد، می توانیم از SPI استفاده کنیم.

تنظیمات مربوطه شامل $CHPOL = 1$ (یعنی حالت idle کلاک روی 1 باشد) و $CHPHASE = 1$ (یعنی دیتا بر روی لبه بالارونده SCKL نمونه برداری می شود) می باشد. با صفر کردن CS یک تبدیل آغاز می شود.

با دادن 16 کلاک در پین SCLK یک تبدیل کامل خواهد شد و دیتا خروجی هر ADC به طور جدا بر روی پین مربوطه (در قسمت پین های DOUTA, DOUTB توضیح داده شد) قرار خواهند گرفت. پس از این 16 کلاک اگر CS برابر 1 شود تبدیل به پایان می رسد. اما اگر CS

را 1 نکنیم می توانیم دیتا دو ADC را از یک پین بخوانیم زیرا در 16 کلاک بعدی دیتا ADC متناظر بر روی پین خروجی ظاهر می شود . مانند شکل زیر :



شکل (2-1) یک چرخه کامل خواندن دیتا دو ADC از یک پایه

دیتا های خروجی شامل یک صفدر اول سپس سه بیت STATUS و به دنبال آن 12 بیت داده ADC می باشد . (مانند شکل بالا). بیت اول STATUS مقدار RANGE می باشد که مشخص می نماید دیتا که خواهد آمد ، دارای چه محدوده ورودی آنالوگی می باشد (جدول 3-1) . بیت بعدی مشخص کننده کانال تبدیل جاری می باشد (توضیحات پین A0) . بیت آخر نیز همیشه صفر می باشد. مقدار دو بیت اول طبق توضیحات قسمت مقدمه به حالت پین های RANGE و A0 در لبه پایین رونده CS در هنگام تبدیل قبلی مربوط می باشد و در تبدیل جاری اعمال می شوند .

2-3- VHDL کد

به دلیل وجود 2 ADC مشابه در این تراشه ، می توانیم با ساخت ماژول یک ADC از آن نمونه بگیریم تا ADC دوم را نیز بسازیم. فایل AD7866_model_single.vhd به توصیف یک ADC می پردازد و فایل AD7866_Model.vhd در واقع مدل کامل این تراشه می باشد که از 2 ADC مجزا تشکیل شده است .

Generic های موجود در فایل AD7866_model_single.vhd :

```
adc_vref_mv : integer := 3000;
```

در واقع مقدار داده شده به ADC به جای پین VREF می باشد.

```
adc_channel1_mv : integer := 1500;
```

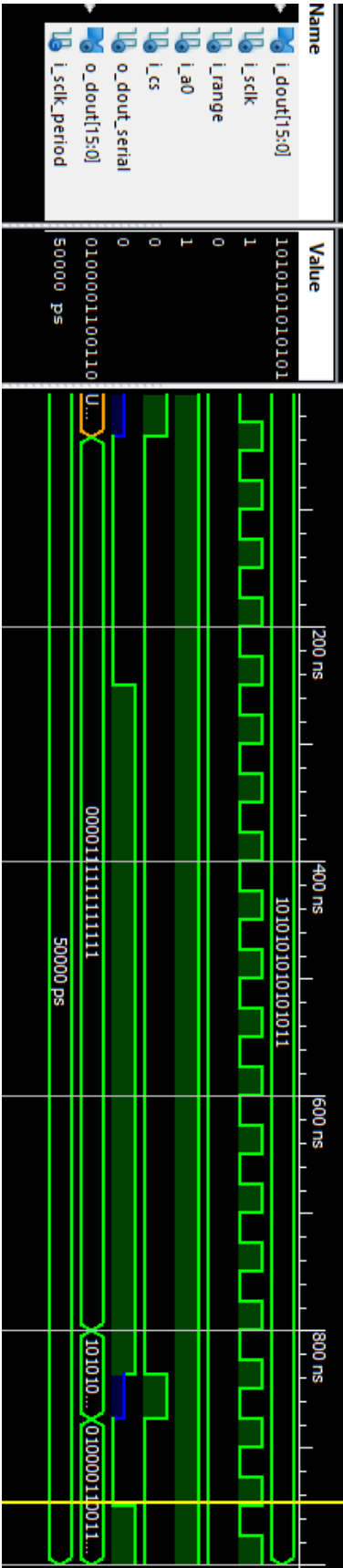
```
adc_channel2_mv : integer := 300;
```

مقدار کانال ها به میلی ولت

```
channel_bit : std_logic := '0'
```

انتخاب کانال

با ساخت یک تست بنچ (tb1.vhd) کد خود را تست می نمایم .



2-4- پیاده سازی کنترلر AD7866

پس از پیدا سازی مدل ، حال می توانیم با ساخت کنترلر و وصل آن به مدل ساخته شده ، صحت عملکرد کار خود را بررسی کنیم .

فایل ad7866_driver.vhd شامل کنترلر نوشته شده می باشد.

```
i_Dout_A, i_Dout_B : in std_logic;
o_sclk, o_range, o_a0, o_cs : out std_logic;
```

این پورت ها باید به مدل وصل شوند.

```
i_clk, i_reset : in std_logic;
o_Dout_A, o_Dout_B : out std_logic_vector (11 downto 0);
o_channel, o_datavalid : out std_logic -- datavalid : active low ,
channel = '1' : channel 1 else channel 2
```

پس ایجاد کلاک و دادن آن به i_clk و فعال کردن کنترلر با استفاده از i_reset مقدار خوانده شده توسط

کنترلر بر روی o_dout_A , o_dout_B قرار می گیرد. مقدار o_datavalid مشخص می کند که آیا

دیتا موجود بر روی o_dout_A , o_dout_B معتبر هست یا خیر . o_channel نیز اگر 1 باشد یعنی

مقدار o_dout_A , o_dout_B مقدار کانال 1 می باشد . اگر 0 باشد یعنی کانال 2 . o_channel پس

از هر بار خواندن دیتا تاگل می شود تا تمام کانال ها خوانده شوند .

حال پس از ایجاد تست بنچ tb2.vhd خروجی مدار را چک می نماییم.

