

Aula 04 de Prática em Sistemas Digitais

Grupo: Bruna Izabel da Silva Pereira - 15635441

Camila Piscioneri Magalhães - 15697249

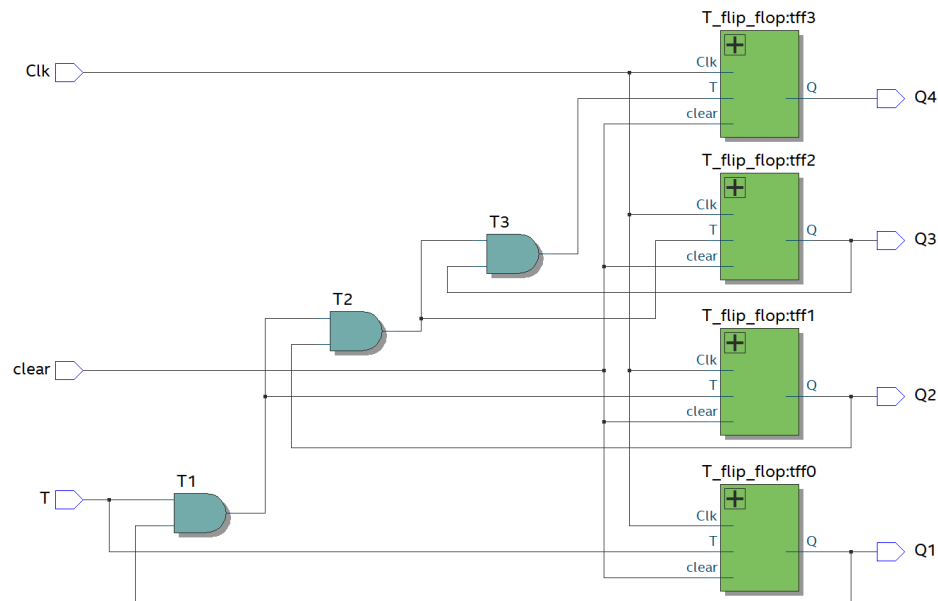
● Parte I

1. Escreva um arquivo VHDL que defina um contador de 8 bits usando a estrutura mostrada na Figura 1. Seu código deve incluir uma entidade de flip-flop T que seja instanciada oito vezes para criar o contador. Compile o circuito. Quantos elementos lógicos (LEs) são usados para implementar seu circuito?

Há 26 elementos lógicos.

Flow Status	Successful - Tue Sep 24 10:42:37 2024
Quartus Prime Version	21.1.0 Build 842 10/21/2021 SJ Lite Edition
Revision Name	aulaquatroparteum
Top-level Entity Name	aulaquatroparteum
Family	Cyclone IV E
Device	EP4CE115F29C7
Timing Models	Final
Total logic elements	26 / 114,480 (< 1 %)
Total registers	8
Total pins	17 / 529 (3 %)
Total virtual pins	0
Total memory bits	0 / 3,981,312 (0 %)
Embedded Multiplier 9-bit elements	0 / 532 (0 %)
Total PLLs	0 / 4 (0 %)

2. Simule seu circuito para verificar sua correção.
(circuito testado e apresentado em laboratório)
3. Aumente seu arquivo VHDL para usar o botão de pressão KEY0 como entrada de Clock e os interruptores SW1 e SW0 como entradas de Habilitar e Limpar, e os displays de 7 segmentos HEX1-0 para mostrar a contagem hexadecimal enquanto seu circuito opera. Faça as atribuições de pinos necessárias para implementar o circuito em sua placa da série DE e compile o circuito.
(circuito testado e apresentado em laboratório)
4. Baixe seu circuito no chip FPGA e teste sua funcionalidade operando os interruptores.
(circuito testado e apresentado em laboratório)
5. Implemente uma versão de quatro bits do seu circuito e use o Visualizador RTL do Quartus para ver como o software Quartus sintetizou o circuito. Quais são as diferenças em comparação com a Figura 1?



A principal diferença é o modo de organização dos componentes e os nomes das entradas. Fora isso, os circuitos são iguais e realizam as mesmas funções.

● Parte II

Outra maneira de especificar um contador é usando um registrador e adicionando 1 ao seu valor. Isso pode ser realizado usando a seguinte instrução VHDL:

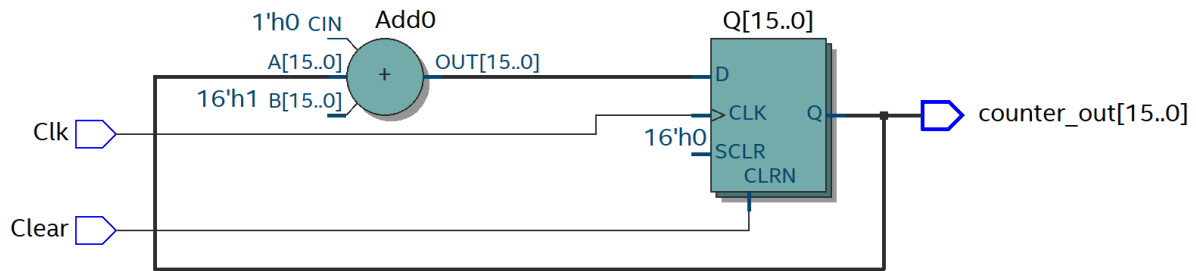
$$Q \leq Q + 1;$$

Compile uma versão de 16 bits deste contador e determine o número de LEs (Lógica Elementar) necessários. Use o Visualizador RTL para ver a estrutura dessa implementação e comente sobre as diferenças em relação ao design da Parte I. Implemente o contador em sua placa da série DE, utilizando os displays HEX3-0 para mostrar o valor do contador.

● Número de LE's:

Flow Status	Successful - Tue Sep 17 11:18:02 2024
Quartus Prime Version	21.1.0 Build 842 10/21/2021 SJ Lite Edition
Revision Name	dezesseisbits
Top-level Entity Name	dezesseisbits
Family	Cyclone IV E
Device	EP4CE115F29C7
Timing Models	Final
Total logic elements	16 / 114,480 (< 1 %)
Total registers	16
Total pins	18 / 529 (3 %)
Total virtual pins	0
Total memory bits	0 / 3,981,312 (0 %)
Embedded Multiplier 9-bit elements	0 / 532 (0 %)
Total PLLs	0 / 4 (0 %)

- Visualizador RTL:



Comentário: Pode-se notar que enquanto na parte I há um circuito constituído de vários blocos fazendo com que se torne muito grande e seja difícil de visualizar, na parte II há só um bloco e o contador após as entradas, tornando o circuito menor e com uma maior facilidade de entendimento.

- **Parte III**

Desenhe e implemente um circuito que pisque sucessivamente os dígitos de 0 a 9 no display de 7 segmentos HEX0. Cada dígito deve ser exibido por aproximadamente um segundo. Use um contador para determinar os intervalos de um segundo. O contador deve ser incrementado pelo sinal de clock de 50 MHz fornecido nas placas da série DE. Não derive outros sinais de clock em seu design – certifique-se de que todos os flip-flops em seu circuito sejam acionados diretamente pelo sinal de clock de 50 MHz. Um design parcial do circuito necessário é mostrado na Figura 2. A figura mostra como um contador de largura de bits grande pode ser usado para produzir um sinal de habilitação para um contador menor. A taxa na qual o contador menor é incrementado pode ser controlada escolhendo um número apropriado de bits no contador maior.

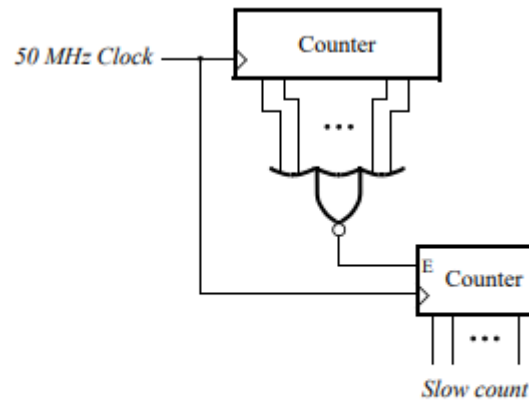


Figure 2: Making a slow counter.

(Circuito testado e apresentado em laboratório)

● Parte IV

Desenhe e implemente um circuito que exiba uma palavra em quatro displays de 7 segmentos HEX3 a HEX0. A palavra a ser exibida em sua placa da série DE é dada na Tabela 1. Faça com que as letras girem da direita para a esquerda em intervalos de aproximadamente um segundo. O padrão de rotação para o DE10-Lite é dado na Tabela 2. Se você estiver usando a DE0-CV, DE1-SoC ou DE2-115, utilize a palavra fornecida na Tabela 1. Existem muitas maneiras de projetar o circuito necessário. Uma solução é reutilizar o código VHDL desenvolvido no Exercício de Laboratório 1, Parte V. Usando esse código, a principal alteração necessária é substituir os dois interruptores usados para selecionar os caracteres exibidos nos displays por um contador de 2 bits que se incrementa em intervalos de um segundo.

Board	Word
DE10-Lite	dE10
DE0-CV	dE0
DE1-SoC	dE1
DE2-115	dE2

Table 1: DE-series boards and corresponding word to display

Count	Characters			
00	d	E	1	0
01	E	1	0	d
10	1	0	d	E
11	0	d	E	1

Table 2: Rotating the word dE10 on four displays.

Placa utilizada: DE2-115
(circuito testado e apresentado em laboratório)

● Parte V

Aumente seu circuito da Parte IV para que ele possa girar a palavra em todos os displays de 7 segmentos da sua placa da série DE. O padrão de deslocamento para o DE10-Lite é mostrado na Tabela 3.

Count	Character pattern					
000			d	E	1	0
001		d	E	1	0	
010	d	E	1	0		
011	E	1	0			d
100	1	0			d	E
101	0			d	E	1

Table 3: Rotating the word dE10 on six displays.

(Circuito testado e apresentado em laboratório)