

Laboratoire de systèmes logiques semestre automne 2022 - 2023

Laboratoire Add/Sub & Checksum

Informations générales

Le rendu pour ce laboratoire se fera **par groupe de deux**, chaque groupe devra rendre son travail.

Le laboratoire sera évalué sous la forme d'un quiz à la fin de la dernière séance du laboratoire. La note sera ainsi pondérée par rapport à la qualité de votre circuit et surtout sur votre compréhension sur ce dernier qui sera évalué grâce au quiz, ciblé sur ce laboratoire.

 **N'oubliez pas de sauvegarder et d'archiver votre projet à chaque séance de laboratoire**

NOTE 1 : Afin de ne pas avoir de pénalité pensez à respecter les points suivants

- Toutes les entrées d'un composant doivent être connectées. (-0.1 sur la note par entrée non-connectée)
- Lors de l'ouverture de Logisim, bien préciser votre nom en tant que User
- Ne pas modifier (enlever/ajouter/renommer) les entrées/sorties déjà placées

NOTE 2 : Lors de la création de votre circuit, tenez compte des points suivants afin d'éviter des erreurs pendant la programmation de la carte FPGA :

- Nom d'un circuit \neq Label d'un circuit
- Nom d'un signal (Pin) \neq Label et/ou Nom d'un circuit, toutes les entrées/sorties doivent être nommées
- Les composants doivent avoir des labels différents

NOTE 3 : Nous vous rappelons que si vous utilisez les machines de laboratoire situées au niveau A, il ne faut pas considérer les données qui sont dessus comme sauvegardées. Si les machines ont un problème, nous les remettons dans leur état d'origine et toutes les données présentes sont effacées.

Objectifs du laboratoire

L'objectif principal de ce laboratoire est la réalisation d'un checksum. Pour cela, vous devrez d'abord créer un additionneur/soustracteur puis l'utiliser afin de créer le checksum. L'idée est de développer un système de A à Z afin que vous puissiez faire chaque étape vous-mêmes et ainsi bien comprendre les concepts vus dans la théorie du cours afin de les appliquer dans un cas pratique.

Ce laboratoire est noté. Vous devez rendre le projet Logisim et répondre à un quiz. Le quiz sera orienté de façon à pouvoir évaluer votre compréhension du laboratoire.

Outils

Pour ce labo, vous devez utiliser les outils disponibles sur les machines de laboratoire (A07/A09) ou votre ordinateur personnel avec Logisim installé.

⚠ L'utilisation du simulateur en ligne ne peut se faire qu'avec un ordinateur connecté au réseau interne de l'école, à savoir présent dans l'école ou connecté au VPN.

⚠ La partie programmation d'une FPGA ne peut se faire que sur les ordinateurs présents dans les salles (A07/A09).

Fichiers

Vous devez télécharger à partir du site Cyberlearn le projet Logisim dédié à ce laboratoire.

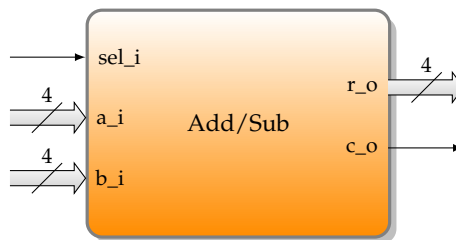
Logisim fourni

Vous allez recevoir un projet Logisim qui contient certaines des entités que vous allez réaliser dans le cadre de ce laboratoire. Vous devrez compléter ces entités et en créer de nouvelles afin de réaliser les fonctions demandées. De plus, ne modifiez surtout pas les noms des entrées/sorties déjà placées dans ces entités et n'ajoutez pas d'entrée/sortie supplémentaires.

1 Add/Sub 4 bits

Travail à effectuer

Entité du bloc Add/Sub



Nom I/O	Description
sel_i	Permet de sélectionner l'addition ou la soustraction
a_i	Données A
b_i	Données B
r_o	Résultat de l'addition/soustraction
c_o	Flag indiquant un carry

Etape 1-a : Implémenter un additionneur 4 bits

Créer un composant additionneur 4 bits à l'aide d'additionneurs 1 bit dans Logisim et tester son fonctionnement.

Etape 1-b : Implémenter un soustracteur 4 bits

A l'aide d'un seul additionneur 4 bits et de portes logiques de base, créer un soustracteur 4 bits dans Logisim et tester son fonctionnement.

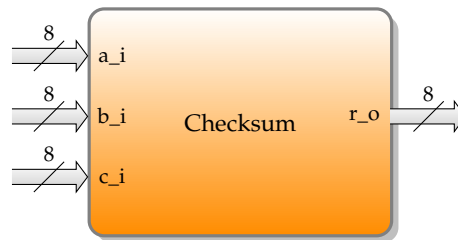
Etape 1-c : Implémenter un additionneur/soustracteur 4 bits

A l'aide d'un seul additionneur 4 bits et de portes logiques de base, créer un additionneur/soustracteur 4 bits dans Logisim et tester son fonctionnement.

2 Checksum

Travail à effectuer

Entité du bloc Checksum



Nom I/O	Description
a_i	Données A
b_i	Données B
c_i	Données C
r_o	Résultat du checksum

Etape 2-a : Implémenter un additionneur 8 bits

Sur la base des additionneurs conçus précédemment, concevoir et tester un additionneur 8 bits.

Etape 2-b : Concevoir et implémenter un additionneur/soustracteur 8 bits

A l'aide d'un seul additionneur 8 bits et de portes logiques de base, créer un additionneur/soustracteur 8 bits dans Logisim et tester son fonctionnement.

Etape 2-c : Concevoir et implémenter un checksum

Utiliser des additionneurs/soustracteur 8 bits et d'autres composants si nécessaires, pour créer un système combinatoire qui calcule le checksum de type modular sum de trois octets de données en entrée.

Définition du modular sum : Un modular sum se calcule en additionnant les données entre elles sans carry puis en effectuant le complément à deux de ce résultat.

Simuler manuellement votre checksum pour vérifier son bon fonctionnement.

Vous disposez également d'un testbench en ligne (<http://reds-calculator/logisim-validator/>) qui vous permet de valider le fonctionnement de votre checksum. Référez-vous au labo d'introduction pour son utilisation.

Le simulateur qui est mis à disposition n'est actuellement pas capable de vous retourner une erreur si vous ne respectez pas les points recommandés pour créer un circuit (NOTE 1 et 2). Donc si la simulation de votre circuit sur la page web ne s'arrête pas (dépasse 40s), vérifiez et respectez bien les points suivants :

- Nom du fichier labo_checksum_etu.circ
- Nom du composant checksum
- Respecter bien les informations données dans les NOTE 1 et 2 au début de la donnée.

Intégrer votre checksum dans la carte « MAX_V_CONSOLE ». Placez des constantes sur les entrées A et B, connectez les signaux C aux interrupteurs de la console et les sorties R aux LEDs

de la console. Lors de la programmation, dans le menu FPGA commander sélectionnez la carte « MAX_V_CONSOLE » (Choose target board).

Tester le fonctionnement sur la carte.

Faites valider le fonctionnement par l'assistant ou le professeur.

Etape 2-d : Concevoir un circuit permettant de vérifier l'intégrité de données

Créer un circuit prenant quatre entrées (trois octets de données et leur checksum) et permettant de calculer un bit de sortie valide égal à 1 lorsqu'aucune altération des données n'est détectée à la réception.

NOTE : Ce circuit reçoit quatre octets et ne peut pas savoir quel est l'octet de checksum.

Rendu

Pour ce laboratoire, vous devez rendre :

— votre fichier *.circ*

Vous devez déposer les rendus sur Cyberlearn jusqu'à la date indiquée dans l'espace de rendu consacré à votre classe. Ainsi, vous recevrez un feedback dans le courant de semaine suivante.

CONSEIL : Faire une petite documentation sur cette partie vous préparerait directement pour le quiz et vous fera directement un résumé pour l'examen.