

Rapport uart MSS

Donnée

Réaliser un circuit logisim permettant de transmettre une trame de 20 bits à un récepteur uart avec un baudrate de 9600. La fréquence d'horloge du récepteur de de l'émetteur est à 30 MHz. Le circuit doit contenir un registre à décalage de 24 bits, un timer 12 bits et un bloc de contrôle de la MSS. Lorsqu'aucune transmission n'est faite, la lignes doit rester à 1. Le bit de start est 0, le bit de parité n'est pas imposé et les deux bits de stop sont à 0. La conception de cette MSS est de type Moore.

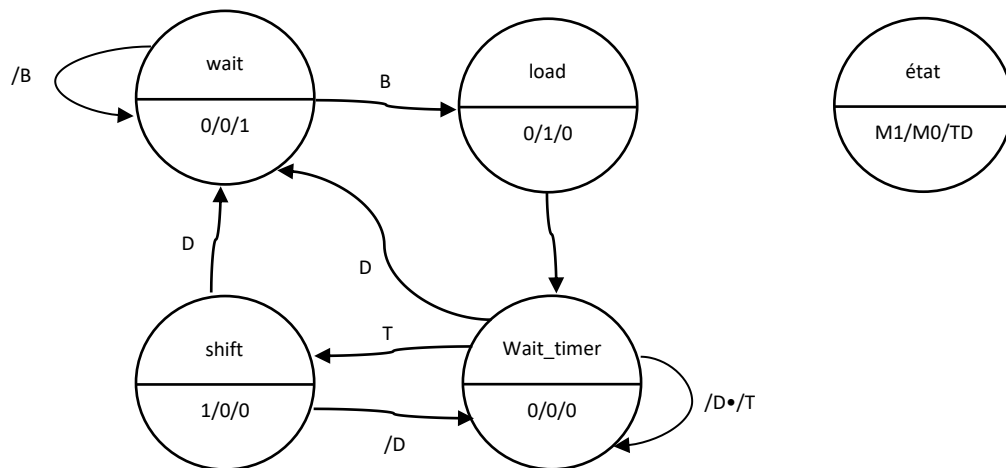
Sorties synchrones

- | | |
|--|----|
| 1. Mode0 -> Bit 0 de l'entrée mode du registre à 24 bits | M0 |
| 2. Mode1 -> Bit 1 de l'entrée mode du registre à 24 bits | M1 |
| 3. TxDone -> La sortie indiquant la fin de la transmission | TD |

Entrées synchrones

- | | |
|---|---|
| 1. Done -> Entrée indiquant la fin de la trame à envoyer | D |
| 2. Begin -> Entrée indiquant le début de la séquence d'envoi | B |
| 3. Timer -> Entrée indiquant qu'un bit doit être envoyé dans la trame | T |

Graphe d'état



Codage one-hot

- | | |
|--------------|------|
| • Wait | 0001 |
| • Load | 0010 |
| • Wait_timer | 0100 |
| • Shift | 1000 |

Table des états futurs

Etats présents				Etats futurs / entrées								Sorties		
shift	wait_timer	load	wait	B/T/D	B/T/D	B/T/D	B/T/D	B/T/D	B/T/D	B/T/D	B/T/D	M1	M0	TxDone
0	0	0	1	(0001)	(0001)	(0001)	(0001)	0010	0010	0010	0010	0	0	1
0	0	1	0	0100	0100	0100	0100	0100	0100	0100	0100	0	1	0
0	1	0	0	(0010)	0001	1000	0001	(0100)	0001	1000	0001	0	0	0
1	0	0	0	0100	0001	0100	0001	0100	0001	0100	0001	1	0	0

(xxxx) signifie que l'état ne change pas

Equations décodeur des états futurs

$$wait^+ = wait \cdot \overline{B} + D(shift + wait_timer)$$

$$load^+ = wait \cdot B$$

$$wait_timer^+ = load + (\overline{D} \cdot shift) + (\overline{D} \cdot \overline{T} \cdot wait_timer)$$

$$shift^+ = wait_timer \cdot T$$

Equations décodeur des sorties

$$m_0 = load$$

$$m_1 = shift$$

$$TxDone = wait$$

Schéma logique de la MSS

