



北京大学

# 第十一讲 锁存器和触发器

## Latch and Flip-flop

佟冬

tongdong@mprc.pku.edu.cn

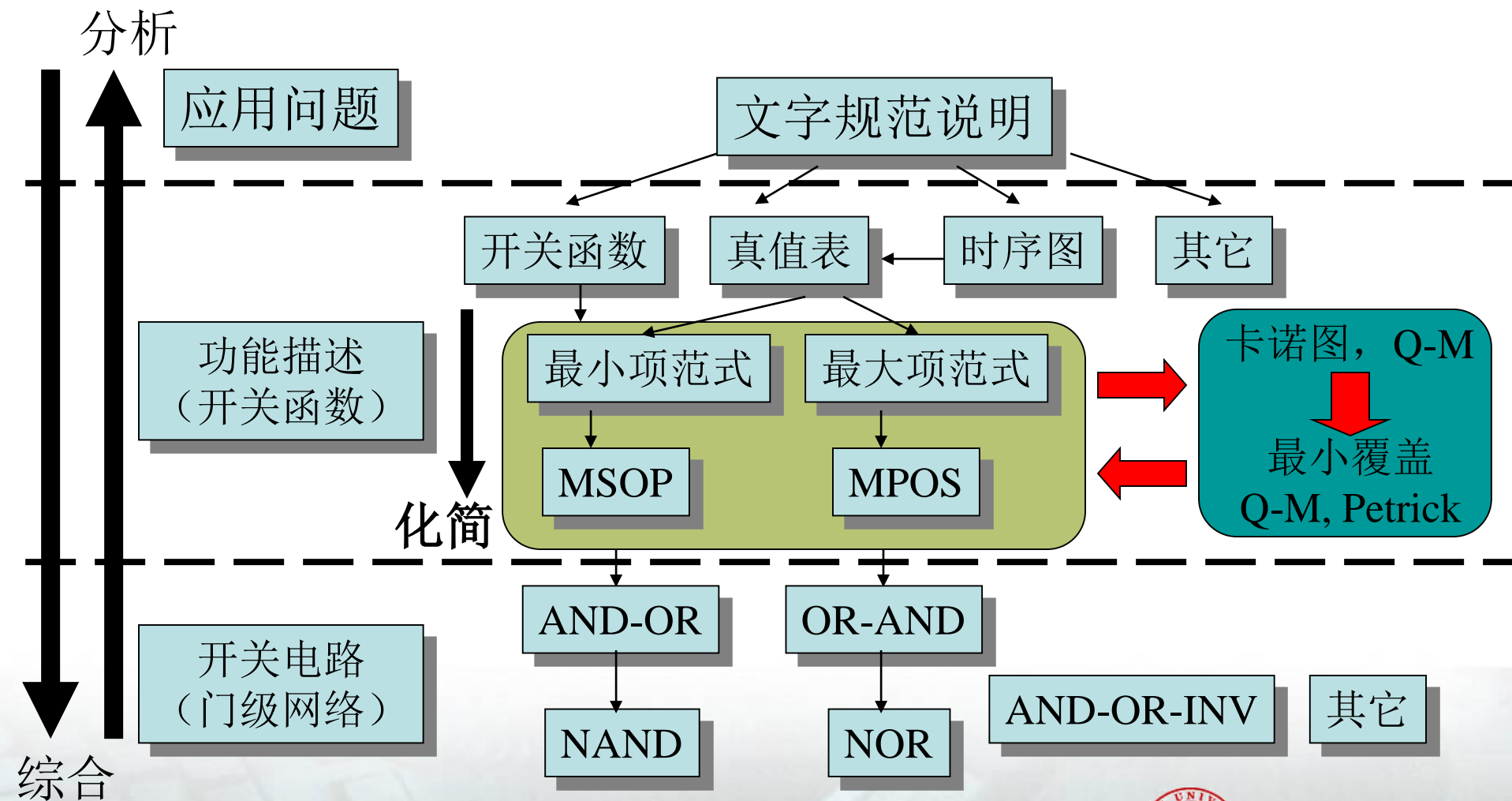
<http://mprc.pku.edu.cn/courses/digital/2013spring>

# 课程回顾

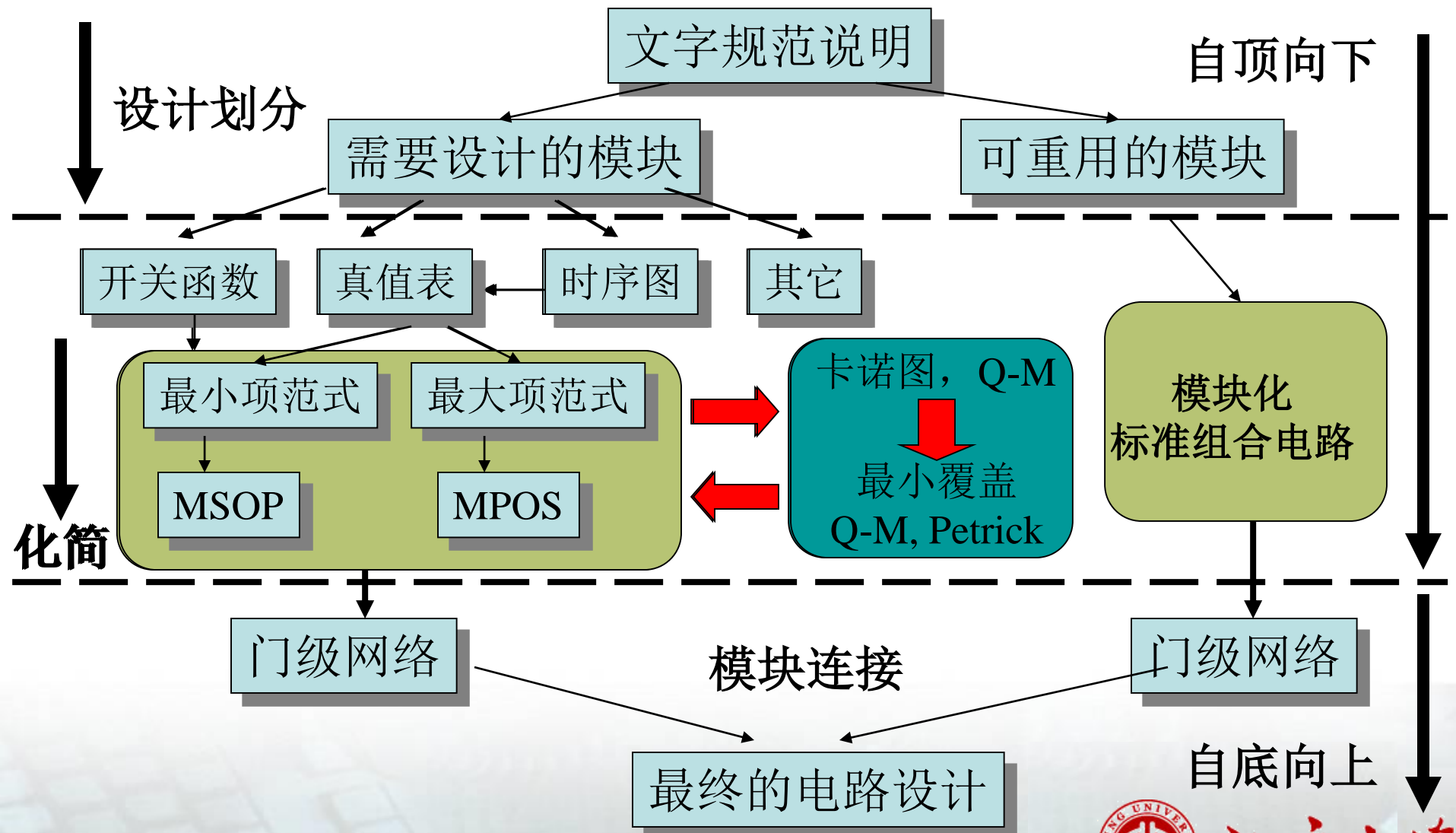
---

- ❑ 二进制及编码
- ❑ 布尔代数（共设和定理）
- ❑ 开关函数和开关电路
  - 开关函数和开关电路的对应关系
- ❑ 组合电路分析与综合
  - 组合电路的刻画：输入、输出、函数公式
  - 原理图、Verilog语言
- ❑ 组合电路的化简（门数和扇入）
  - 开关函数的化简、卡诺图法、Q-M方法
- ❑ 自顶向下的设计方法
- ❑ 标准组合电路模块（多选择/译码器/加法器）

# 组合电路总结

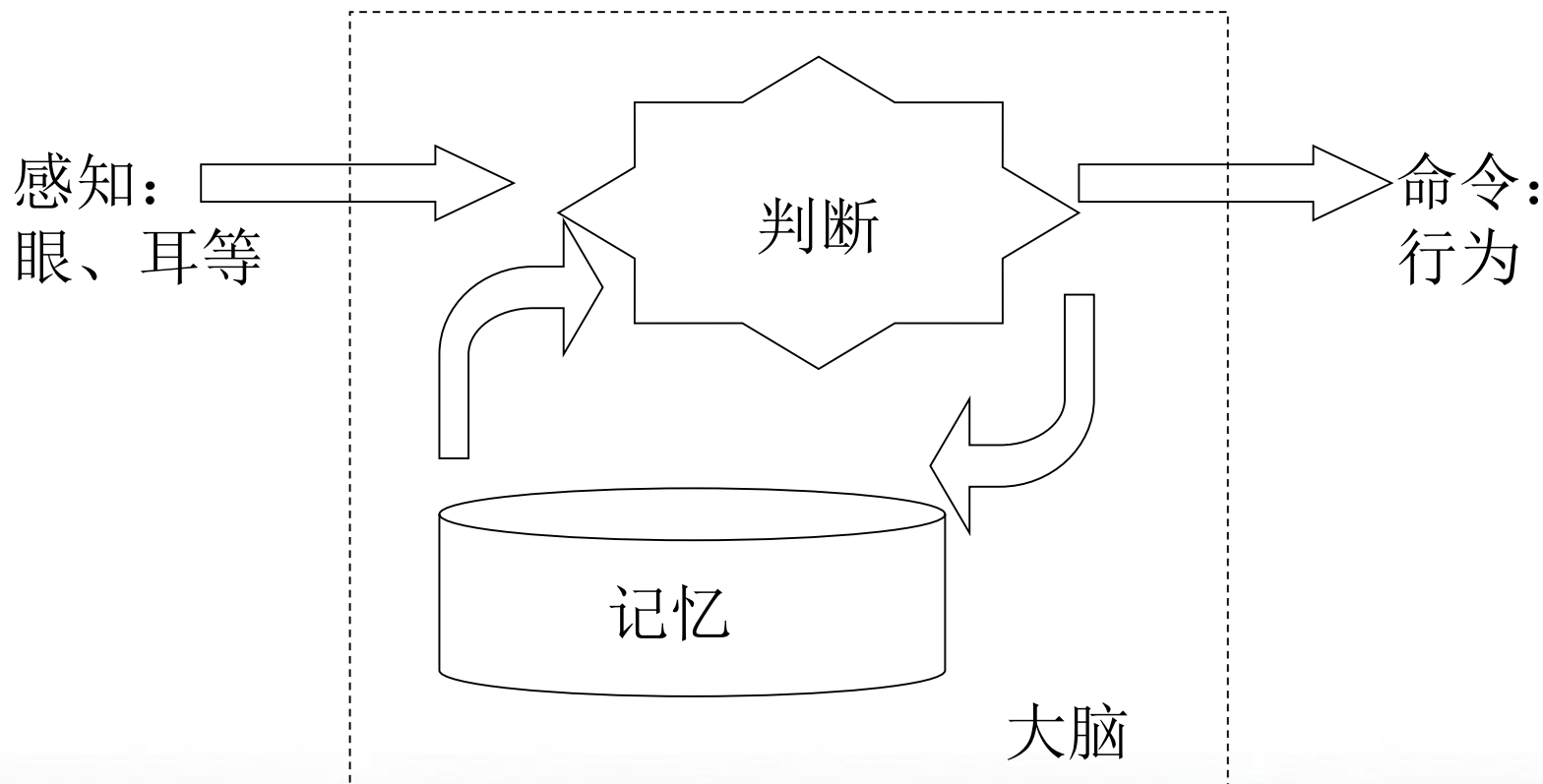


# 自顶向下的层次化设计方法学

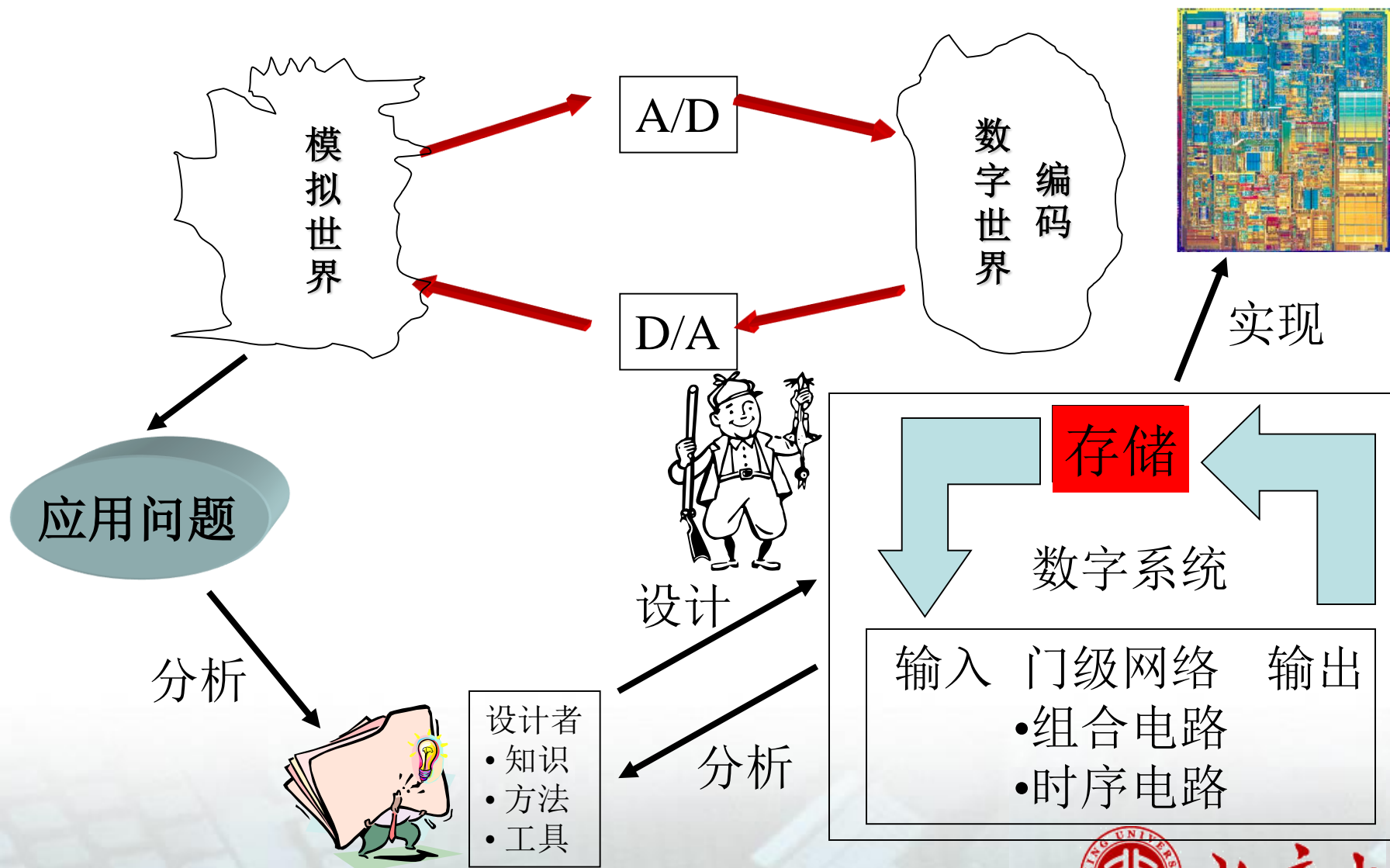


# 人是如何计算的？

## □ 简单的模型？



# 数字电路的分析与设计



# 11.1 时序电路的引入

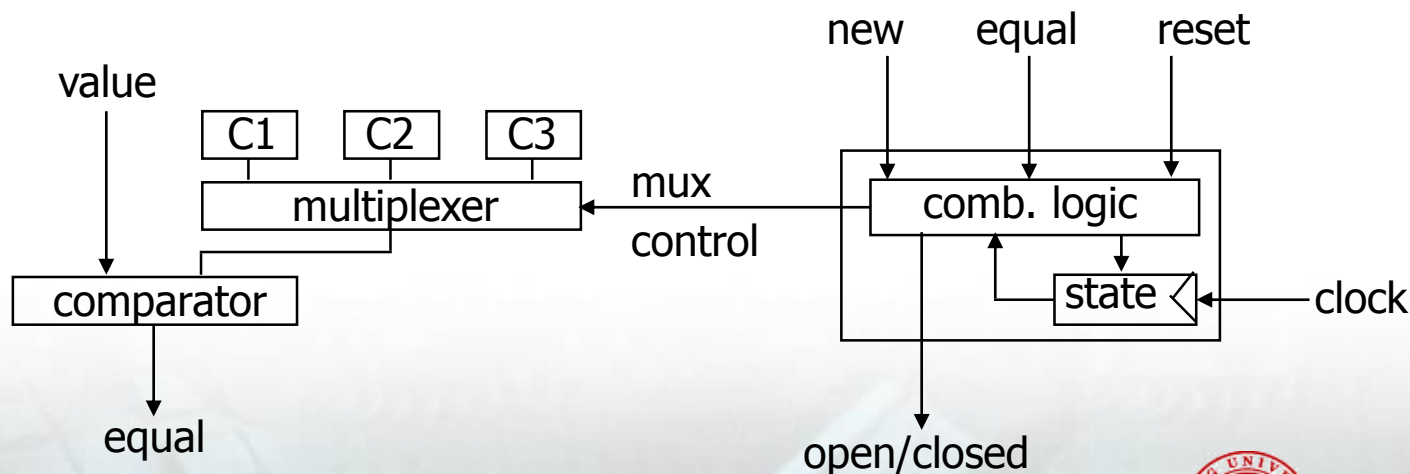
---

- ❑ 电梯控制电路的设计
- ❑ 当前状态(现态, present state)
  - 电梯所在的层数
  - 电梯的运行方向
- ❑ 下一个状态(次态, next state)
  - 电梯将要运行的方向
  - 电梯将要去的层数
- ❑ 输入(input)
  - 电梯内部的控制按钮
  - 各楼层的电梯控制按钮
- ❑ 输出(output)
  - 对电梯电机系统发出的控制信号
- ❑ 状态转换(state transition)

# 时序电路举例

## 带反馈（feedback）的电路

- $\text{outputs} = f(\text{inputs}, \text{past inputs}, \text{past outputs})$
- 在逻辑电路中构造“记忆”的基础
- 门组合锁例子
  - 状态是记忆
  - 状态是组合逻辑的输出和输入
  - 存储单元的組合

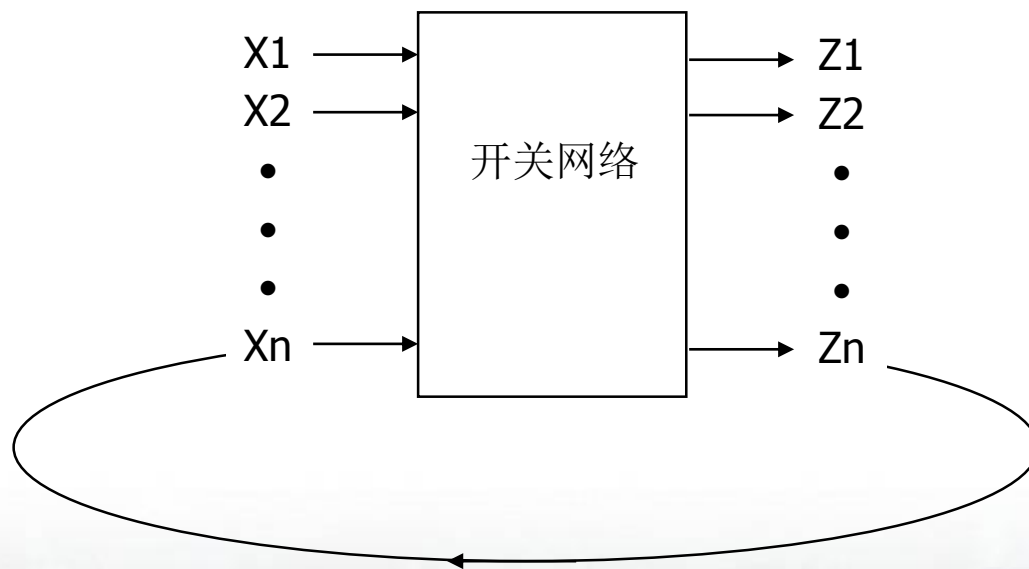




# 带反馈的电路

## □ 如何控制反馈？

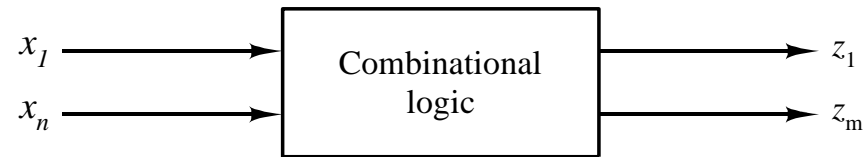
- 如何从无限循环中停止？



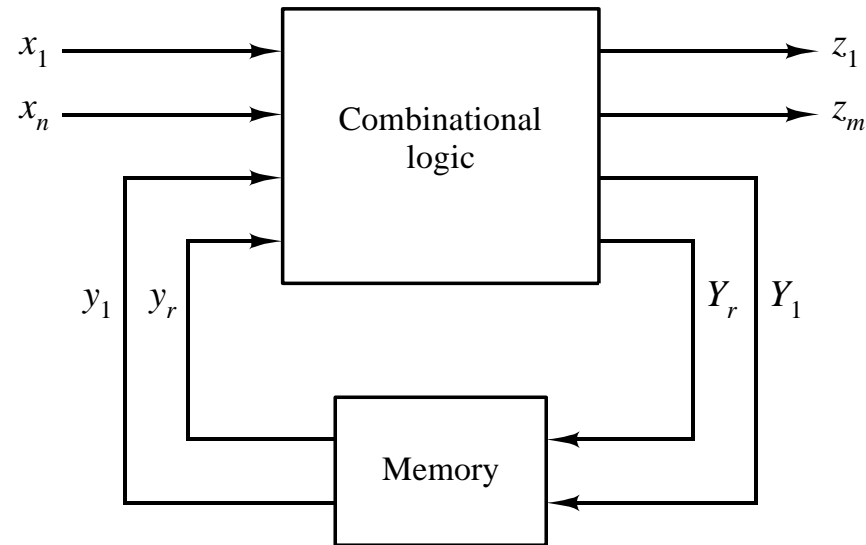
# 时序电路的基本概念

- 输入  $x = (x_1, x_2, \dots, x_n)$
- 输出  $z = (z_1, z_2, \dots, z_m)$
- 组合电路
  - $z_i = f_i(x_1, x_2, \dots, x_m), i = 1, \dots, m$
- 状态 (State)
  - 现态  $(y_1, y_2, \dots, y_r)$
  - 次态  $(Y_1, Y_2, \dots, Y_r)$
- 时序电路函数表示
  - $z_i = g_i(x_1, x_2, \dots, x_m, y_1, y_2, \dots, y_r), i = 1, \dots, m$
  - $Y_i = h_i(x_1, x_2, \dots, x_m, y_1, y_2, \dots, y_r), i = 1, \dots, m$

# 时序电路的表示—图表示



(a)

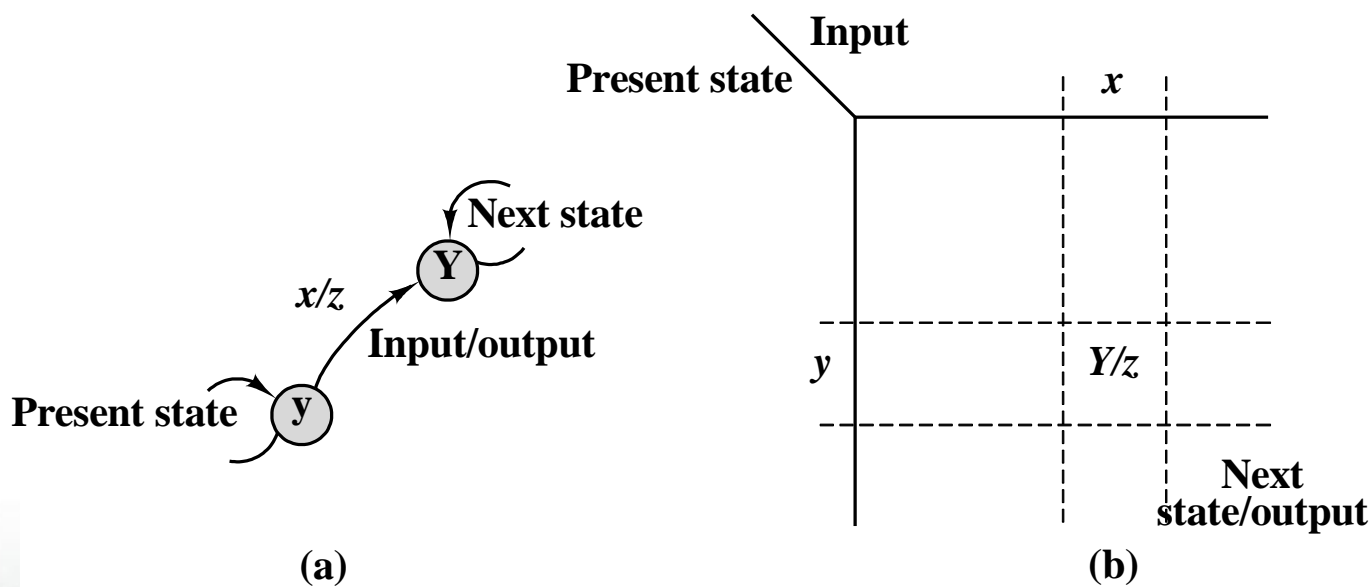


(b)

# 状态表和状态图

## □ 状态图和状态表

- 圆：状态
- 线：状态变换
- 线上标注：产生状态变换的输入和相应输出



# 状态变换实例（续）

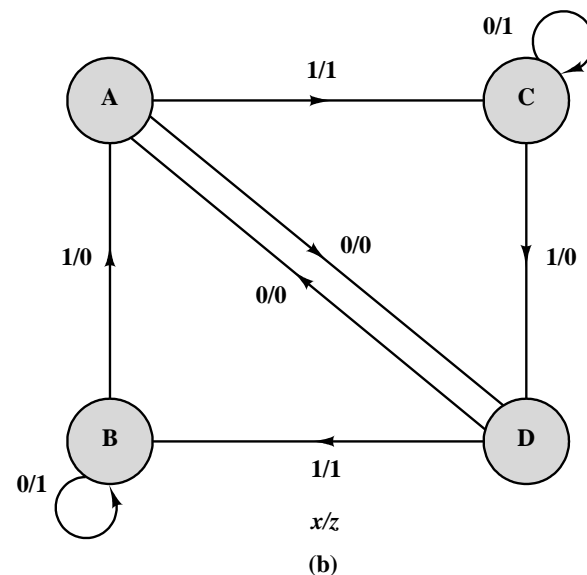
输入:  $x = 0110101100$   
初始状态: A

时间: 0 1 2 3 4 5 6 7 8 9 10  
现态: A D B A D B B A C C C  
输入: 0 1 1 0 1 0 1 1 0 0 0  
次态: D B A D B B A C C C  
输出: 0 1 0 0 1 1 0 1 1 1

输出:  $z = 0100110111$   
最后状态: C

		Input x	
		0	1
Present state	A	D/0	C/1
	B	B/1	A/0
	C	C/1	D/0
	D	A/0	B/1

(a)



## 11.2 存储元件

---

### □ 存储元件(Memory device)

- 双稳态(bistable)电子线路
- 状态 0
- 状态 1

### □ 二进制的存储

- 状态0，表示存储逻辑“0”。
- 状态1，表示存储逻辑“1”。
- 输出Q，指示存储元件的现态

# 存储元件(2)

---

## □ 激励输入(excitation inputs)

- 每个存储元件有多个输入，能激励或者驱动存储元件进入确定的状态的输入，被称为激励输入。
- 一般的存储元件的命名是根据它与其它存储元件不同的激励输入。

## □ 存储元件的类型

- 锁存器(*latch*)
- 触发器(*flip-flop*)

# 存储元件(3)

---

## □ 锁存器

- 锁存器的激励输入控制元件的状态。
- 置位锁存器(set latch), 激励输入强制元件的输出为1。
- 复位锁存器(reset latch), 激励输入强制元件的输出为0。
- 置位复位锁存器(set-reset latch), 同时具有置位和复位激励信号的元件。



# 存储元件(4)

---

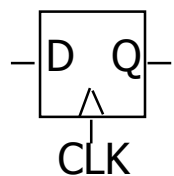
## □ 触发器

- 时钟控制信号(*clock*)
- 时钟信号向触发器发命令，触发器根据激励信号改变状态。
- 在多触发器的电路中，时钟信号可以使所有的触发器同步(*synchronized*)的改变状态。
- 时钟树的概念

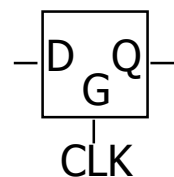
# 存储元件(4)

## □ 锁存器和触发器的操作

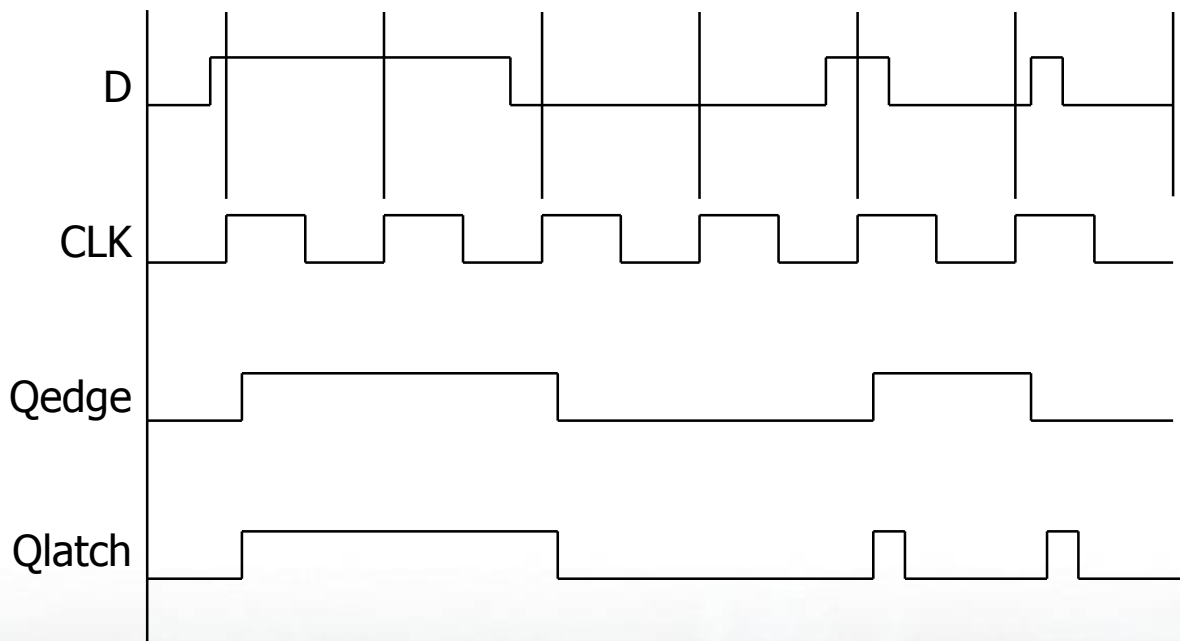
- 锁存器立即响应激励输入
- 触发器只依赖时钟响应激励输入



触发器



锁存器



# 存储元件的特征性质

---

- 锁存器和触发器
- 预置(preset)端和清零(clear)端
  - 同步的预置端和清零端
  - 异步的预置端和清零端
- 脉冲(pulse)触发和边沿(edged)触发
  - 正脉冲触发和负脉冲触发
  - 上升沿触发和下降沿触发

# 11.3 锁存器 Latch

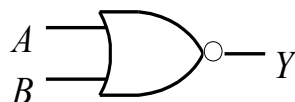
## □ 或非门(NOR)—复习

$a$	$b$	$f_{NOR}(a, b) = \overline{a + b}$
0	0	1
0	1	0
1	0	0
1	1	0

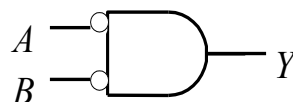
(a)

$A$	$B$	$Y$
L	L	H
L	H	L
H	L	L
H	H	L

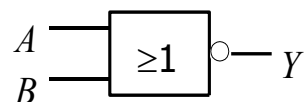
(b)



(c)



(d)



(e)

(a) 或门的逻辑功能

(b) 或门的电子功能

(c)(d) 标准符号表示

(e) IEEE 块符号表示.

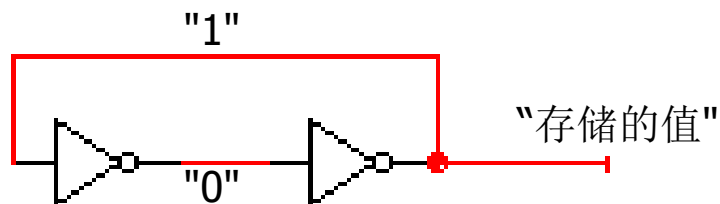
■ 功能

(a) 正逻辑：输入同时为0，输出为1。任意输入为1，输出为0

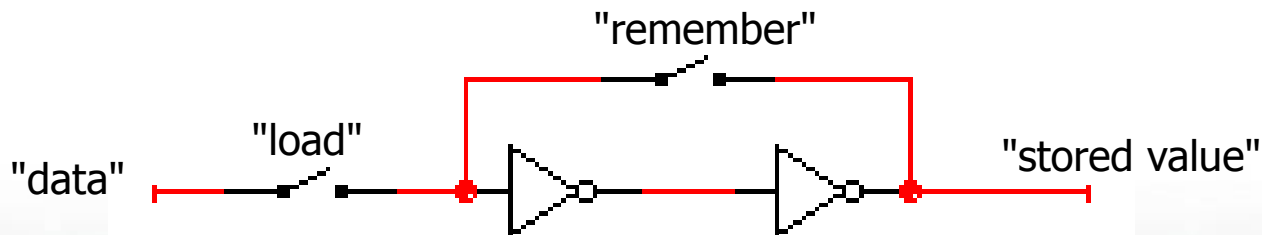
(b) 0取反的功能

# 带反馈的简单电路

- 两个反相器形成一个静态记忆单元
  - 上电后永久保留固定值

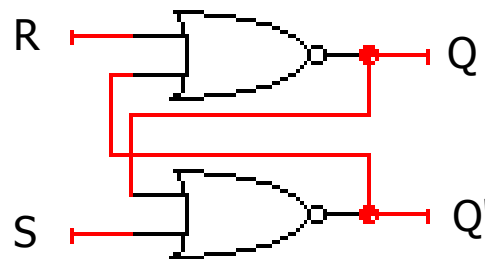
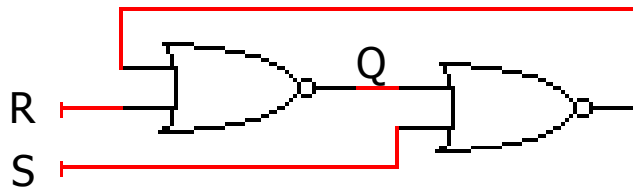


- 如何将新的值存入存储单元？
  - 有选择性的打断反馈路径

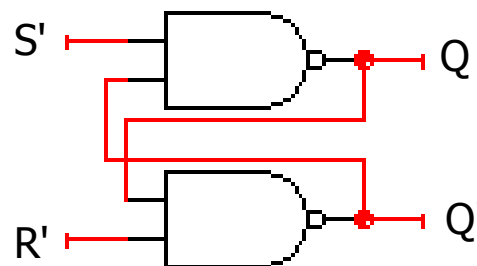
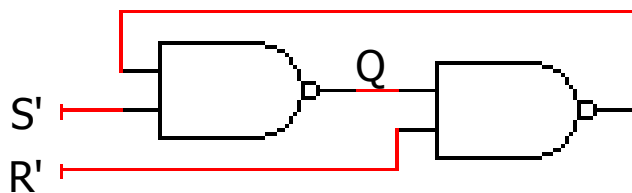


# R-S锁存器

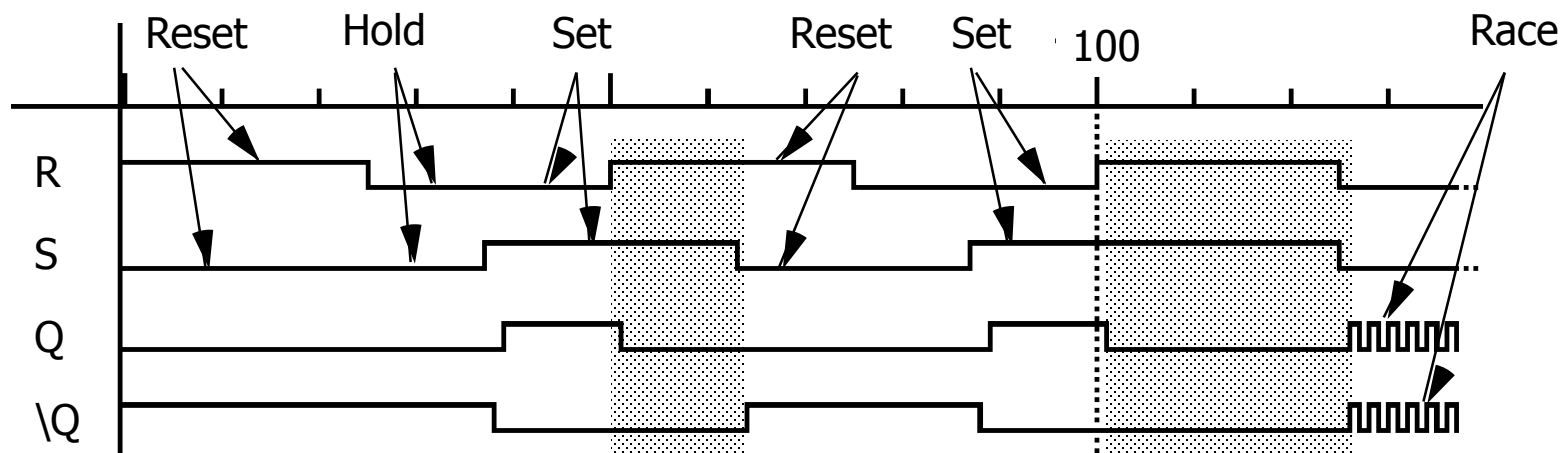
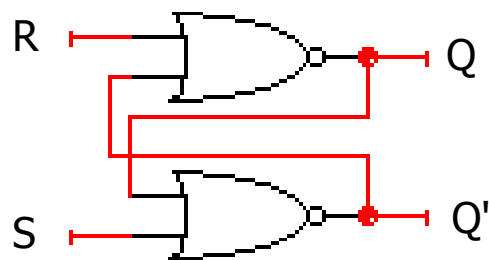
## □ 或非门(NOR)实现



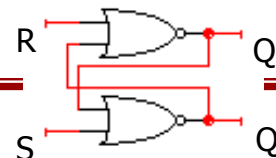
## □ 与非门(NAND)实现



# RS锁存器的时序行为Timing behavior



# RS锁存器的状态行为



## □ RS锁存器行为的真值表

S	R	Q
0	0	hold
0	1	0
1	0	1
1	1	unstable

Q Q'  
0 1

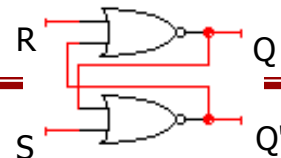
Q Q'  
1 0

Q Q'  
0 0

Q Q'  
1 1

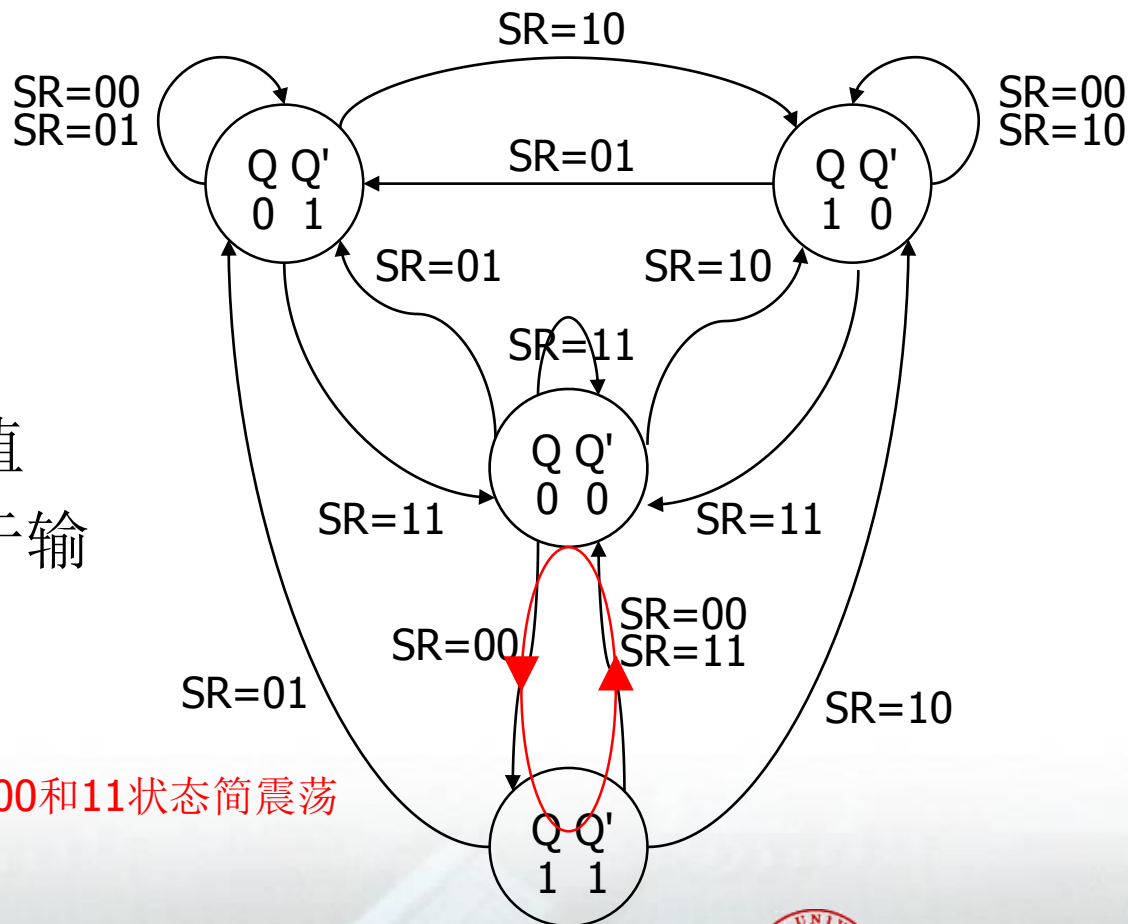


# RS锁存器的理论行为



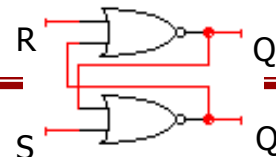
## □ 状态图

- 状态：可能的值
- 状态转换：基于输入改变



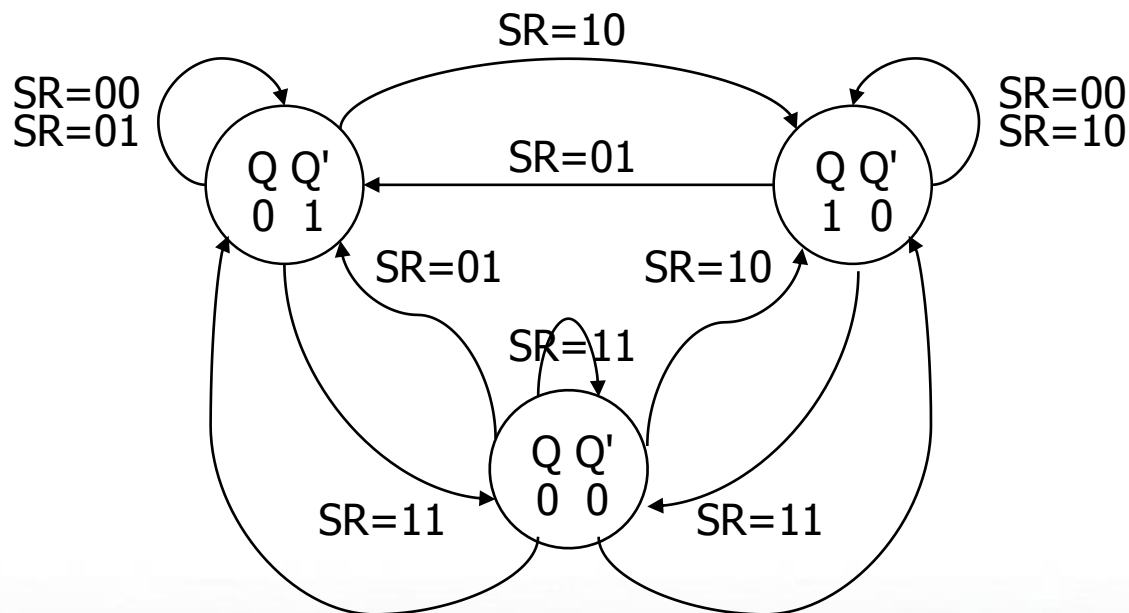
可能在00和11状态简震荡

# 可观测的RS锁存器行为



## □ 观测RS锁存器的11状态非常困难

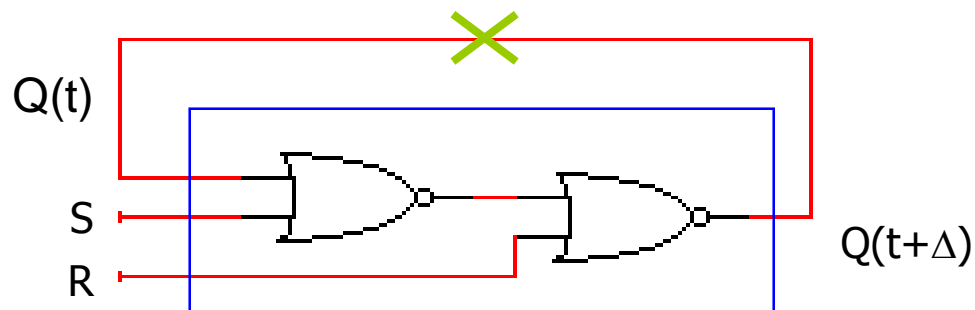
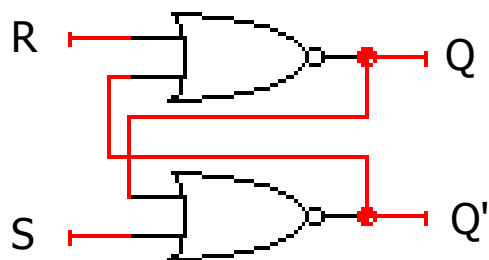
- 微观上通常R和S中的必定不同时变化
- 不确定最终返回状态01还是10



SR=00

SR=00

# R-S 锁存器分析



S	R	Q(t)	Q(t+Δ)	
0	0	0	0	hold
0	0	1	1	
0	1	0	0	reset
0	1	1	0	
1	0	0	1	set
1	0	1	1	
1	1	0	X	not allowed
1	1	1	X	

		S	
		0	1
Q(t)	0	X	1
	1	X	1
		R	
		0	1

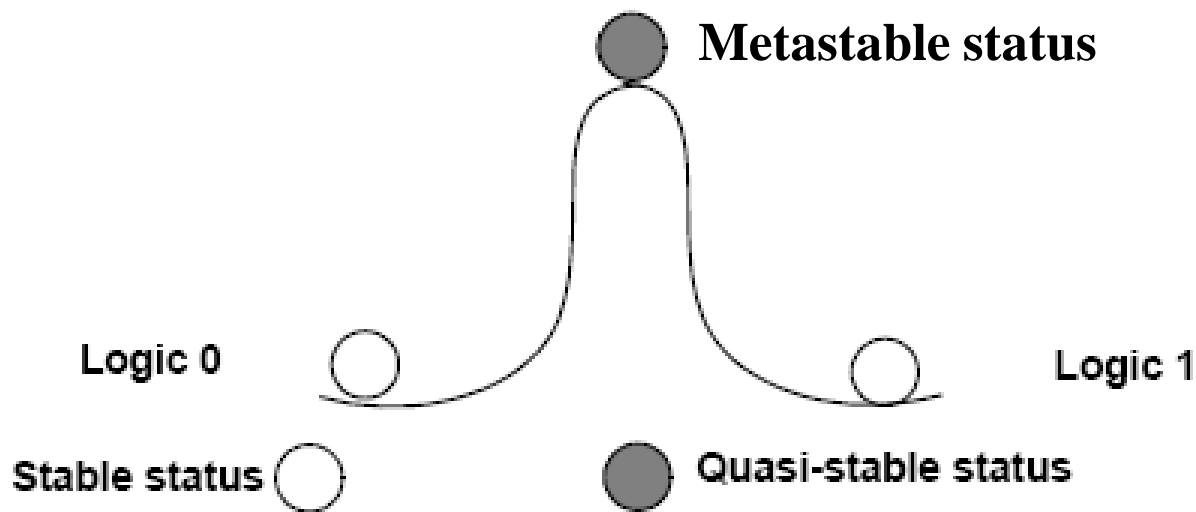
特征方程:  $Q(t+\Delta) = S + R' Q(t)$   
 $Q^* = S + R' Q$

# SR锁存器的激励输入限制

- ❑ 置位端S和复位端R不能同时变为无效
  - 产生信号追逐(race)
  - 输出将产生震荡(oscillate)
  - 最终必有一个门获胜，锁存器达到稳态，但是不能确定输出的结果。
  - 恢复时间(Recovery Time,  $t_{rec}$ )，复位和置位有效信号间的最小时间
- ❑ 置位端S和复位端R的有效脉冲不能太短
  - 进入亚稳态(metastable)状态
  - 脉冲的宽度基本上要大于恢复时间 $t_{rec}$
- ❑ 应该在设计电路时，十分注意。

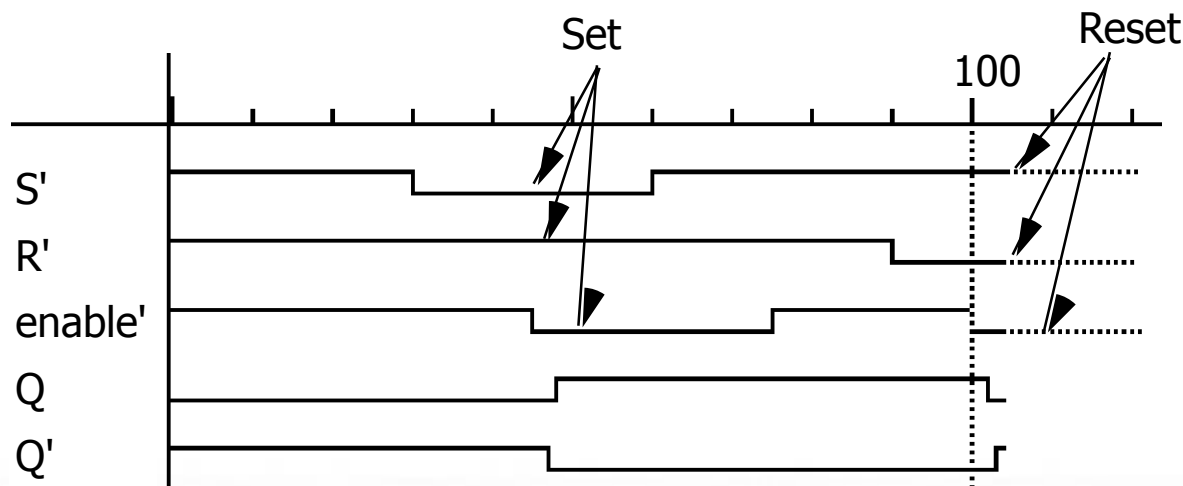
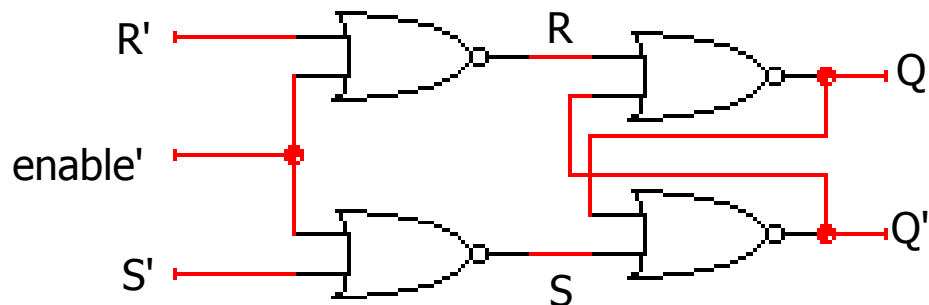
# 亚稳态(Metastable)

- 锁存器的两个稳态：逻辑0和逻辑1
- 亚稳态为两个稳态之外的第三个平衡的状态。
- 随着噪声的介入，会在比较长的时间内变为稳态，但是并不能确定稳态的类型。
- 亚稳态的危害：不同的门对相同的亚稳态信号地解释，逻辑0或者逻辑1并不一致。



# 门控RS锁存器 (Gated R-S latch)

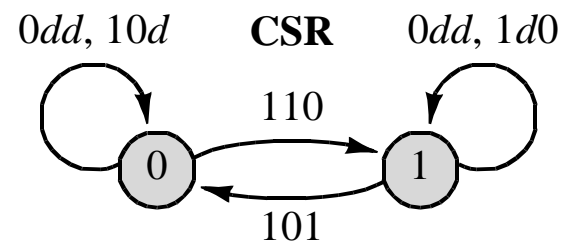
□ 控制R和S输入  
信号是否对存储  
值产生影响



# 激励表和特征方程

Enable inputs $C$	Excitation inputs		Present state $Q$	Next state $Q^*$	
	$S$	$R$			
0	×	×	0	0	Hold
0	×	×	1	1	
1	0	0	0	0	No change
1	0	0	1	1	
1	0	1	0	0	Reset
1	0	1	1	0	
1	1	0	0	1	Set
1	1	0	1	1	
1	1	1	0	×	Not allowed
1	1	1	1	×	

(a)



(b)

$$Q^* = SC + R'Q + C'Q$$

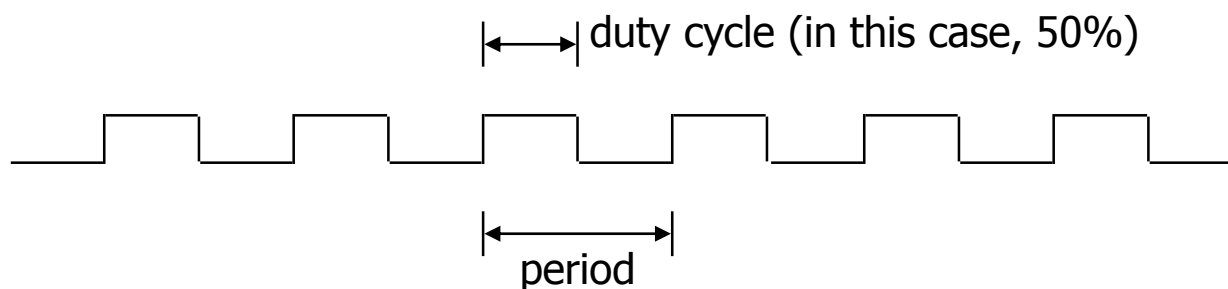
# 时钟 Clocks

## □ 用来保证时间

- 等待足够长的时间使输入信号 (R' and S') 稳定
- 然后再准许影响存储的值

## □ 时钟是规整的周期性信号

- 时钟周期 (period): 两个相同跳变的时间间隔
- 占空比(duty-cycle): 高电平所占时钟周期的比例

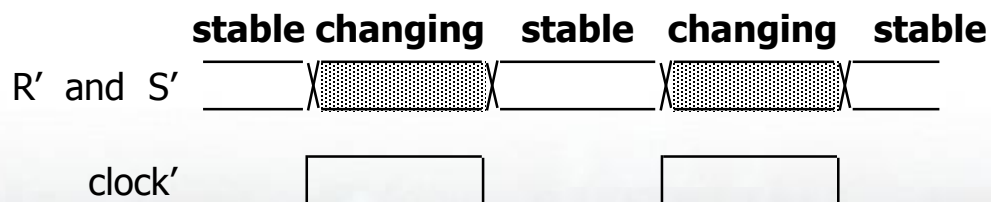
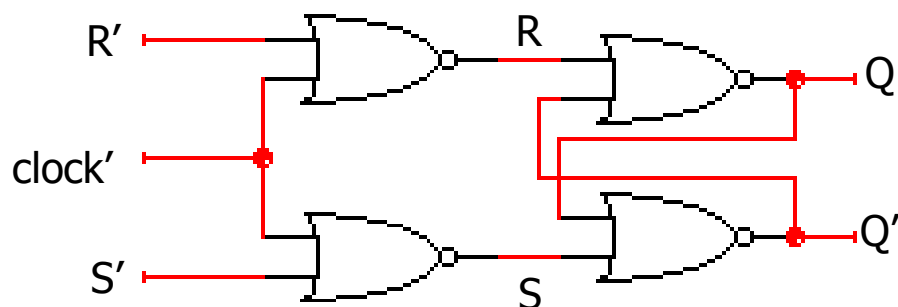




# 时钟（续）

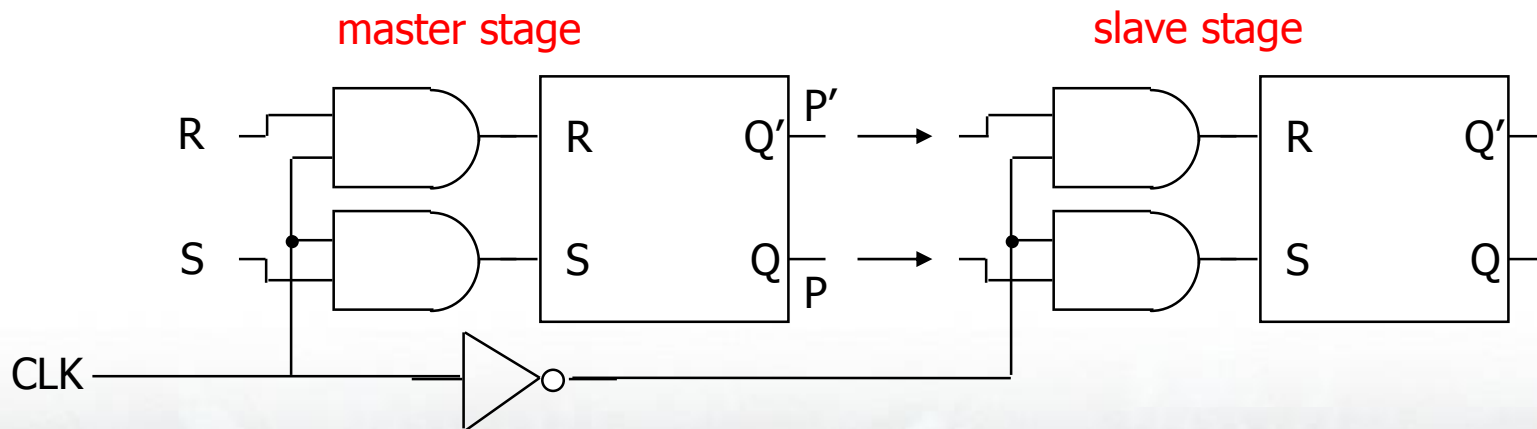
## □ 用时钟控制RS锁存器

- 不让R和S在时钟信号有效时变化
- 只有一半的时钟周期用来信号传播
- 另一半的时钟周期输出（状态）保持不变

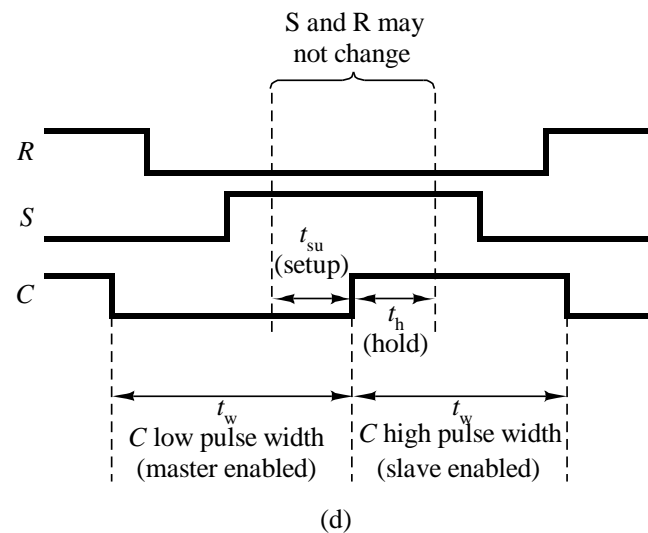
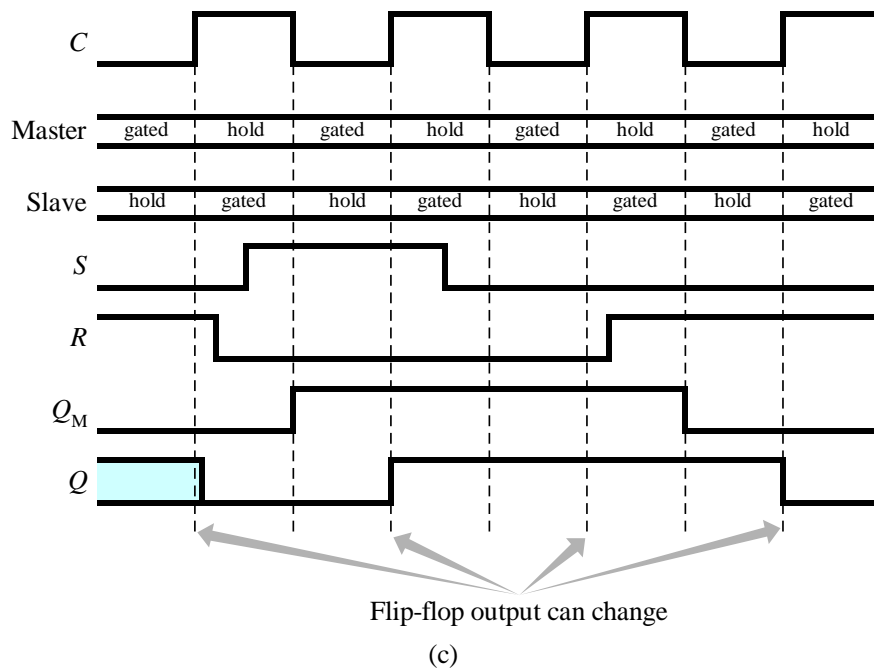
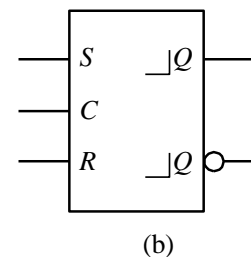
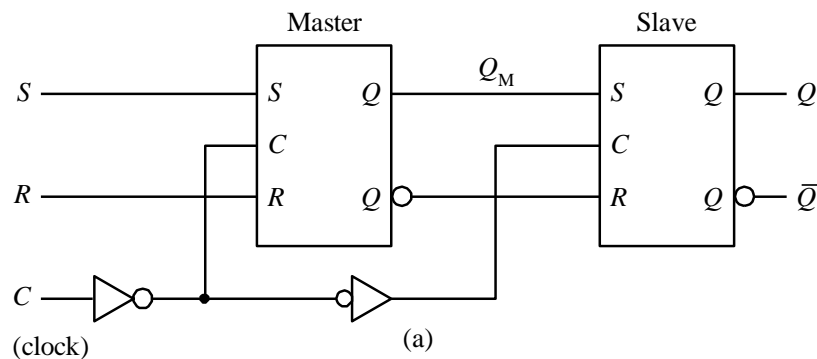


## 11.3 主从触发器 (master-slave flip-flop)









- 将锁存器级联：一个锁存器的输出连接另一个锁存器的输入
  - 用时钟信号的两个电平分别控制两个锁存器
  - 两倍的逻辑门（与锁存器相比）
  - 输出在相同的时钟边沿间（一个时钟周期内）一直保持稳定



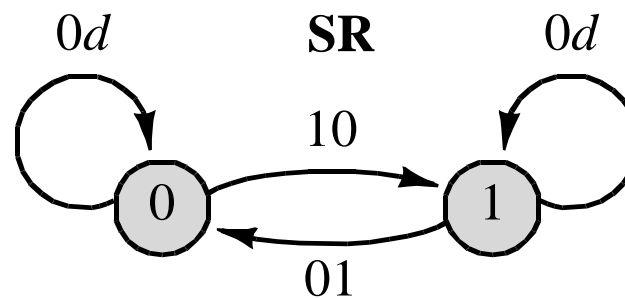
# RS主从触发器



# 特征方程和激励表

$S$	$R$	$Q$	$C$	$Q^*$	No
0	0	0		0	change
0	0	1		1	
0	1	0		0	Reset
0	1	1		0	
1	0	0		1	Set
1	0	1		1	
1	1	0		×	Not allowed
1	1	1		×	

(a)



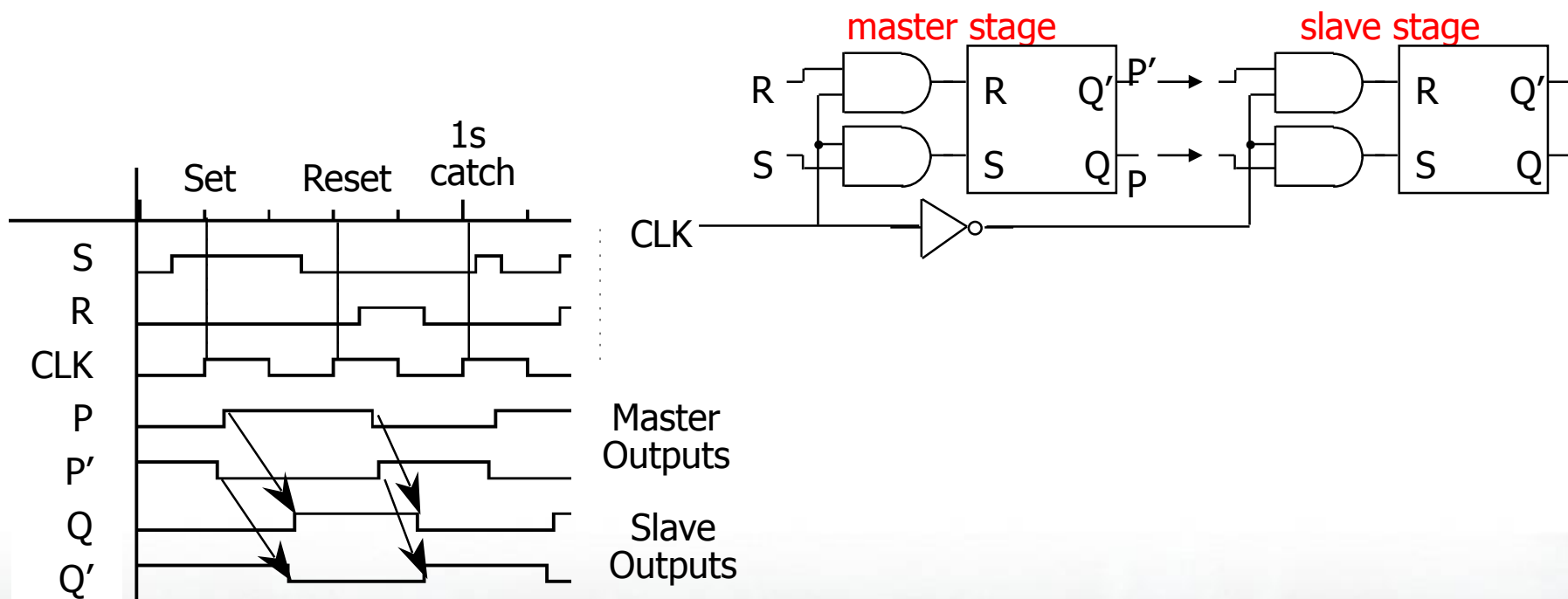
(b)

$$Q^* = S + R'Q$$

# 1 捕获问题（0 捕获问题）

## □ 主从触发器的第一级RS锁存器

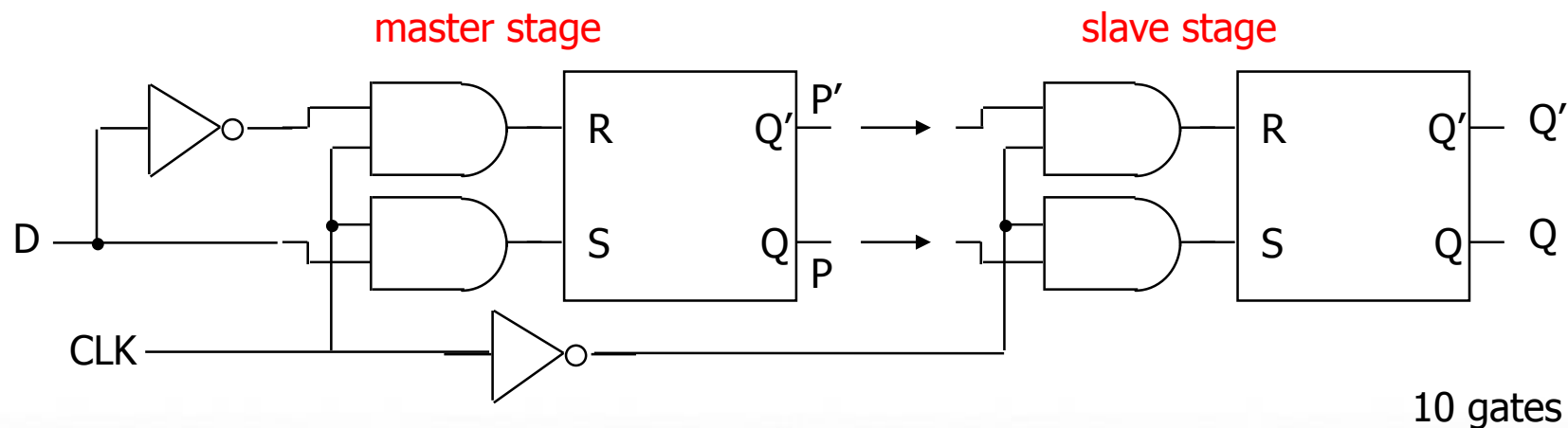
- 如果时钟电平高时产生一个0静态冒险(static hazard)
- 导致必须限制输入逻辑是无冒险的电路



# 主从D 触发器 (D Flip-flop)

## □ 让S和R互补

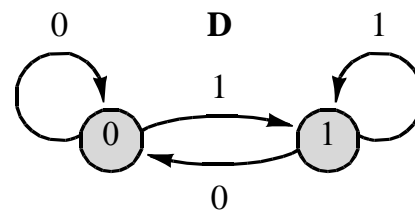
- 可以消除1捕获问题
- D的值需在时钟变低之前保证是要存储的值
- $D = S + R' Q$



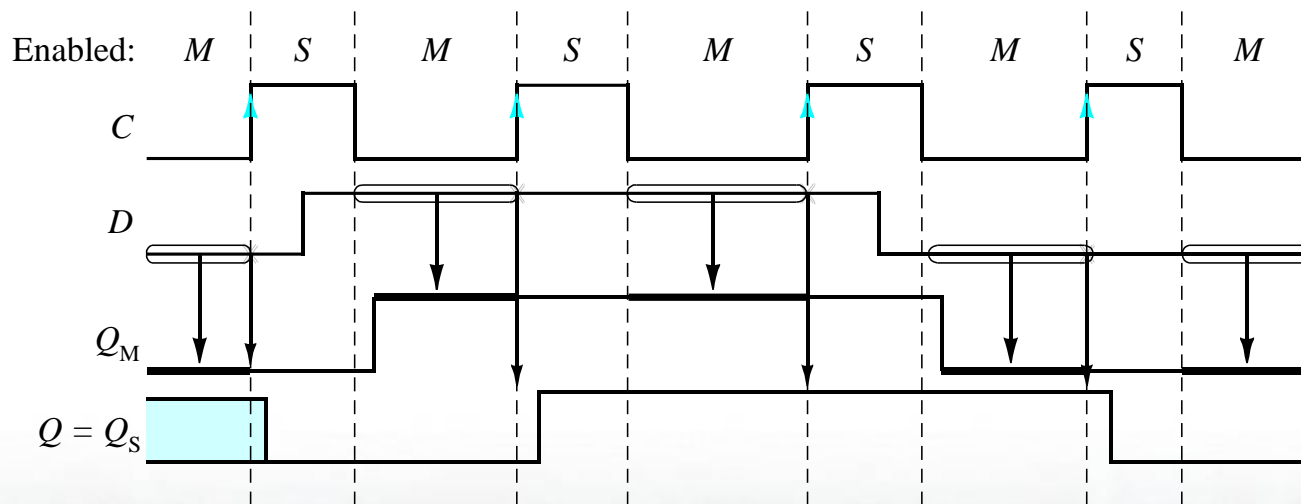
# 主从D触发器的特性

$D$	$Q$	$C$	$Q^*$
0	0		0
0	1		0
1	0		1
1	1		1

(a)



(b)



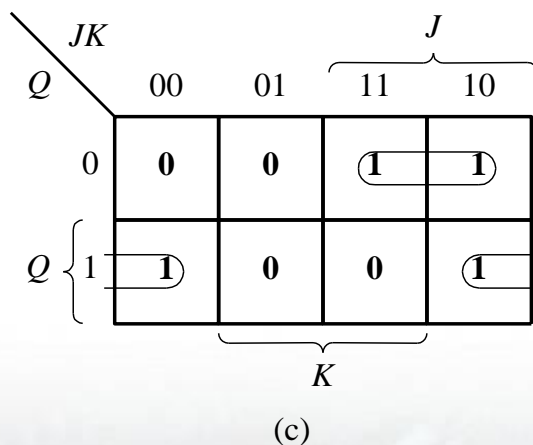
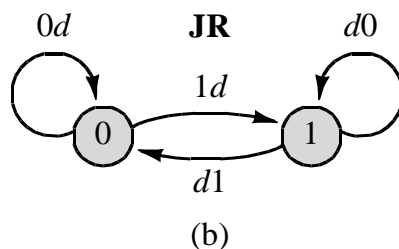
$$Q^* = D$$

# 11.4 JK触发器

- 在SR锁存器和触发器中， $S=1$ 且 $R=1$ 不被容许。
- 在JK触发器中， $J = S$ ， $K = R$ ，当 $J = 1$ 且 $K = 1$ 时，JK触发器产生**状态翻转(toggle)**

$J$	$K$	$Q$	$C$	$Q^*$
0	0	0		0 Hold
0	0	1		1
0	1	0		0 Reset
0	1	1		0
1	0	0		1 Set
1	0	1		1
1	1	0		1 Toggle
1	1	1		0

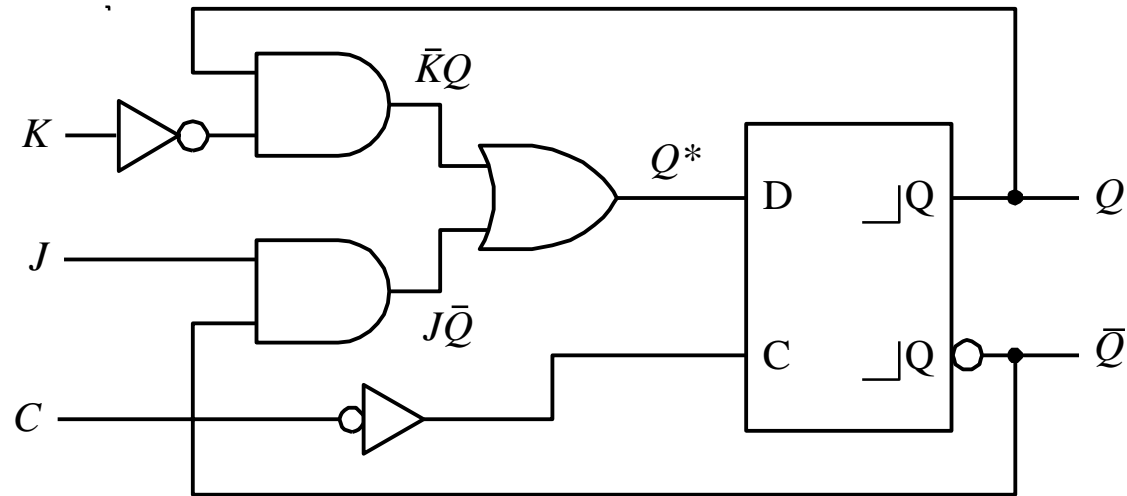
(a)



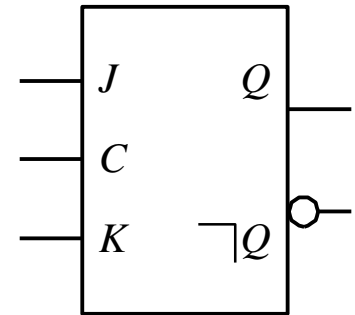
$$Q^* = K'Q + JQ'$$



# 主从JK触发器结构



(a)



(b)

## 11.5 边沿触发器

---

□ 主从触发器需要时钟的上升沿和下降沿

□ 边沿触发器

– 只需要时钟的上升沿或者下降沿。

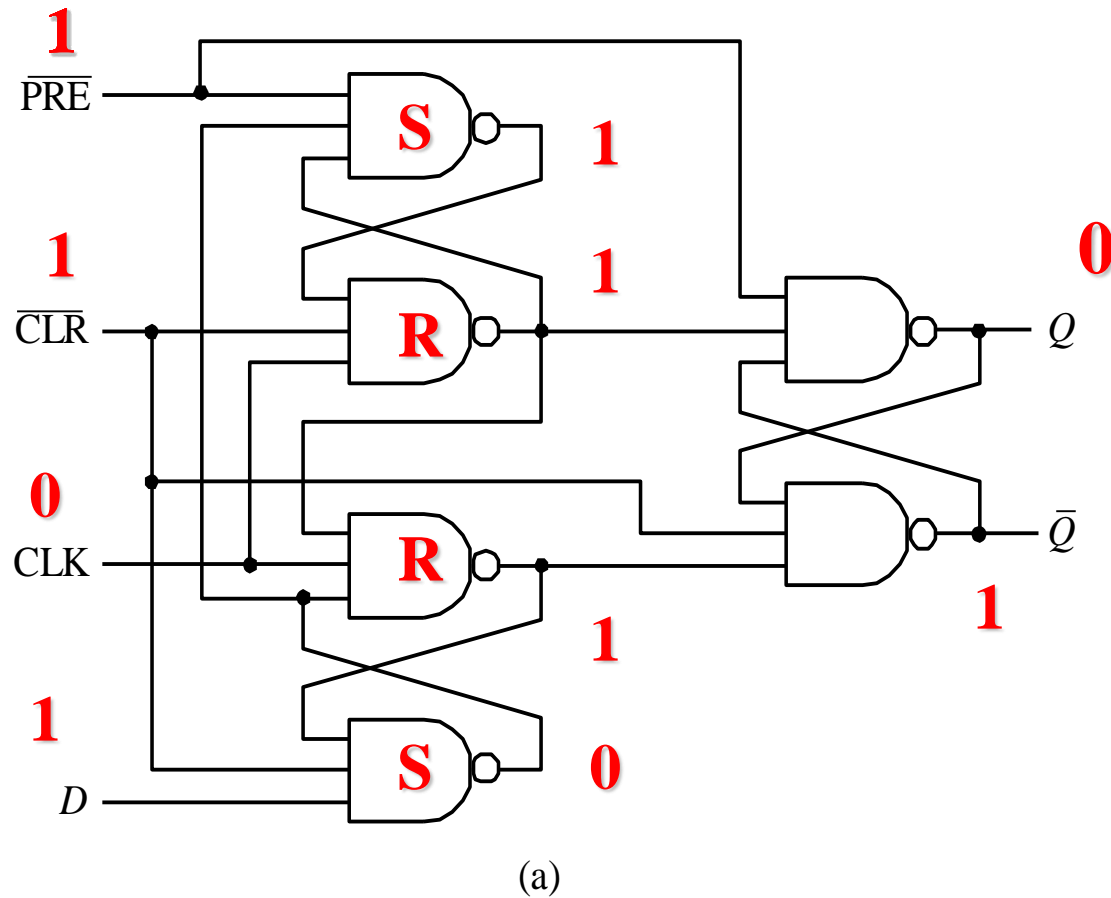
□ 正沿触发器（上升沿触发器）

– 时钟信号由0->1的转变

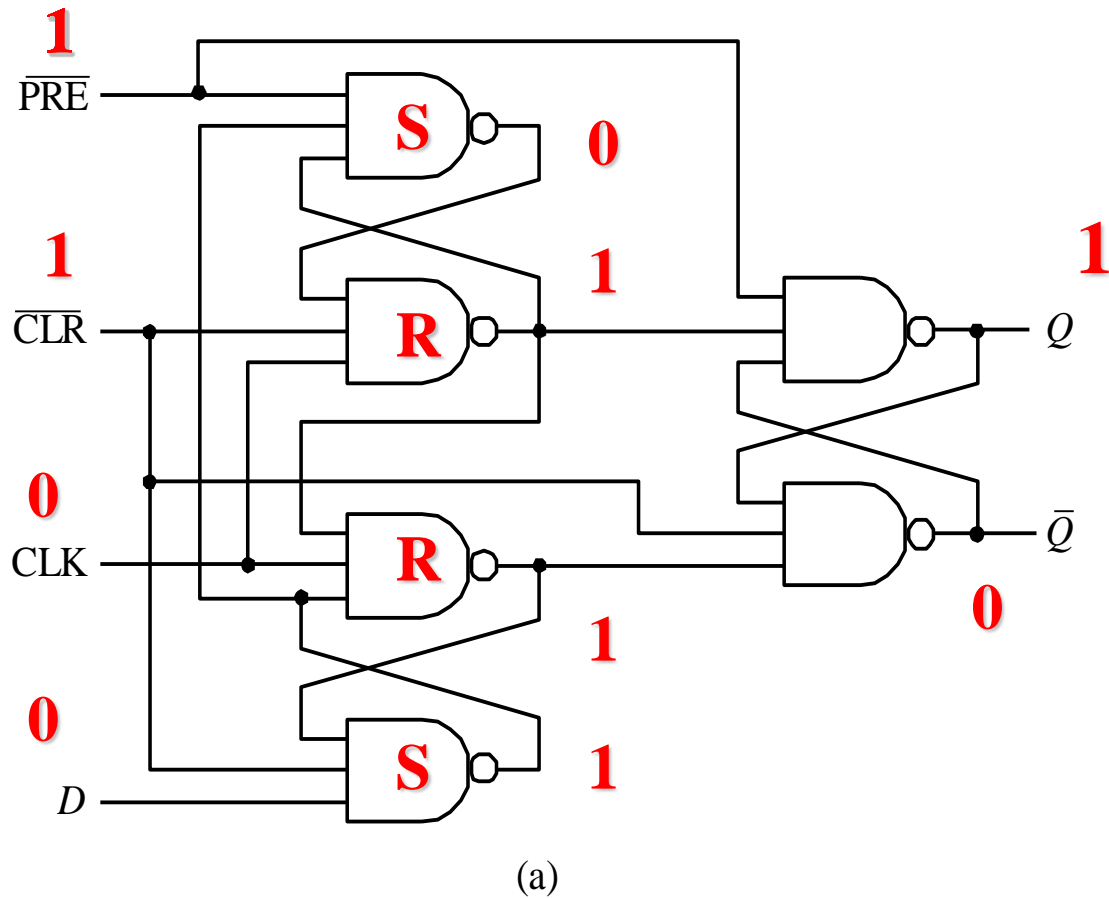
□ 负沿触发器（下降沿触发器）

– 时钟信号由1->0的转变

# 边沿D触发器分析7474(1 -> 0)



# 边沿触发D触发器(0 -> 1)



# D触发器的时序限制

---

## □ 建立时间(*setup time, $t_{su}$* )

- 在使能信号变化前，激励信号必须保持的一段时间。

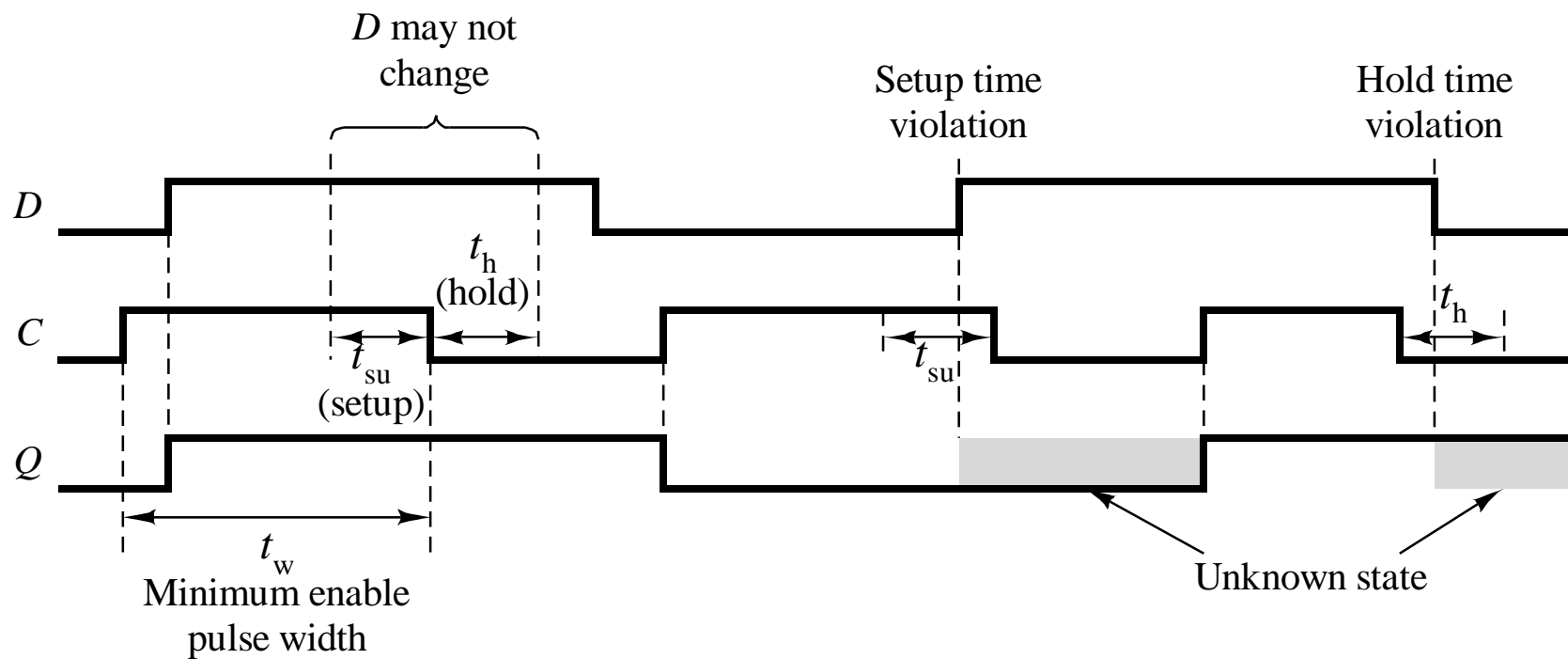
## □ 保持时间(*hold time, $t_h$* )

- 在使能信号变化后，激励信号必须保持的一段时间。

## □ 最小脉冲宽度( *$t_w$* ):

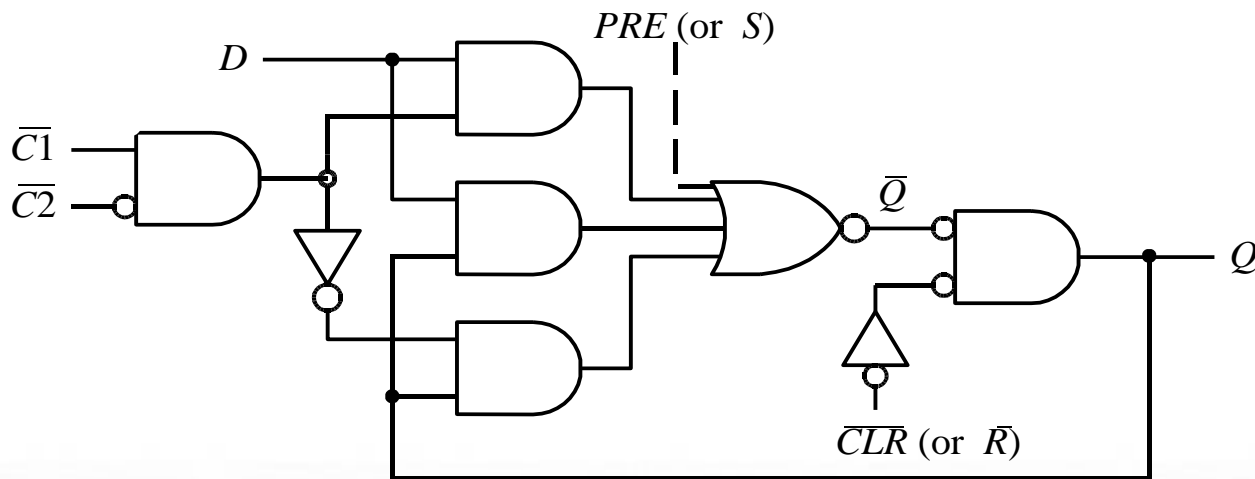
- 为保证状态的稳定，时钟信号需要的最小脉冲宽度。

# D触发器的时序约束

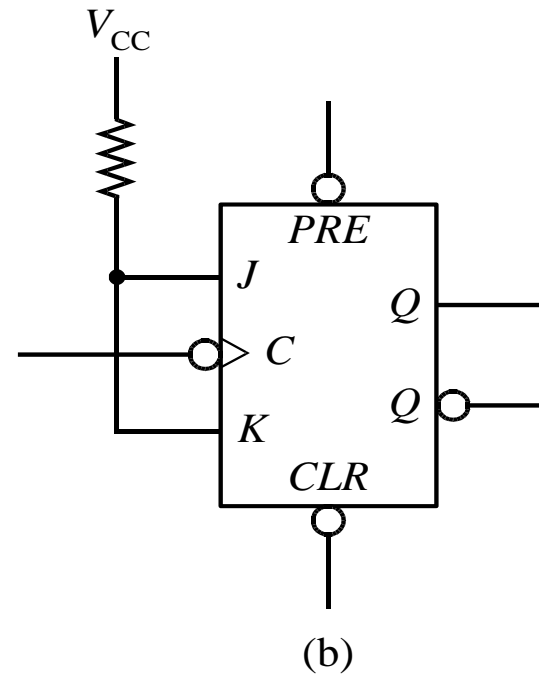
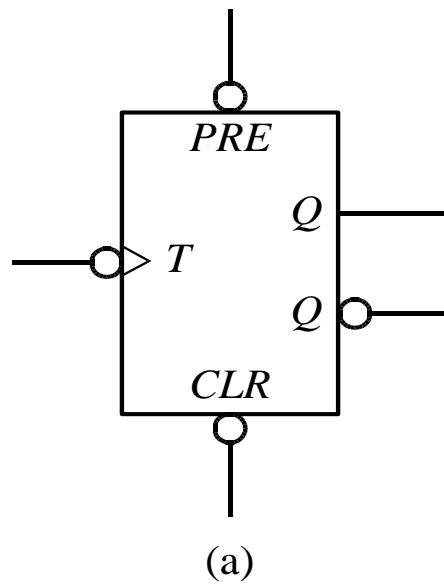


# 异步控制信号

- 上图中的 $\overline{PRE}$ 和 $\overline{RST}$
- 异步控制信号对状态的影响，不需要与时钟同步
- 需要注意最后一级锁存器的回复时间限制
- 74116 D Latch中的异步控制信号：



## 11.6 T触发器

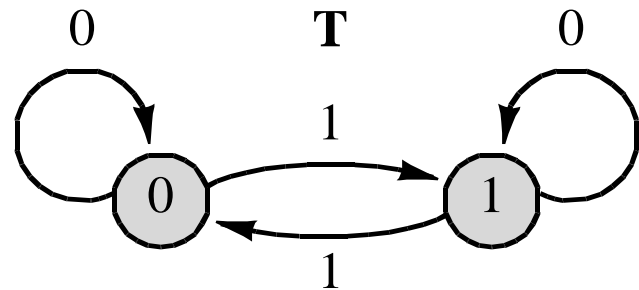




# T触发器特性

$T$	$Q$	$Q^*$	
↓	0	1	Toggle
↓	1	0	Toggle

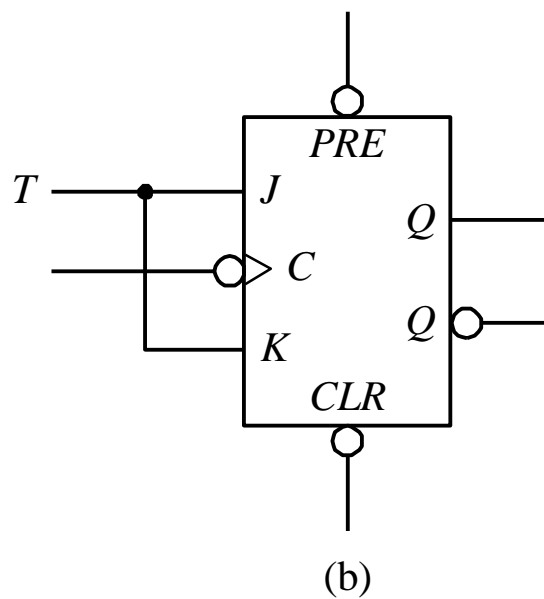
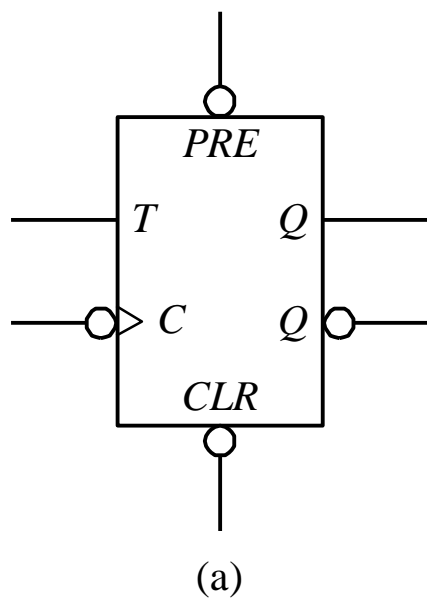
(a)



(b)

$$Q^* = Q'$$

# 钟控T触发器



# 钟控T触发器的激励表

$T$	$Q$	$C$	$Q^*$
0	0	↓	0
0	1	↓	1
1	0	↓	1
1	1	↓	0

$$Q^* = T'Q + TQ'$$

# 时序部件总结

---

- 状态图、状态表、状态转换
- 锁存器
- 触发器
  - 脉冲触发器（主从触发器）
  - 边沿触发器
- 异步控制信号
  - 异步复位端
  - 异步置位端

# 锁存器和触发器的总结

## 电路器件

## 特征方程

SR锁存器

$$Q^* = S + \overline{R}Q$$

门控SR锁存器

$$Q^* = SC + \overline{Q}R + \overline{C}Q$$

D锁存器

$$Q^* = DC + \overline{C}Q$$

SR触发器

$$Q^* = S + \overline{R}Q$$

D触发器

$$Q^* = D$$

JK触发器

$$Q^* = \overline{K}Q + J\overline{Q}$$

T触发器(边沿触发)

$$Q^* = \overline{Q}$$

T触发器(钟控)

$$Q^* = T\overline{Q} + \overline{T}Q$$