

ЛАБОРАТОРНАЯ РАБОТА №1	Группа М3137	2022
Название работы – Построение логических схем в среде моделирования	ФИО Кузнецов Сергей Павлович	

Цель работы: моделирование логических схем на элементах с памятью.

—

Инструментарий и требования к работе: среда моделирования Logisim evolution.

Описание:

Счетчик

Вариант

Асинхронный вычитающий счётчик по модулю 24.

Счётчик – устройство для подсчёта числа входных импульсов. Асинхронный счётчик представляет собой несколько последовательных включённых счетных триггеров. Счетный триггер – триггер, который изменяет своё состояние на противоположное при каждом изменении импульса. (М) Модуль счёта – максимальное количество сигналов, которое может сосчитать счётчик.

Асинхронный вычитающий счётчик – принимает последовательно значения от $M - 1$, до 0.

Для начала реализуем простые триггеры.

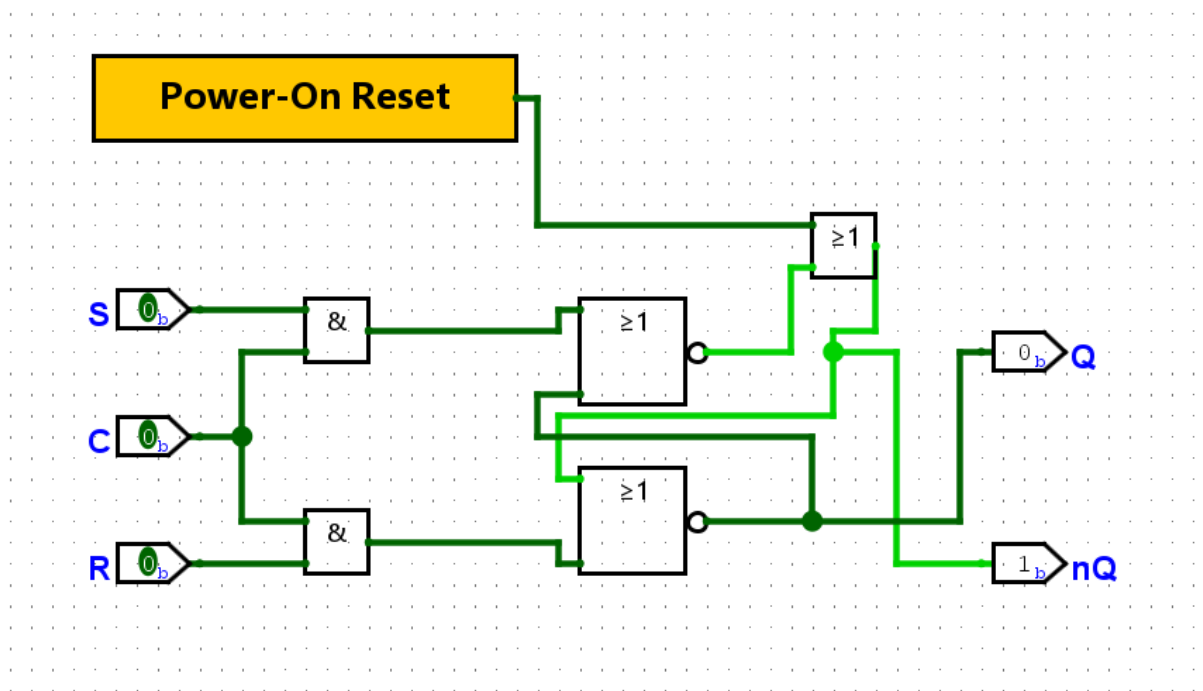


Рисунок 1 – Синхронный RS триггер с PoR

S	R	C	Q	\bar{Q}
x	x	0	0	1
0	0	1	Сохранение предыдущего	
0	1	1	0	1
1	0	1	1	0

1	1	1	Запрещенное состояние
---	---	---	-----------------------

Таблица 1 – таблица истинности Синхронного RS триггера

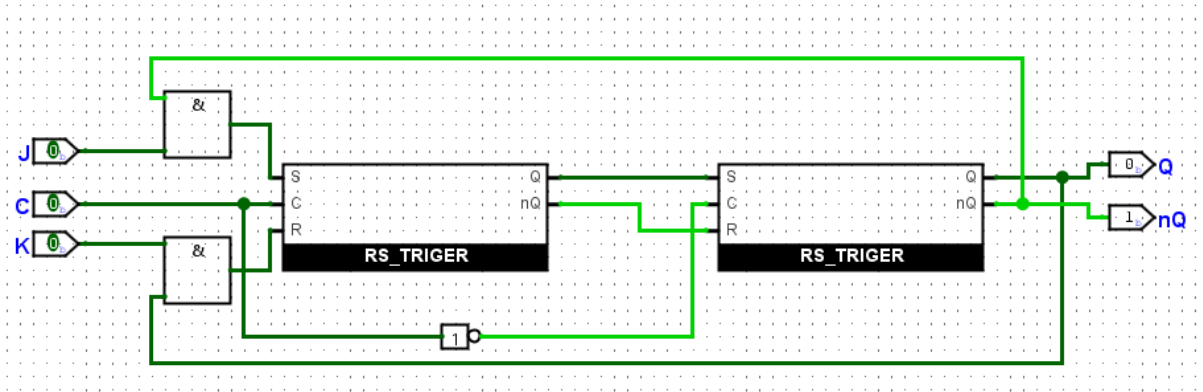


Рисунок 2 – JK триггер на основе RS

C	J	K	Q(t)	Q(t+1)	
0	x	x	0	0	Хранит предыдущее
0	x	x	1	1	Хранит предыдущее
1	0	0	0	0	Хранит предыдущее
1	0	0	1	1	Хранит предыдущее
1	1	0	0	1	Устанавливает 1
1	1	0	1	1	Устанавливает 1
1	0	1	0	0	Установка 0
1	0	1	1	0	Установка 0
1	1	1	0	1	Счётный режим

Таблица 2 – Таблица истинности JK триггера

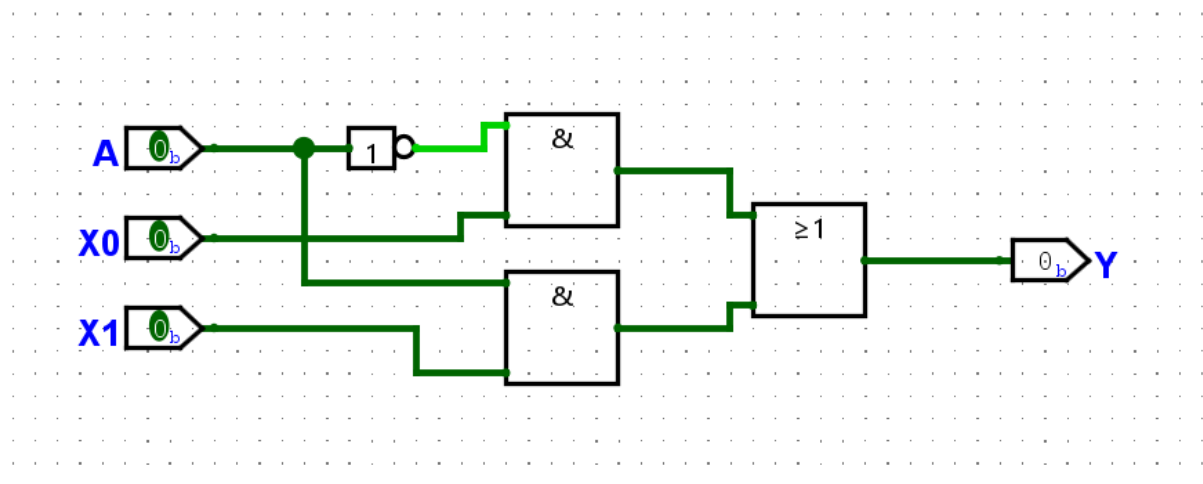


Рисунок 3 – Мультиплексор 2-1

Мультиплексор 2-1 работает по такому принципу: при истинности управляющего входа А подает на выход значение X1, иначе X0

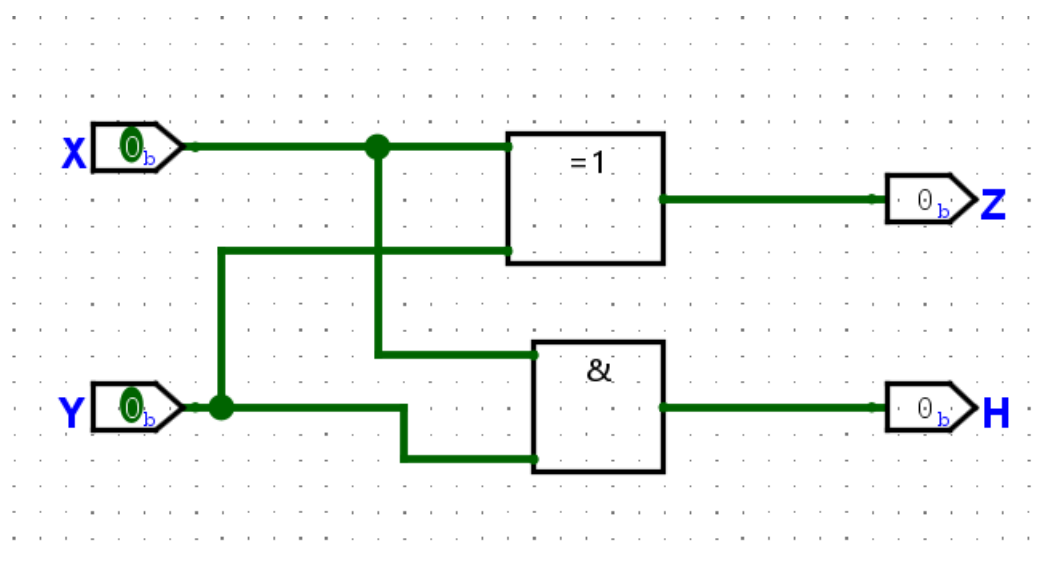


Рисунок 4 – Битовый сумматор (S)

x	y	z	h
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Таблица 3 – Таблица истинности битового сумматора

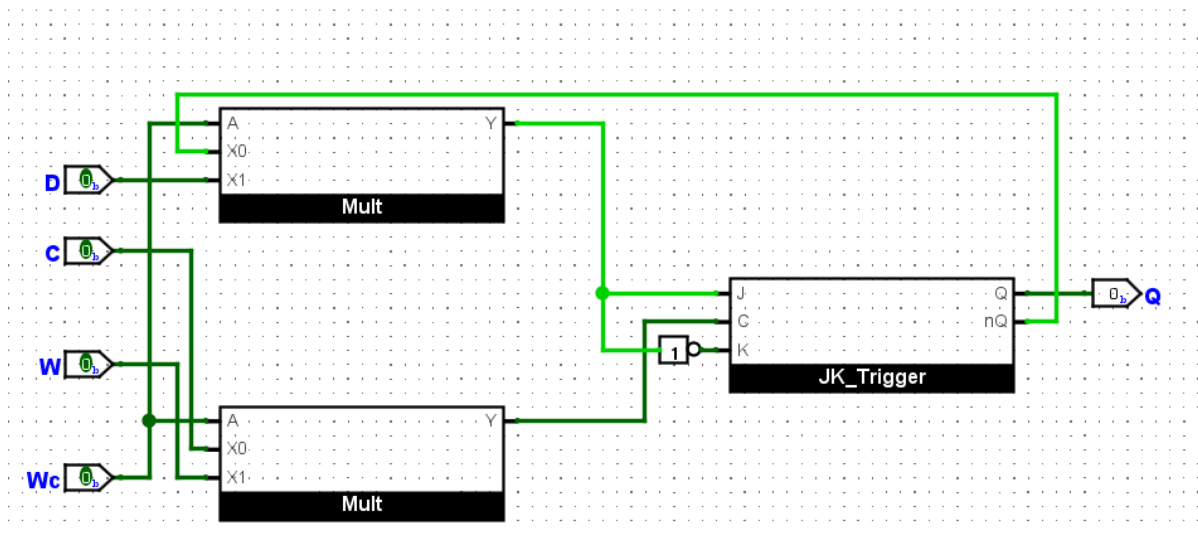


Рисунок 5 – D триггер с дополнительными входами W и Wc

Данный D триггер работает по такому принципу, если $Wc = 0$, тогда из первого мультиплексора подаётся отрицательное значение Q на J и Q на K, на синхронизацию передаётся сигнал C, который передается от предыдущего триггера или от тактового генератора для самого первого триггера. При $Wc = 1$, триггер запишет значение, которое соответствует D, некое подобие set и reset триггера. Сигнал W, нужен чтобы при включении Wc, триггер не остался без синхронизации, ведь при записи значение не нужно учитывать то, что передает предыдущий триггер.

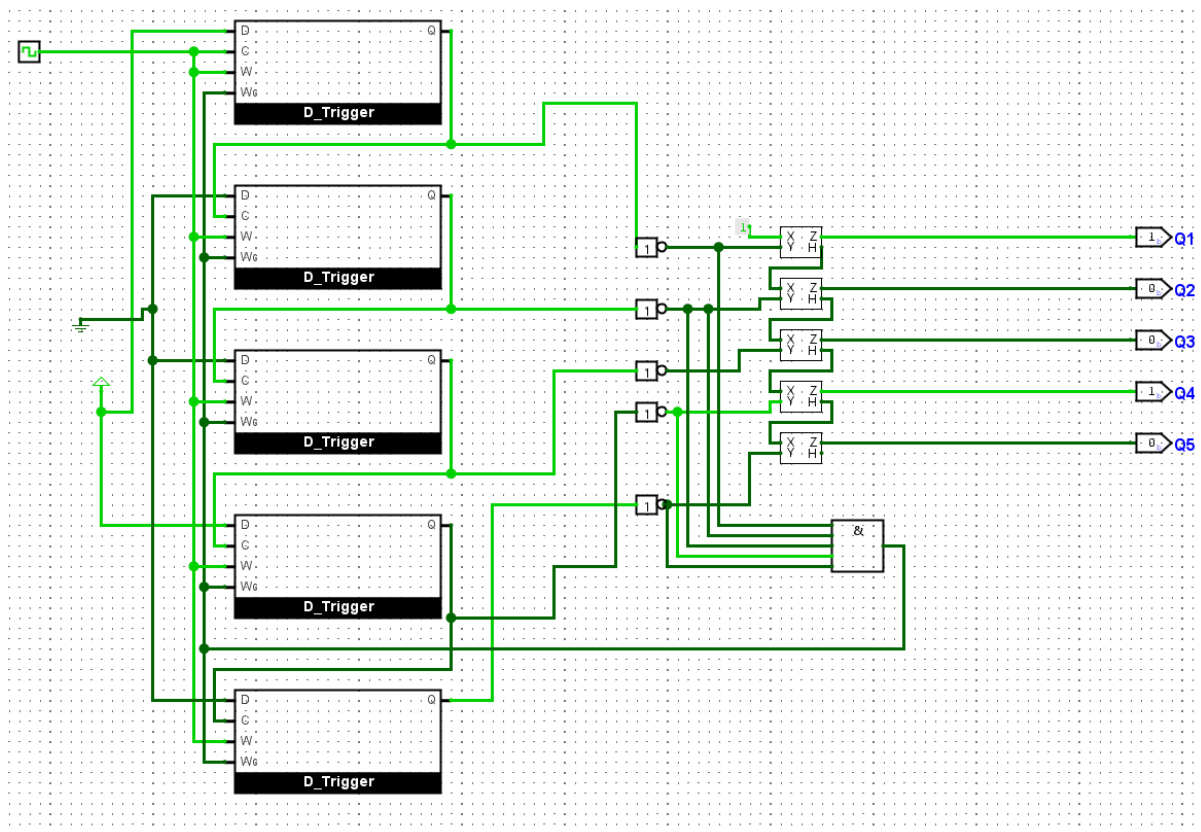


Рисунок 6 – Итоговая схема

При последовательном подключении D триггеров, где на вход первого подается сигнал такта, для этого используется тактовый генератор, а выходы Q подаются на вход C следующему триггеру. Для входа W, подается такт, который активируется при обнулении счетчика. Если оставить только соединенные D триггеры получится суммирующий асинхронный счётчик. Для получения вычитающего счётчика используется такая система: когда все значения триггеров устанавливается на 1, счетчик сбрасывается до значения $2^n - (M-1)$, где n – кол-во триггеров, а M модуль счёта. Потому что счетчику нужно пройти M значений, но счетчик добавляет значение, а не уменьшает его, поэтому нам нужно добиться того, чтобы при установке начального значения счётчику осталось $M-1$ действий, -1 так как он уже находится в одном значении. Поэтому для модуля мы устанавливаем значение $32 - 23 = 9$. Это делается при подаче на D 1 на 1 и 4 счетчик. Далее мы инвертируем значения всех триггеров и проверяем

если, все инвертируемые значения = 1, тогда подаем на входы Wc=1 и записываем значение с D. При подаче на вход мы прибавляем 1, чтобы мы могли использовать значение всех единиц для сброса.

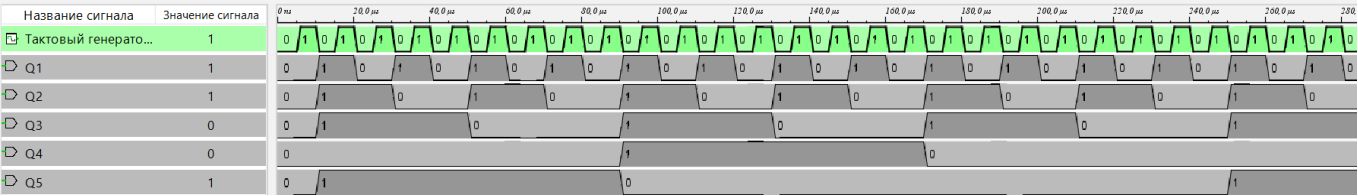


Рисунок 7 – временная диаграмма счетчика

Регистр

Вариант

Регистр сдвига с линейной обратной связью конфигурация Галуа (16, 14, 13, 11)

Регистр сдвига с линейной обратной связью – сдвиговый регистр битовых последовательностей, у которого значение входного бита равно линейной булевой функции от значений остальных битов регистра до сдвига.

Теоретическая схема выглядит так

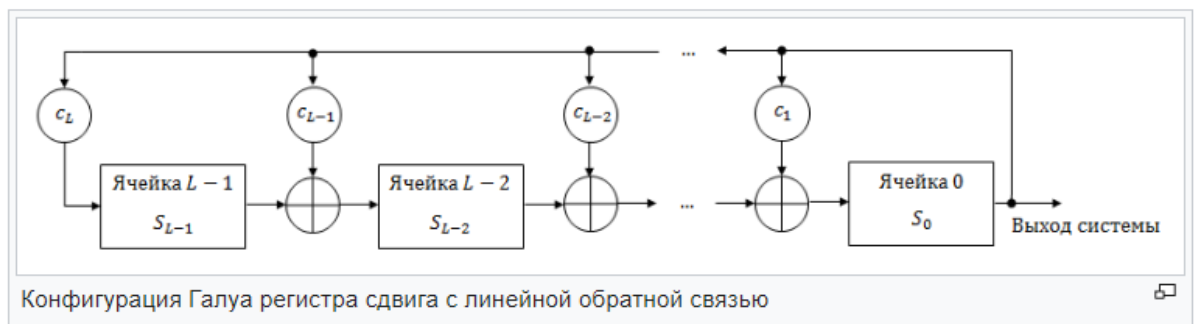


Рисунок 8 – Теоретическая схема

То есть, каждая ячейка хранит значение и при изменении тактов, передает значение следующему в зависимости от конфигурации это значение берется вместе со значение первого (нулевого бита) по модулю 2 $S_k = (S_{k+1} \text{ xor } S_0)$

В схеме используются RS триггер, JK триггер описанные ранее.

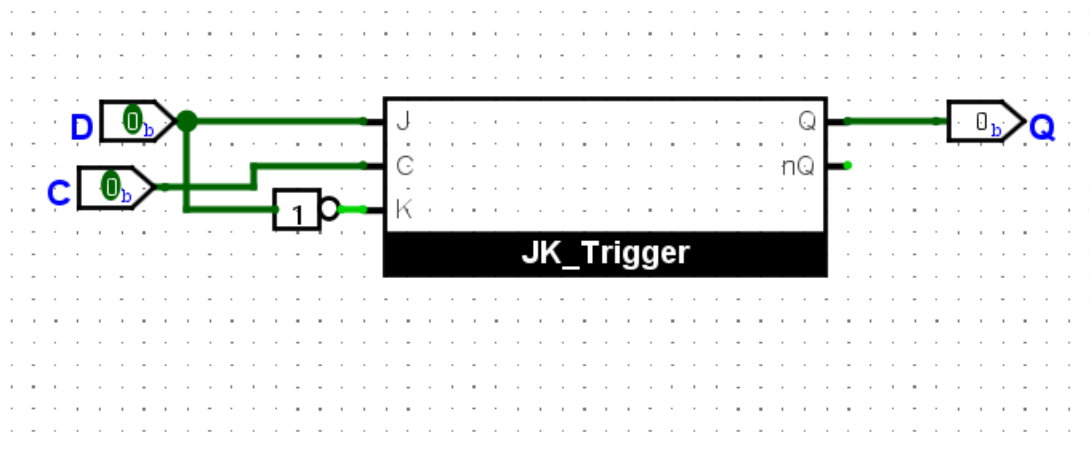


Рисунок 9 – D триггер

C	D	Q	
0	X	?	Хранит предыдущие
1	1	1	Записывает 1
1	0	0	Записывает 0

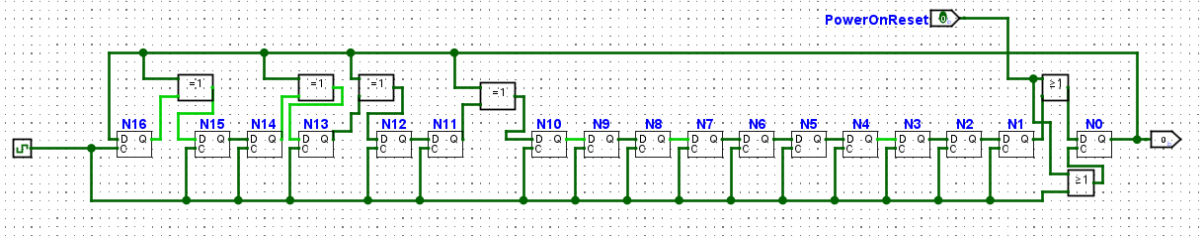


Рисунок 10 – Схема регистра

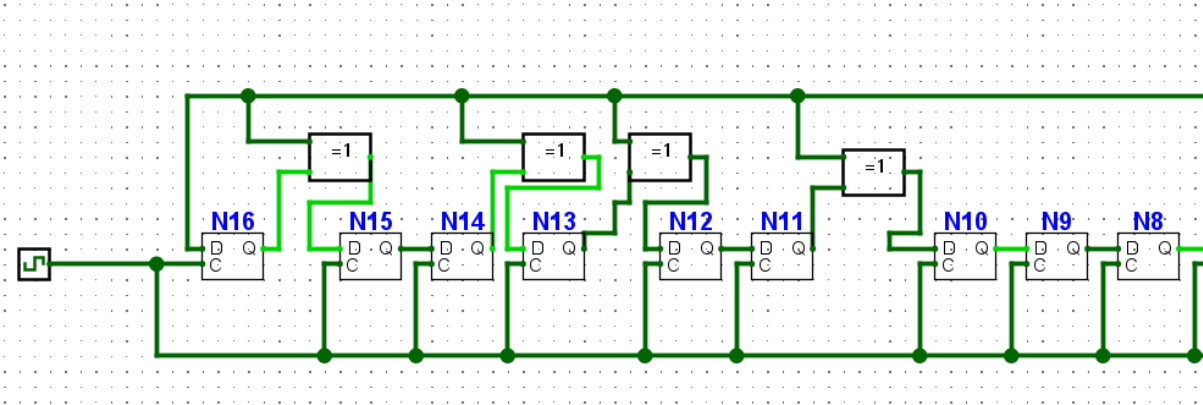


Рисунок 11 – Первая половина регистра

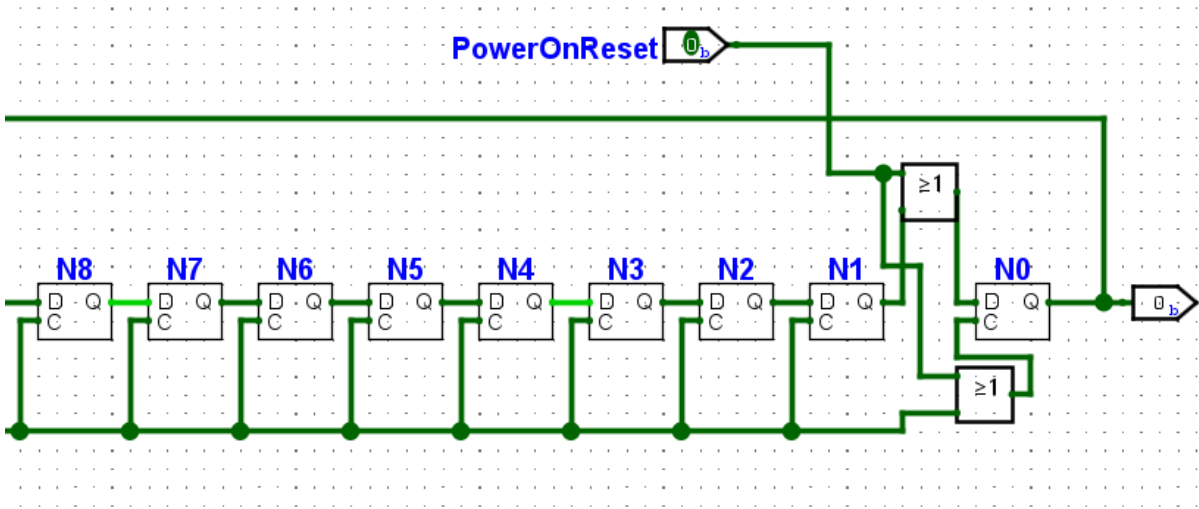


Рисунок 12 – Вторая половина

PowerOnReset нужен для задания первому биту N0 начальной 1. Далее при смене тактов происходит перезапись всех D триггеров, либо на значение предыдущего, либо на значение первого хог с предыдущим.