

集成电路导论

任课教师：齐佩汉
菁英教授/博导

phqi@xidian.edu.cn

15829723431（微信同号）

西安电子科技大学
通信工程学院

集成电路导论

Contents

2

工艺及版图设计

集成电路材料

基本的半导体制造工艺

CMOS工艺基础

版图设计规则、注意事项、检查

2.4 版图设计规则

版图设计规则




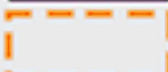







- 内容：设计规则规定了掩膜版各层几何图形宽度、间隔、重叠及层与层之间的距离等的最小容许值。
- 设计规则的作用：是设计和生产之间的一个桥梁；是一定的工艺水平下电路的性能和成品率的最好的折中。
- 设计规则描述：
 1. 微米设计规则：以微米为单位直接描述版图的最小允许尺寸
 2. λ 设计规则：以 λ 为基准的，最小允许尺寸均表示为 λ 的整数倍。 λ 近似等于将图形移到硅表面上可能出现的最大偏差；如限制最小线宽为 2λ ，窄了线条就可能断开， λ 可以随着工艺的改进线性缩小，这就使设计变得更加灵活。

版图设计规则

- 所有的CMOS工艺都可以采用下列特征描述
 - ✓ 两种不同的衬底(P, N)
 - ✓ P型管和N型管掺杂区的形成材料
 - ✓ MOS管的栅极
 - ✓ 内连通路
 - ✓ 层间的接触
- 对于典型的CMOS工艺，可以用不同的形式来表示各层
 - ✓ JPL实验室提出的一组彩色的色别图
 - ✓ 点划线图形
 - ✓ 不同线型图
 - ✓ 上述几种类型的组合

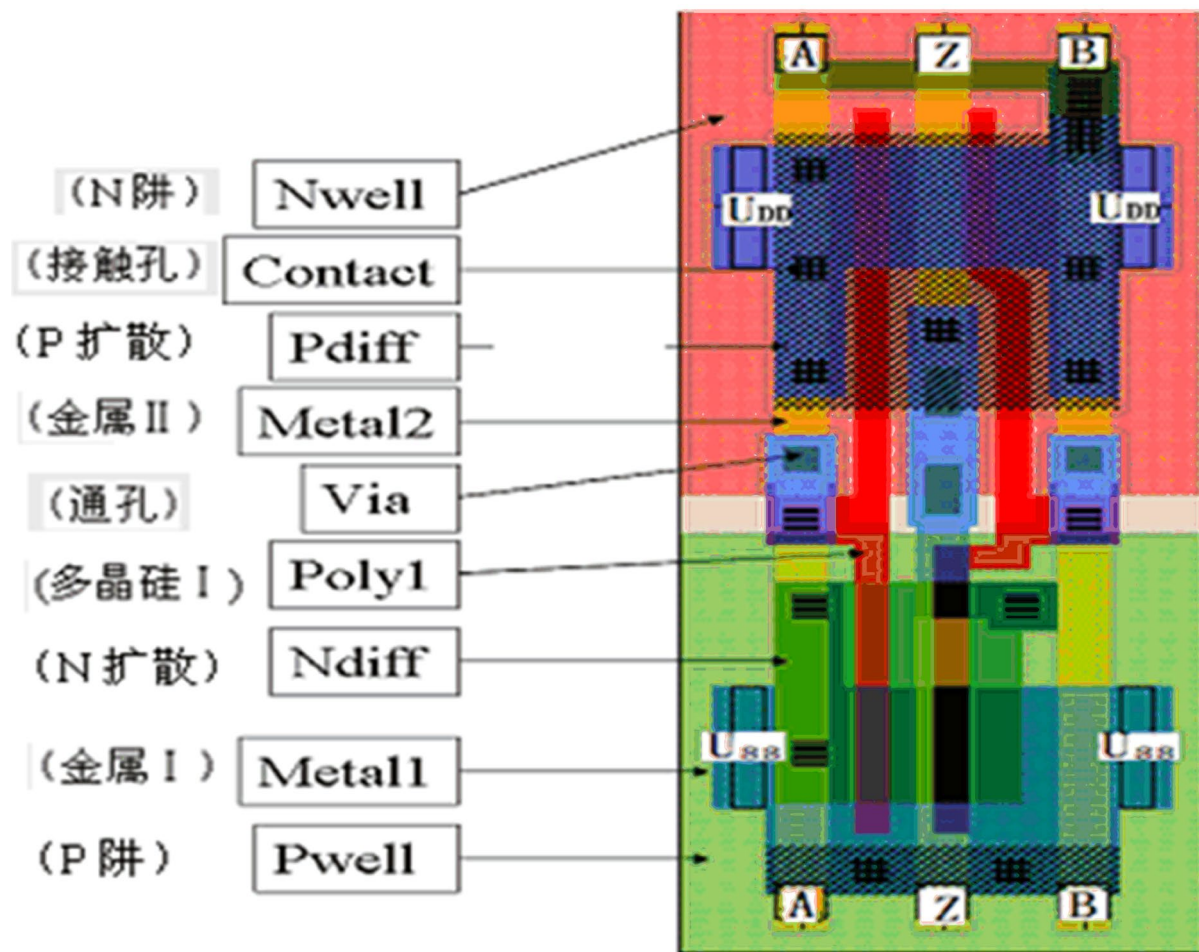
工艺层定义

版图设计是要分层次的，不同公司对工艺层的定义基本相同，但表示的方法和颜色不尽相同

N-well		浅黄	active		绿色
P+ implant		黑虚框	N+ implant		橙虚框
poly1		红色	poly2		橙色
contact		深灰	metal1		蓝色
via		黑色	metal2		黄绿
High Resistor					

某公司0.6 μ m CMOS工艺层定义

工艺层定义



双阱、双层金属布线与非门版图的工艺层

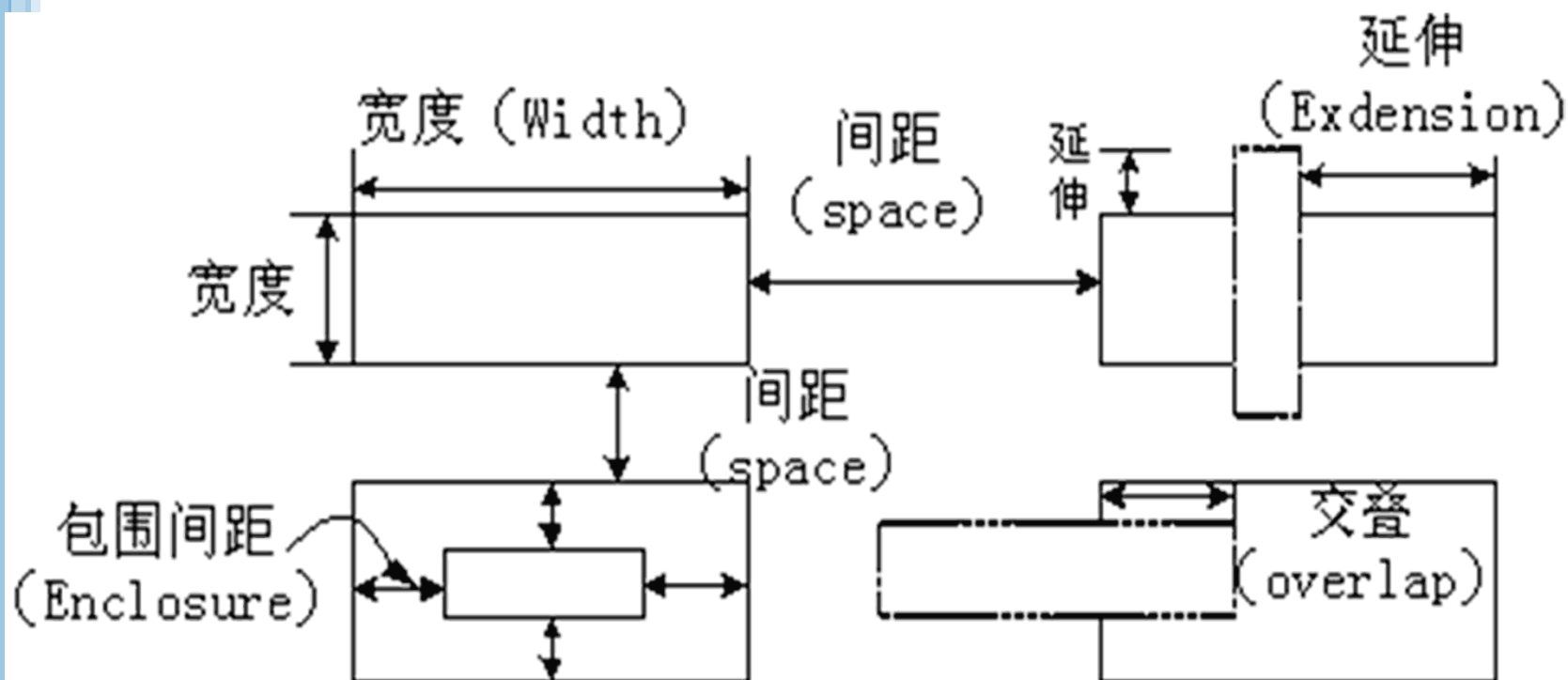
工艺层定义

● 典型CMOS工艺层图定义

层次	CIF码	GDS II码	说明
P阱(P-well)	CWP	41	在N衬底上做P阱，在P阱上做N管
N阱(N-well)	CWN	42	在P衬底上做N阱，在N阱上做P管
源区	CAA	43	在源区上做源、漏、栅极
P+注入	CSP	44	离子注入或扩散形成源区，欧姆接触等
N+注入	CSN	45	离子注入或扩散形成源区，欧姆接触等
多晶硅	CPG	46	做栅极或连线，多晶硅电容极板等
接触孔	CCC	25	金属1与有源区，多晶硅的所有接触孔
金属1	CMF	49	第一层金属连线
通孔	CVA	50	连接第一层金属和第二层金属的接触孔
金属2	CMS	51	第一层金属连线

设计规则基本定义

- 版图设计规则规定了几何图形的最小宽度、最小间隔、最小延伸、最小交叠以及层间的最小距离。
- 以 λ 为基准的版图规则对以下几种掩膜层几何参数进行定义。



4 版图设计规则

例：有源区或薄氧化层区设计规则

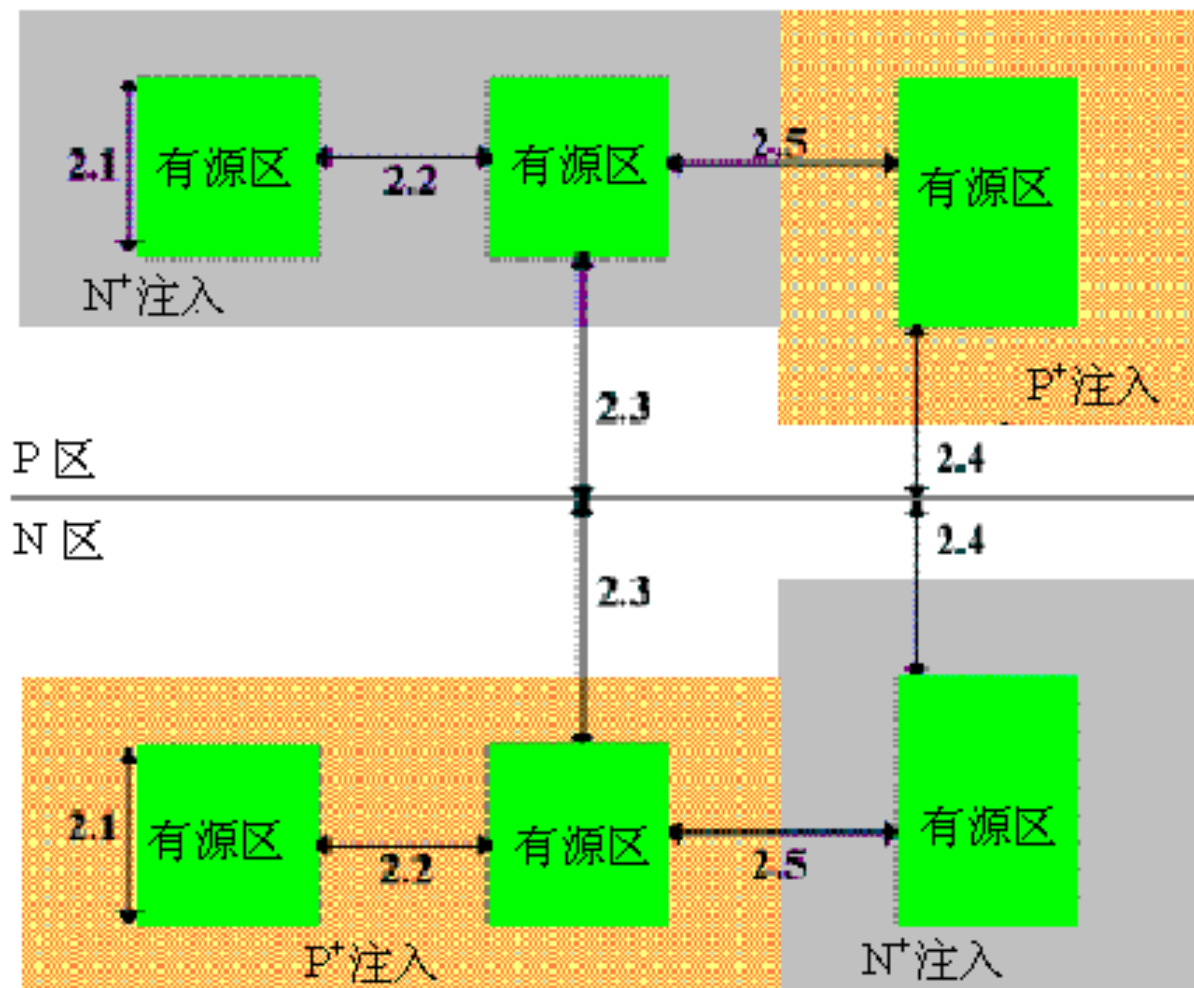
2.1 有源区最小宽度

2.2 有源区最小间距

2.3 源、漏到阱的边缘最小间距

2.4 衬底、阱的接触
有源区到阱边缘的最小距离

2.5 N^+ - P^+ 之间的最小距离



有源区或薄氧化层区设计规则图示

5、版图实例

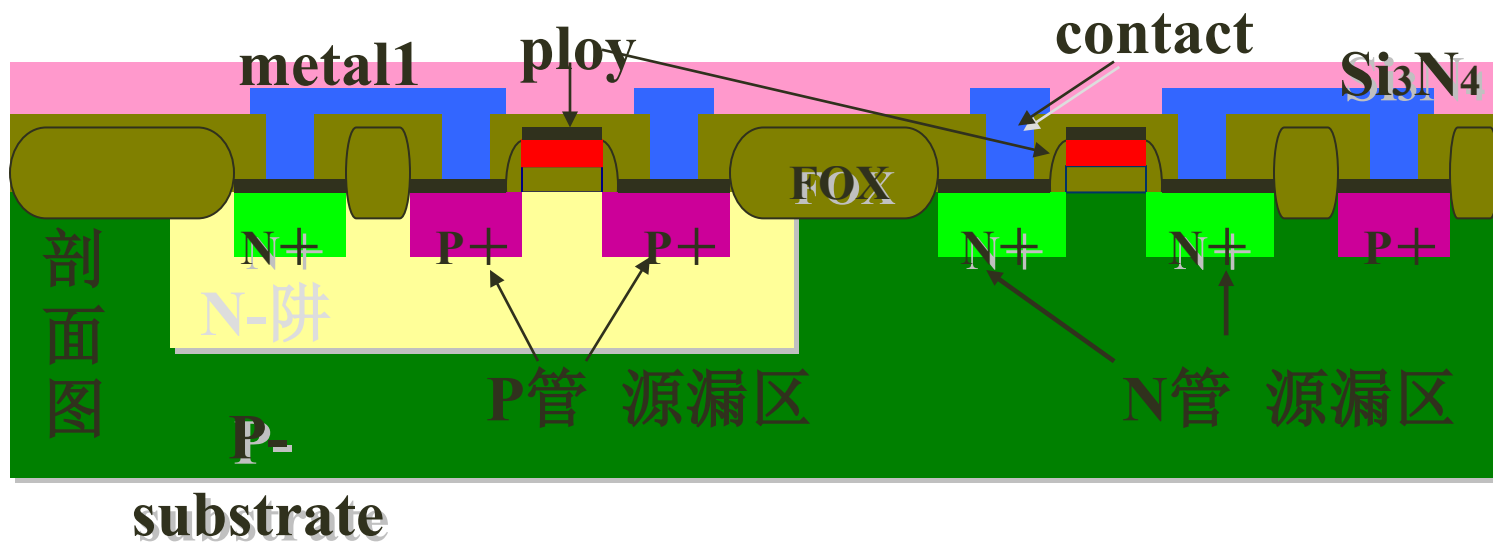
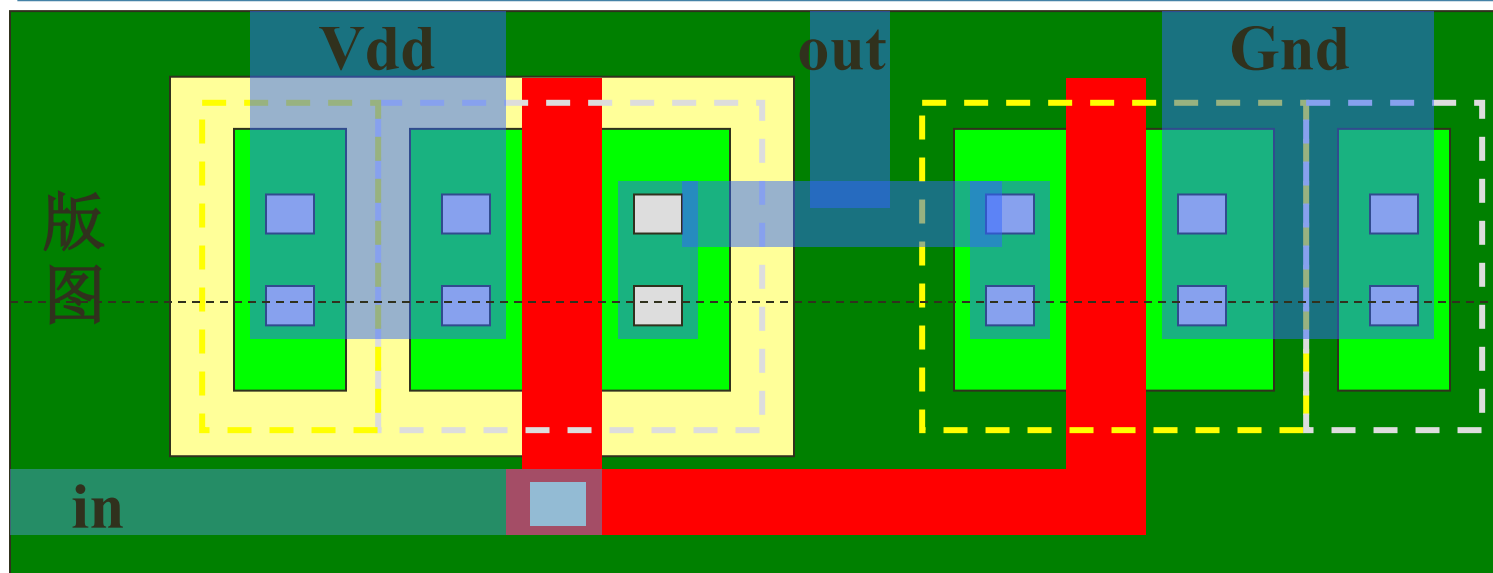
版图是一组相互套合的图形，各层版图相应于不同的工艺步骤，每一层版图用不同的图案来表示。

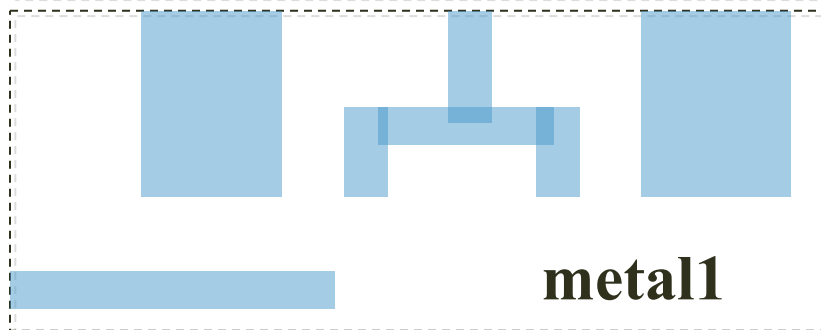
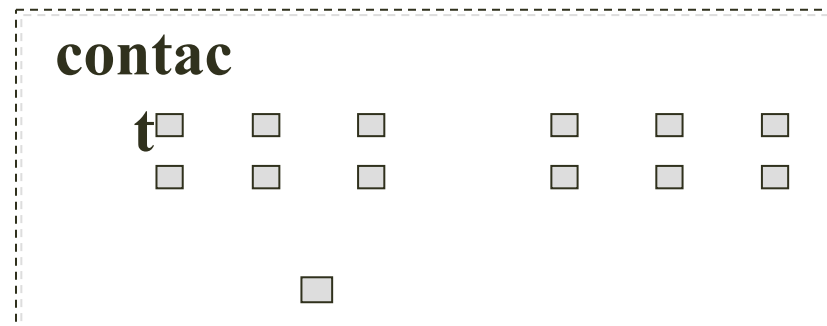
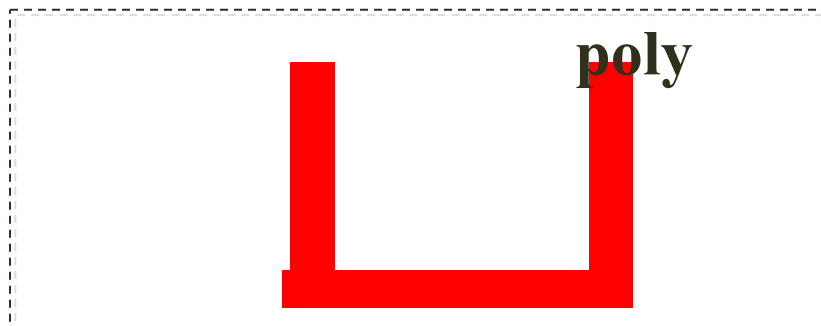
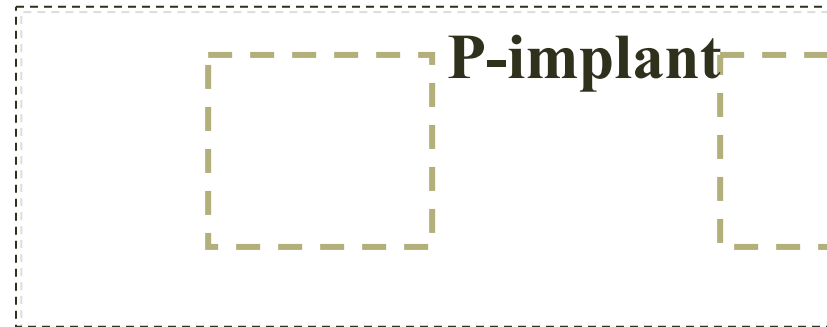
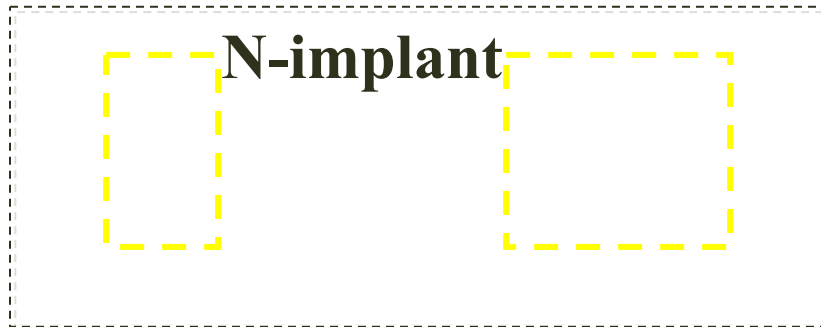
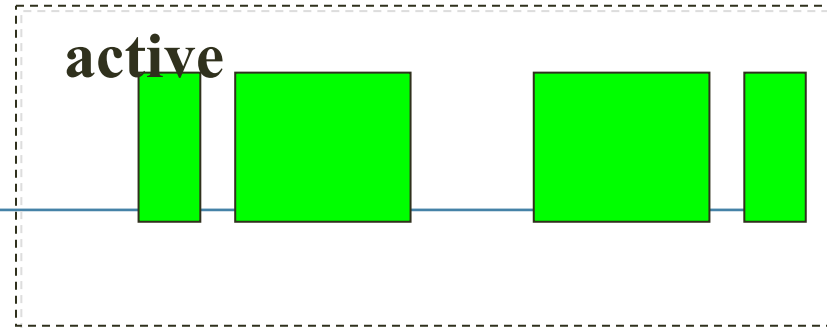
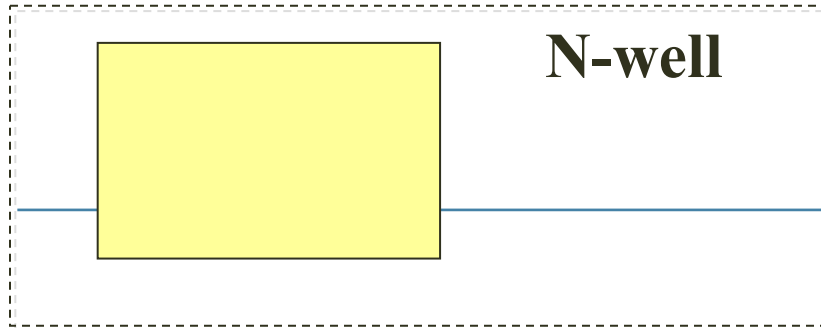
版图是IC设计的最终输出，是集成电路从设计走向制造的桥梁，它包含了集成电路尺寸、各层拓扑定义等器件相关的物理信息数据。集成电路制造厂家根据这些数据来制造掩膜。

从平面工艺到立体结构，需多次掩膜版，故版图是分层次的，由多层图形叠加而成。

版图与所采用的制备工艺紧密相关。

5、CMOS工艺版图实例





版图分层处理方法

2.5 版图设计中的注意事项

匹配设计

● 引起“失配”的原因主要有

1. 随机失配(尺寸, 掺杂, 氧化层厚度等影响元件值参量的波动等)
2. 系统失配(工艺偏差, 接触孔电阻, 扩散区互相影响, 机械压力, 温度梯度等)

● 提高“匹配精度”可采取

1. 差分结构电路布局, 布线必须“对称”。
2. 元件单元取整数比, 降低工艺偏差和欧姆接触电阻的影响。
3. 采用公用重心设计(common-centroid)以减少梯度效应(热、温度、压力等)
4. 加“虚拟(dummy)”元件, 保证周围环境对称度。
5. 匹配元件与其它元件保证一定距离, 以减少扩散区的相互影响。

抗干扰设计

● 注意数模混合集成电路的版图布局

- ① 模拟地与数字地分离
- ② 模拟电路/数字电路、模拟总线/数字总线尽量分开，而不交叉混合
- ③ 根据各模拟单元的重要程度，决定其与数字部分间距的大小次序

● 屏蔽和减少寄生干扰，寄生反馈

- ① 敏感信号线不要平行走线，敏感信号线的线距要加大
- ② 敏感信号线周围可加地线屏蔽
- ③ 元件设计和布局、布线要尽量减小寄生电阻和寄生电容
- ④ 输入和输出最好分布在芯片的两端，以减小输入输出之间的电磁干扰
- ⑤ 适当增加接触孔数和通孔数，以增加可靠性和减小接触孔寄生电阻
- ⑥ 宽大尺寸管子可采用若干个小尺寸管子并联或接成多管叉指结构
- ⑦ 注意电源线允许的电流密度

● 加滤波电容

- ① 电源线上和芯片版图的空余面积可添加MOS电容进行电源滤波
- ② 对模拟电路中的偏置电路和参考电压可加多晶硅电容滤波

2.6 版图检查

版图检查

版图检查包含设计规则检查(DRC)、电学规则检查(ERC)、版图参数提取(LPE), 以及版图与电路图对照(LVS)。

● 设计规则检查(DRC, Design Rule Check)

设计规则检查的任务是检查和发现版图设计中不符合设计规则的错误, 运行DRC, 程序可按照相应规则检查文件运行, 一旦发现错误, 就会在错误处做出标记(mark), 并且做出解释(explain), 设计者都可根据提示进行修改。

版图检查

● 电学规则检查(**ERC**, **E**lectronic **R**ule **C**heck)

由于发现电学错误, 例如, 电源、地、输入输出线的连接错误等需要进行电学规则检查。为了进行ERC检查, 首先应在版图中将各有关电学节点做出定义, 给出“节点名”。ERC可以发现

节点开路(出现多个相关节点名)

节点短路(一个节点出现多个节点名)

接触孔浮孔(出现接触孔与金属层没有覆盖)

特定区域未接触(出现N阱未接电源, P阱未接地等)

不合理的元器件节点数(扇出系数太高)

版图检查

● 版图参数提取(LPE, Layout Parameter Extraction)

版图参数提取就是从已设计的版图提取各元器件的参数及其它们的连接关系，以及各种寄生电容和寄生电阻参数，自动建立一种模型。参数提取的用途有：

1. 作为电特性检查基础，利用这些参数将版图还原成电路图，然后与原始电路图对照比较，以便更严格地发现错误。
2. 将提取的器件连接关系和寄生参数作为“后仿真”的输入数据，估计版图寄生参数对电路性能的影响。
3. 如果采用标准单元库自动生成版图，由于标准单元库中的单元都已经过检验，所以只需要提取连线和连线的分布电容和电阻，再进行电路的“后仿真”即可。

版图检查

- 电路图与版图一致性对照检查(**LVS**, **Layout Versus Schematic**)

电路图与版图一致性对照检查程序是将有原电路图产生的元件网表和端点列表文件，与由版图提取产生的元件表、网表和端点列表加以上对照比较，发现不一致的元件节点，端点连线都在一个LVS检查文件中，并在电路图和版图中显示出来。

- 经过以上四项检查和修正，保证版图设计正确无误，才算完成了芯片的设计。此时才可以向制造方提供芯片的所有数据。

作业

P41

2-4, 2-5, 2-6, 2-9, 2-11, 2-13

Thank You!

西安电子科技大学
通信工程学院

集成电路导论