

集成电路导论

任课教师：齐佩汉

phqi@xidian.edu.cn

15829723431（微信同号）

西安电子科技大学
通信工程学院

集成电路导论

Contents

5

CMOS数字集成电路系统设计

批量生产的测试方法

测试及测试码生成

故障模拟

可测性设计方法

第一节 概述

第二节 批量生产的测试方法

第三节 测试的基本概念

第四节 测试码的生成

第五节 故障模拟

第六节 可测性设计法

第一节 概述

1、测试

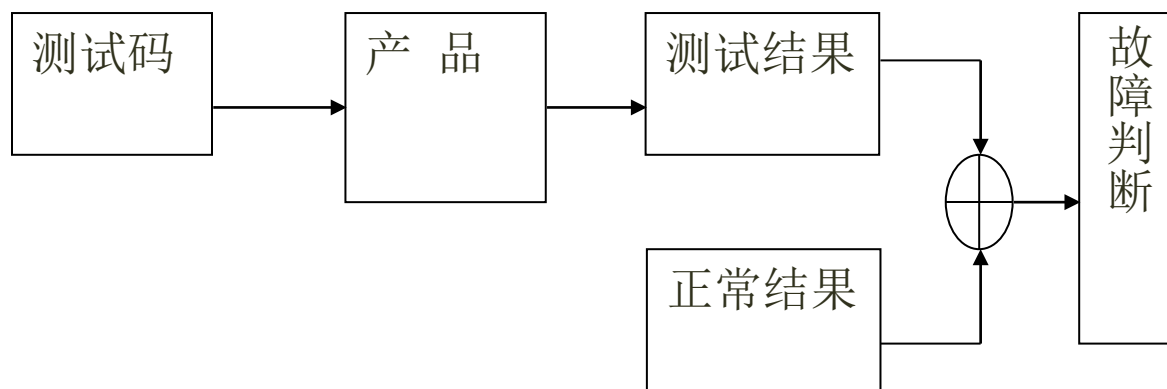
芯片测试是**通过测试探针**给芯片I/O的电接触点加入几组激励、采样响应输出，并根据这一组测试的结果来决定是否接受这一芯片的过程。

测试与模拟不同。模拟是对设计过程中得到的电路数据验证其正确性的，**是在产品未生产之前进行的**；而测试是判断产品是否合格，是在电路生产之后进行的，是产品制造的最后一道工序。

2、测试的分类

- 1) 功能测试：目的在于验证设计是否能正确的按照技术条件实现其功能。
- 2) 制造后测试：或称为结构测试，目的在于检查生产的每一个芯片是否合格。

3、测试的过程



4、可测性设计

测试码生成是根据电路结构和功能实现的。随着集成电路规模越来越大。测试码的生成变得越来越困难，甚至不可能找到测试码，所以人们逐渐把注意力集中到电路设计方面，使用某些电路结构可以使测试码容易得到，或者直接在电路内部增加测试机制，自动测试，自动判断是否存在故障。这种在设计过程中考虑可测性的设计方法称为可测性设计（design for test, DFT）。

5、故障检测与故障诊断

（1）故障检测（**fault detection**）：判断故障是否存在，即只判断有无故障，称为故障检测。

（2）故障诊断（**fault diagnosis**）：不仅判断是否存在故障，而且需要指出故障的位置，称为故障诊断。

第二节 批量生产的测试方法

在批量生产时，ASIC测试可分为两个阶段：第一阶段是在制造完成后在**大圆盘上**对ASIC芯的测试，用一组探针对大圆盘上的ASIC芯一次测一个，不合格者用墨水自动标出，然后用金刚石锯把ASIC芯切开，合格的就送去封装；第二阶段对**封装后**的ASIC进行最后测试，通常两个阶段的测试矢量是相同的。

一、故障的后果

沿系统总装方向愈远，更换故障元件的代价愈大。

第二节 批量生产的测试方法

二、决定测试方法的因素

故障覆盖率

功能测试矢量

结构测试矢量

第三节 测试的基本概念

一、初始化

ASIC芯片初始化到一个已知状态（全局复位）。

二、故障

1) 错误 (failure)：由于背离了特定行为而产生的现象。

2) 故障 (fault)：电路中的物理缺陷。故障可能引起错误，也可能不引起错误。

故障一般可分为参数故障和逻辑故障。

- 参数故障指电路参数的变化引起的故障。
- 逻辑故障指使电路逻辑功能发生错误的故障。

三、故障模型

1) 故障模型 (fault model)：一个电路或元件的物理故障是多种多样的，故障的种类和故障的数目都有很大的差别。为了便于研究，**按照故障的特点和影响将其归类，称为故障模型**。故障模型应能准确反映某一类故障对电路或系统的影响，即模型化故障应具有典型性、准确性和全面性。另一方面，模型应尽可能简单，以便作各种运算和处理。

2) 滞留故障 (Stuck-at fault)：数字电路中最常用的故障模型是滞留故障，它假设故障在一个逻辑门上引起逻辑门的输入或输出固定在逻辑“1”或逻辑“0”。滞留故障有两种滞留状态，即：

滞留于1：即使一个结点被驱动到低电平，它也始终处于高电平。

滞留于0：即使一个结点被驱动到高电平，它也始终处于低电平。

- 对于一个有 n 个结点的电路，有单个滞留故障的不同电路总数为 $2n$ 。

四、故障覆盖率

故障覆盖率 = 能识别的有单个滞留故障的电路数目/ 2^n

对于一个有 n 个节点的电路，有单个滞留故障的不同电路总数为 2^n

五、可控制性与可观察性

可控制性与可观察性是可测试性的两个方面。对可控制性和可观察性有许多不同的定量度量方法。

1) **原始输入** (Primary input)：通过芯片引脚或板子连接器而加到电路的输入。

2) **原始输出** (Primary output)：通过芯片引脚或板子连接器而观察到的输出。

3) **可控制性** (Controllability)：通过电路的原始输入把测试矢量加到被测子电路的能力。

4) **可观察性** (Observability)：通过电路的原始输出或其它输出点能观察被测子电路的响应的能力。

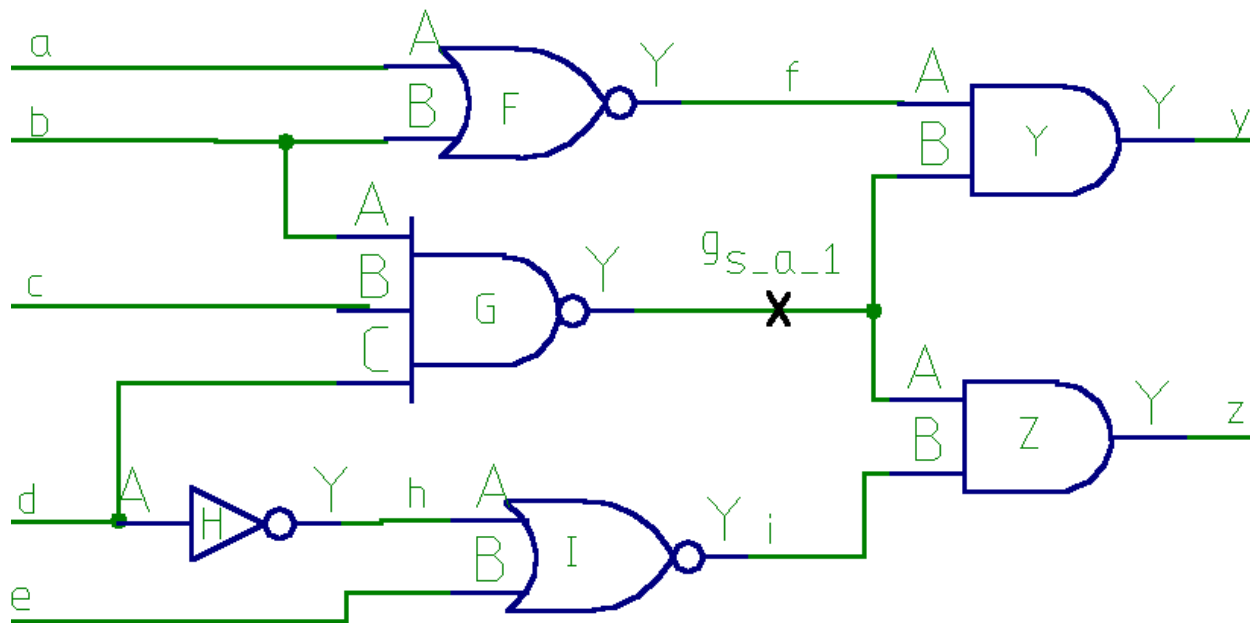
第四节 测试码的生成

一、测试码生成的方法：

- (1) . 穷举测试码 (exhaustive test pattern)：根据电路的输入端个数，将所有可能的输入矢量组合作为测试集。对组合电路来说，穷举测试码是完备的测试集。对于规模不大的电路，穷举测试码可以根据真值表得到，再经过适当化简，可以形成相当不错的测试集。但如果电路规模较大，测试码的数目随输入端增加而指数增加，往往是不可接受的。
- (2) . 伪随机测试码 (pseudo-random pattern)：对于 n 输入端电路产生一些 n 位二进制数作为测试输入矢量，这些二进制数近似于随机数，称为伪随机测试码。这种测试码容易产生，测试矢量数目也比较少。如果能达到一定的故障覆盖率，就不失为一个好的测试集。
- (3) . **测试生成算法** (test generation algorithm)：根据逻辑电路本身的结构用算法自动生成测试码，称为测试码自动生成 (ATPG, Automatic Test Pattern Generation)。迄今为止，出现了多种测试生成算法，如组合逻辑的两种测试码自动生成算法——**单路径敏化法**和**D算法**。

二、单路径敏化法

对指定故障点的测试码生成算法的基本思想是通过输入端测试矢量把故障传播到输出端，使得故障情况电路的输出与正常电路的输出结果不同。



为了把故障传播到外部输出端，要有两个条件：

- (1) 输入测试矢量应能够使得故障点 g 在故障情况下与正常情况下状态值不同。本例中因故障值为1，要求正常值为0。即要求输入矢量使 g 的状态值为0，称为故障敏化。
- (2) 有至少一个外部输出端的正常值与有故障时的值不同。为了能做到这一点，要求从故障点出发能找到一条或几条路径到达输出端，使该路径上每个结点的正常值与有故障时的值不同。这条路径称为敏化路径（sensitized path）。

通过寻找敏化路径来求测试集的方法称为**敏化路径法**。

把正常情况下为0，故障情况下为1的信号线状态记为0/1；

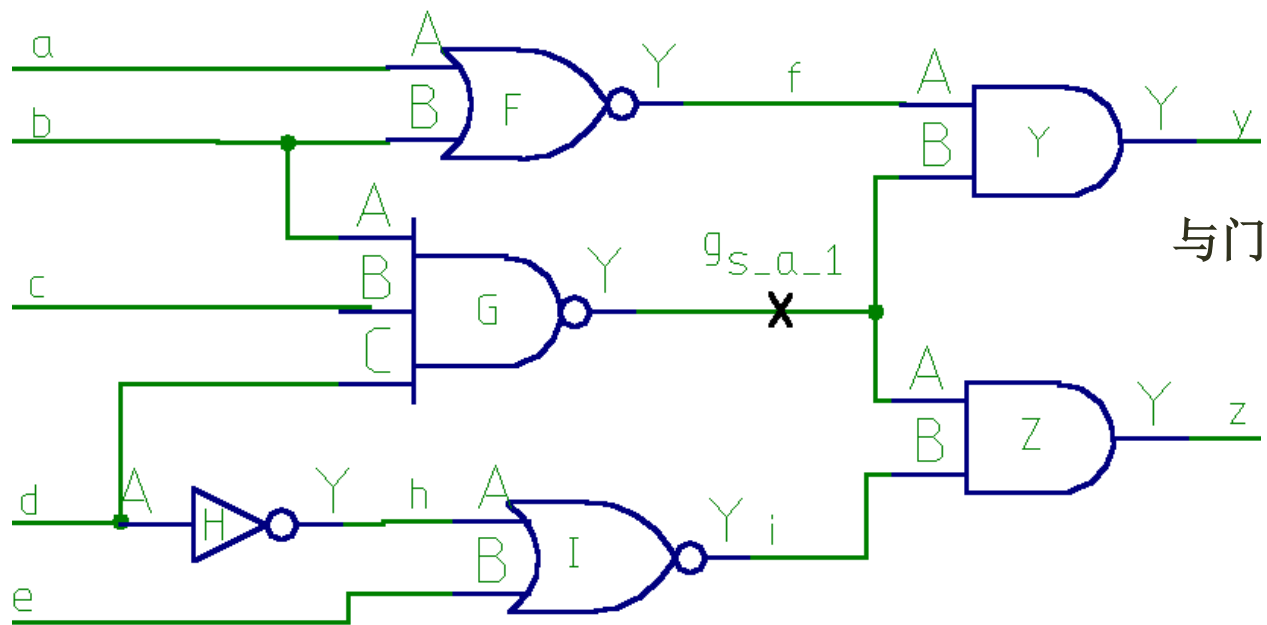
把正常为1，有故障时为0，记为1/0。

在图中，因为g点为滞留为1的故障，故该点的敏化值应为0/1。

各种门传播故障的条件为：

- 非门：均可传播；
- 与门、与非门：其它各端置1；
- 或门、或非门：其它各端置0；
- 异或门：另一端置1、置0均可。

- 在选择路径时，总是只选择一条敏化路径，故这种方法称为单路径敏化法。
- 测试矢量 $T = \{ (X, 1, 1, 1, 0) ; (0, 0) \}$
- 故障输出向量为 $(0, 1)$ 。



D算法

D算法（D-algorithm）是一种**多路径敏化法**，是在立方体理论基础上实现路径敏化的。**D算法**由于其计算机可操作性和解决问题的通用性而得到了广泛应用。**D算法的基本思想与单路径敏化法相同**，也是把故障传播到输出端，同时确定输入矢量和其它信号值，以确保各信号的一致性。其**区别在于D算法采用立方体运算，并考虑到多路径的情况。**

第五节 故障模拟

1、故障模拟

故障模拟（**fault simulation**）是检验输入向量（或序列）是否成为有效测试码的手段。

2、故障模拟的方法：

- 串行故障模拟

简单改变一下电路，使每次包含一个滞留故障，看结果与无故障电路模拟结果是否一致，如果不一致则说明输入矢量为检查该滞留故障的测试矢量。

- 并行故障模拟

对多个单故障同时进行模拟，它的特点是在一个 n 位的存储单元中表示一个门的 n 个不同的故障状态，以实现并行故障模拟

- 并发故障模拟

考虑到正常电路与故障电路对于相同的输入序列其操作基本相同，可以仅在与正常电路不同的时刻处理故障，这样可以再正常电路模拟的同时进行故障及其传播的计算。

第六节 可测性设计方法

1、可测性设计应考虑的问题：

- 1)、变不可测故障为可测故障；
- 2)、测试数据生成的时间应尽量少；
- 3)、测试数据应尽量少。

2、特设法

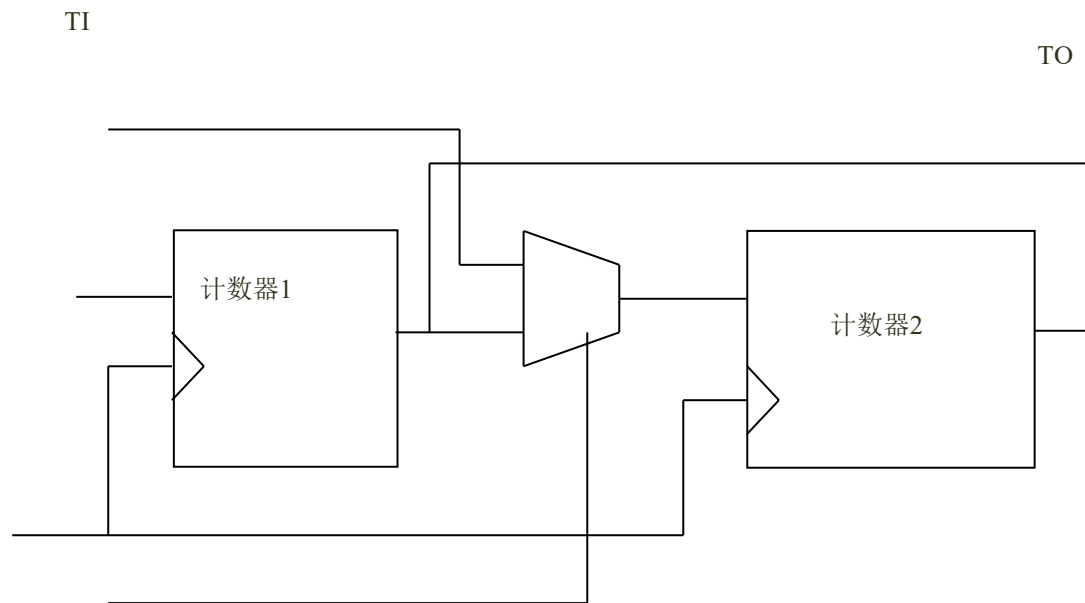
是分两步来实现的，首先判定电路中有困难的结点（难以观察或难以控制的结点），然后插入附加电路把它们直接连到原始输入或原始输出端。

一般用可测性分析器来判定这些结点，也有一些经验法则添加测试点：

- 1) 应沿着关键路径设置测试点；
- 2) 在控制逻辑设置测试点，如：时钟信号、控制信号等。
- 3) 在逻辑功能块的结合部设置测试点，如计数器组、移位寄存器组、编译码器及多路选择器等处。

-
- 4) 测试点的设置应首先考虑可控制性。如用测试点把计数器链断开。

计数器链（如下图所示）在数字系统中是很常见的，通常情况下第一个计数器为分频器，第二个为状态计数器。测试这种电路时第二个计数器要等到第一个计数器计满后才能增加一次，测试这种电路将很费时。如果在两个计数器之间插入一个测试点（如下图）则可大大减少测试时间。

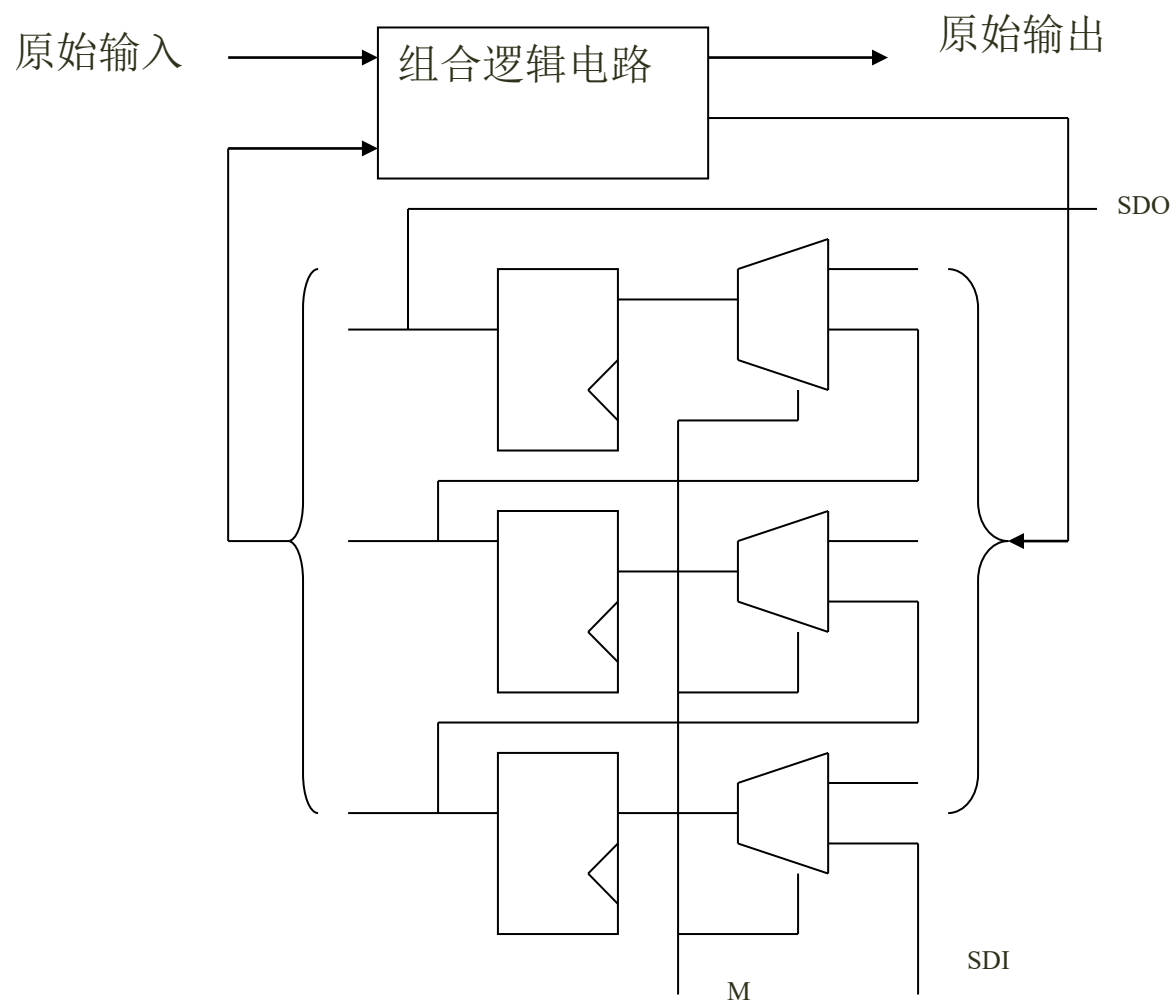


5) 测试点的设置应考虑可观察性

3、扫描路径法

一个同步时序系统一般可看成由组合电路（下一个状态电路和输出电路）和时序电路两部分组成，如果能把这两部分分开测试将大大降低测试的复杂度。**扫描路径法就是这样一种测试同步时序系统的方法。**

扫描路径法的基本原理是：把系统中的所有寄存器连成一个移位寄存器链，如下图所示，这个移位寄存器有一个模式控制端M，在正常工作模式时， $M=0$ ，多路选择器连接组合电路和寄存器完成同步时序系统正常的逻辑功能；在测试模式时， $M=1$ ，多路选择器使寄存器形成一个移位寄存器链。移位寄存器的输入为扫描数据输入端SDI，输出为扫描数据输出端SDO。



3、扫描路径法

设计原则

主要思路：

将电路中的组合元件和时序元件隔离开来

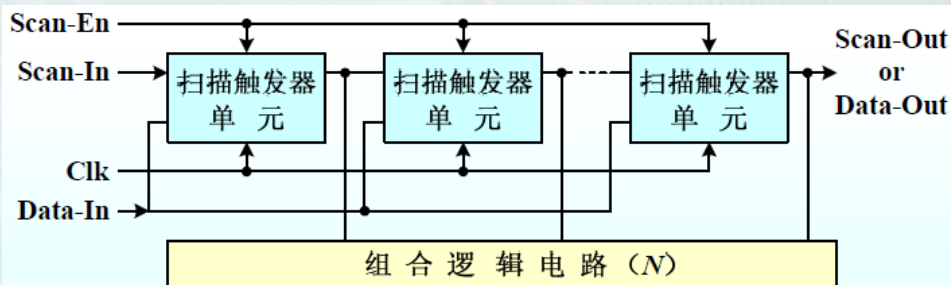
①组合电路用针对组合的测试方法来测试

②时序电路串接成移位寄存器

③一般电路形式

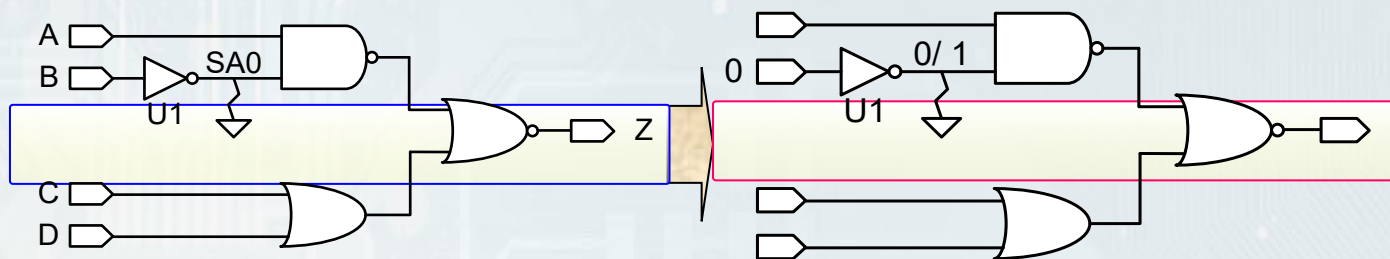
全局扫描

部分扫描

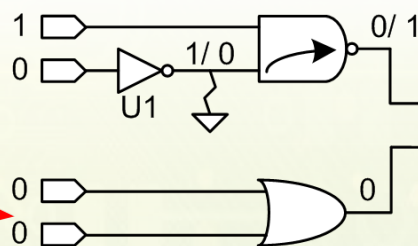


问题的引入

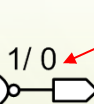
针对组合电路中固定逻辑值故障的测试：



测试矢量

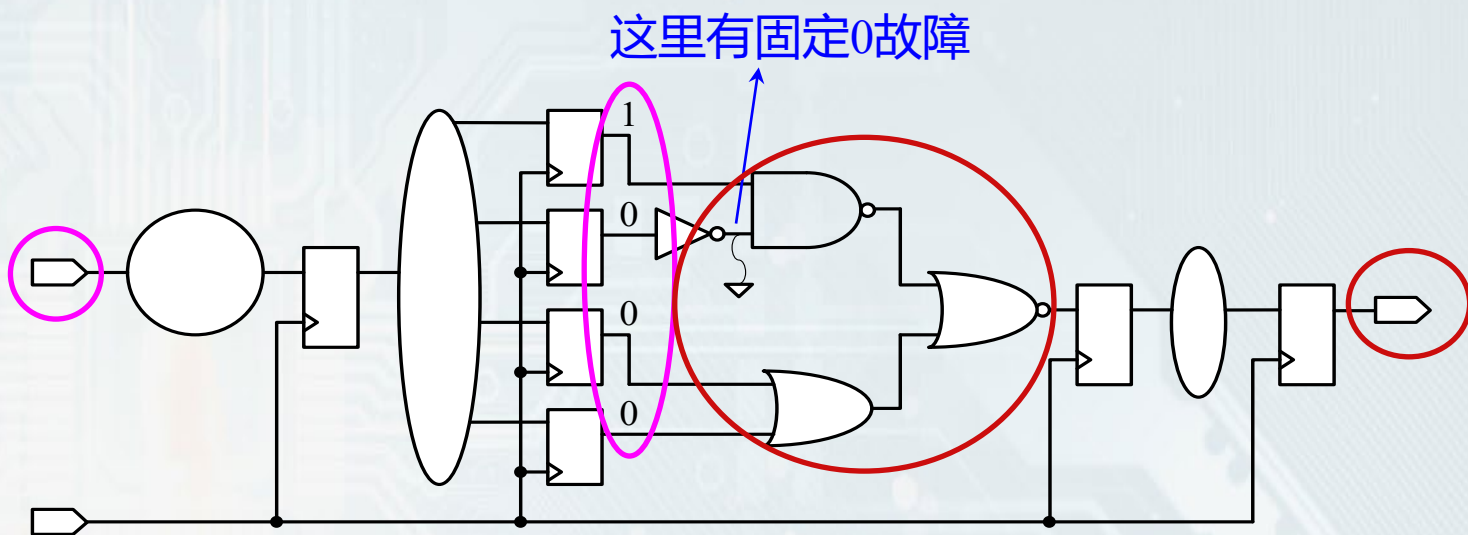


测试响应



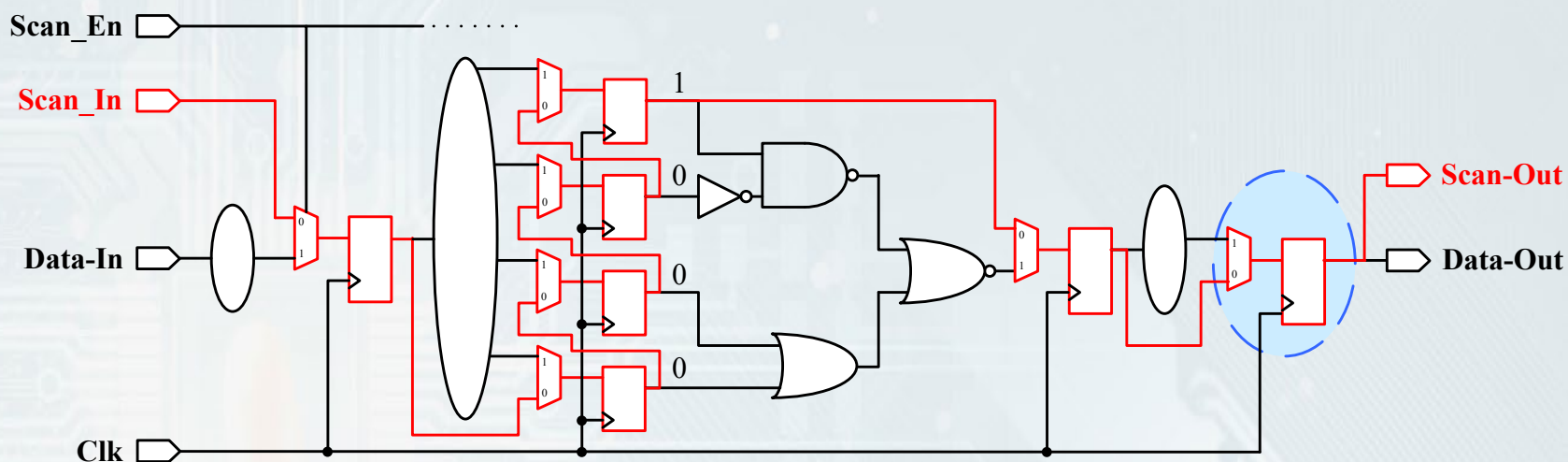
问题的引入

如果这部分组合电路内嵌在时序逻辑电路中：

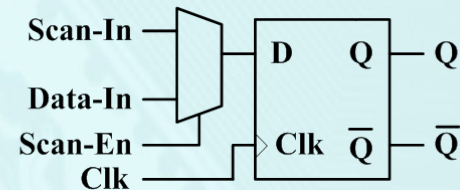


扫描路径方法形成

将电路中所有时序触发器均替换为扫描触发单元：



扫描触发单元



测试步骤

①电路置为扫描测试状态，检查每个触发器的基本功能

②检查组合电路 N 和存储元件之间的连接关系

③组合电路N的测试

测试激励

N 的输出信号

对送入时序元件信号的观察处理

- 扫描路径是通过以下步骤实现对时序电路测试的：

- 1) 使 $M=1$ ，测试移位寄存器链中的触发器

- 如果给SDI端加上一串0、1序列，则经过 n 个（ n 等于移位寄存器链中触发器的个数）时钟周期在SDO端将会出现相同的0、1序列。可用“00110...”序列作为输入序列，这样就可测试触发器状态是否反转、触发器是否稳定。

- 2) 测试组合逻辑

- a) 使 $M=1$ ，通过SDI把一个测试矢量加到 n 个触发器上。

- b) 使 $M=0$ ，加一个测试矢量在原始输入端，观察原始输出端的输出情况。在触发器的时钟端加一个时钟把把组合电路的部分输出（通过多路选择器与触发器相连的那部分输出）装入触发器中。

c) 使 $M=1$ ，经过 $n-1$ 个时钟周期把触发器采集的数据通过SDO移出芯片。

对于第二次测试第a)步也可在第三步中同时完成，即在触发器中数据移出的同时新数据也可同时移入，以便为下一次测试做准备。

特点

扫描路径法的特点：

①优点

仅需三个附加的管脚供测试用

测试过程简单

故障定位比较方便

②缺点

对电路速度及芯片面积的影响都比较大

测试时间比较长

有些时序故障不一定能精确测出

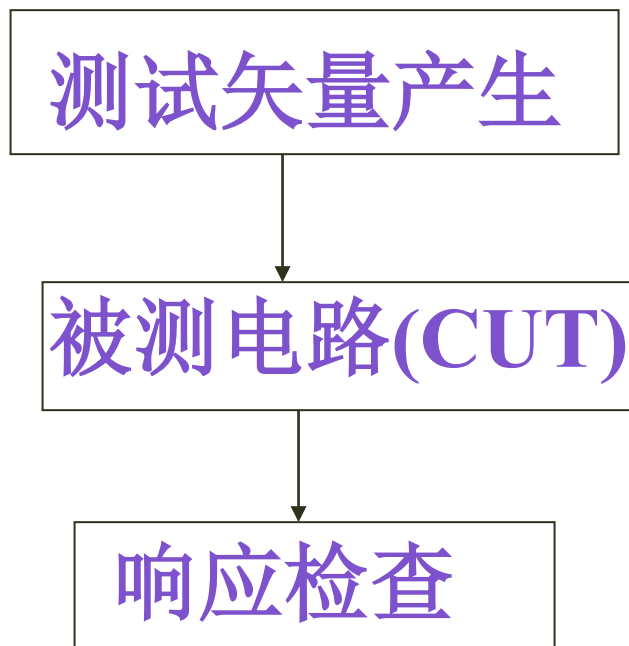
对被测电路限制较大

-
- 扫描路径法的优点是用特别设计的测试矢量，把每个组合逻辑部分分别处理。反馈环自动切断、计数器链断开，电路的逻辑深度大大降低。所有的存储单元，通过扫描路径，直接连到一个原始输入端和一个原始输出端。这样能大大减少测试时间。
 - 扫描路径法的缺点是要增加额外的测试引脚M、SDI和SDO（SDI和SDO可与系统其他引脚共用），增加用于实现扫描路径的多路选择器，这样就造成芯片面积的增加、功耗的增加及系统性能的下降。
 - 扫描路径法还有一些改进形式：如多扫描路径和部分扫描路径。

4、内设自测试法（BIST: built-in-self-test）

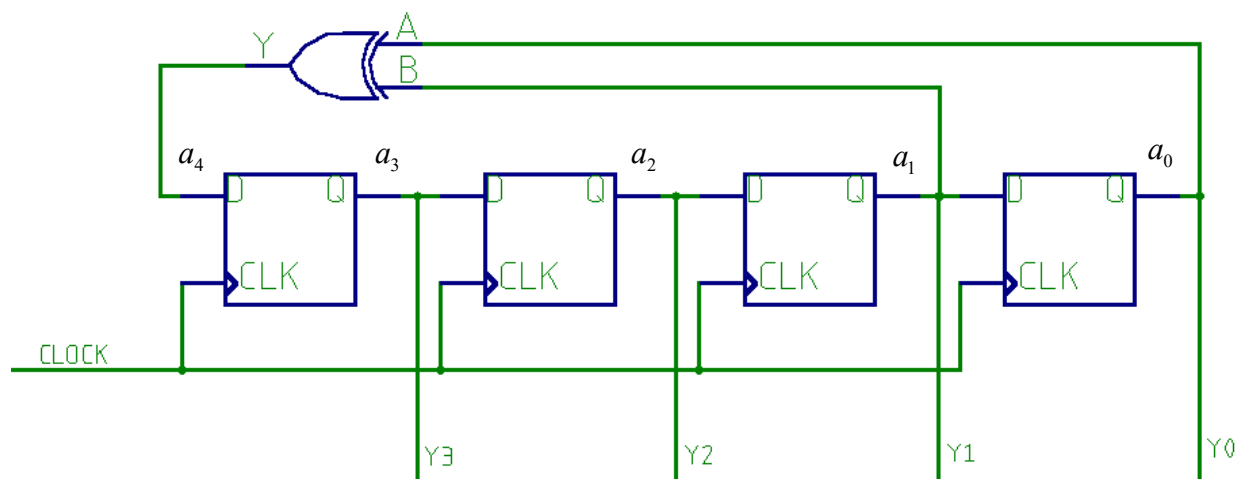
内设自测试法是指在ASIC中包含测试矢量的产生与电路响应判别电路的测试方法，这种方法不仅可以简化测试设备、降低测试设备的成本，而且允许对器件进行现场测试。

4、内设自测试法



4、内设自测试法

1) 测试矢量产生(LSFR,线性移位反馈寄存器)



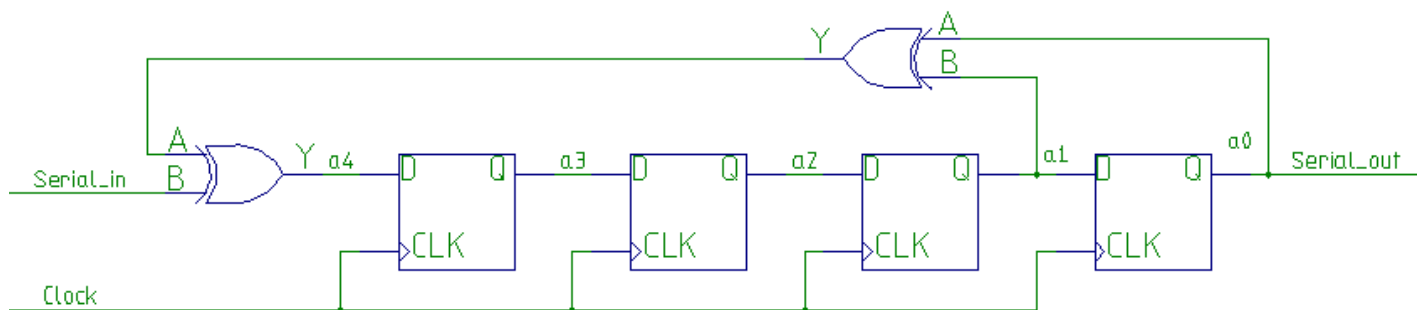
$$P(x) = x^4 + x + 1$$

$$a_4 = a_1 \oplus a_0, a_4 \oplus a_1 \oplus a_0 = 0$$

4、内设自测试法

2) 签字分析

定义：通常把全部测试序列的响应数据压缩成一个单一数据，成为签字分析，如果对于给定的测试矢量所获得的电路签字不正确，则可以判定电路有故障，如果签字是正确的，那么电路很可能是正确的。



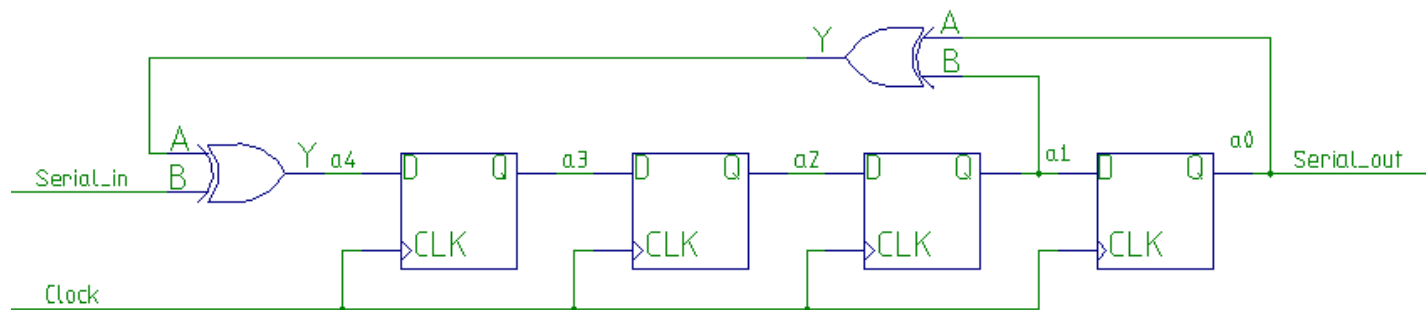
输入向量: $Z(x) = Z_n x^n + Z_{n-1} x^{n-1} + \dots + Z_1 x + Z_0$

$$Z(x) = Q(x)P(x) + R(x)$$

输出向量 本征多项式 余数

4、内设自测试法

2) 签字分析



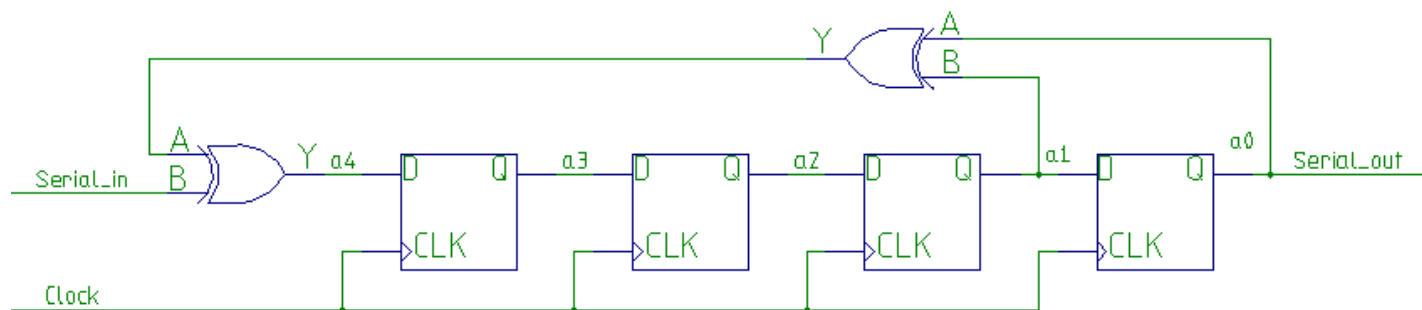
单输入签字寄存器

表 8.6.3 SISR 对正确输入序列的响应

$Z(x)$	a_3	a_2	a_1	a_0
0	0	0	0	0
1	0	0	0	0
0	1	0	0	0
0	0	1	0	0
0	0	0	1	0
1	1	0	0	1
1	0	1	0	0
0	1	0	1	0
1	1	1	0	1
1	0	1	1	0
1	0	0	1	1
0	1	0	0	1
$R(x)$	1	1	0	0

4、内设自测试法

2) 签字分析

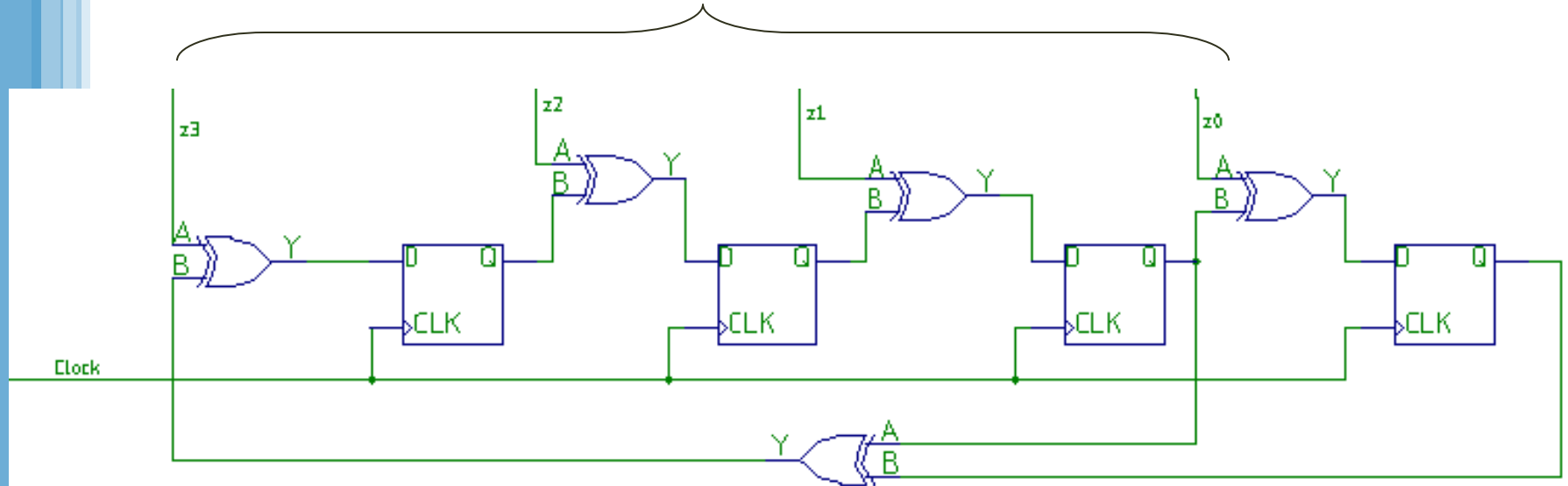


单输入签字寄存器

$Z(x)$	a_3	a_2	a_1	a_0
0	0	0	0	0
1	0	0	0	0
0	1	0	0	0
0	0	1	0	0
1*	0	0	1	0
1	0	0	0	1
1	0	0	0	0
0	1	0	0	0
1	0	1	0	0
1	1	0	1	0
1	0	1	0	1
0	0	0	1	0
$R^*(x)$	1	0	0	1

4、内设自测试法

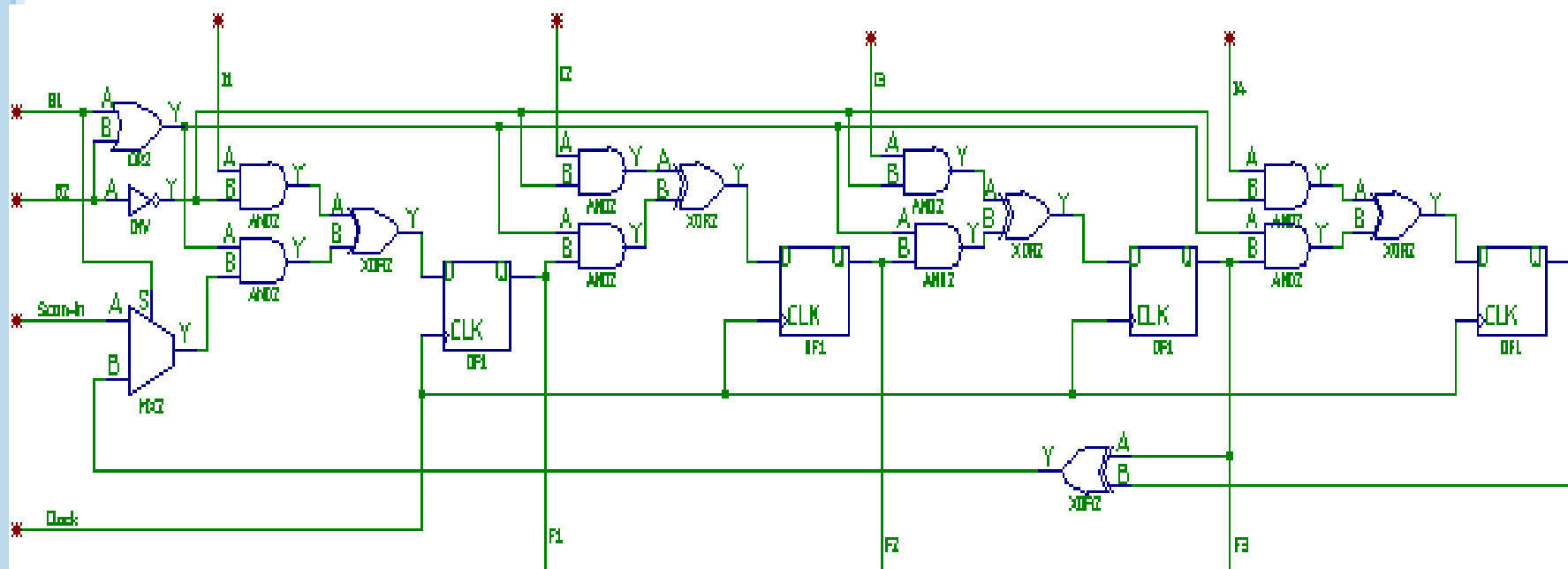
电路输出



多输入签字寄存器

● 内建逻辑模块观察器

定义：把测试模式产生和特征分析功能与电路正常的状态寄存器组合在一起，这种方法形成的寄存器结构。



4位内建逻辑模块观察器（BILBO）

● BILBO 操作模式

B1 B2

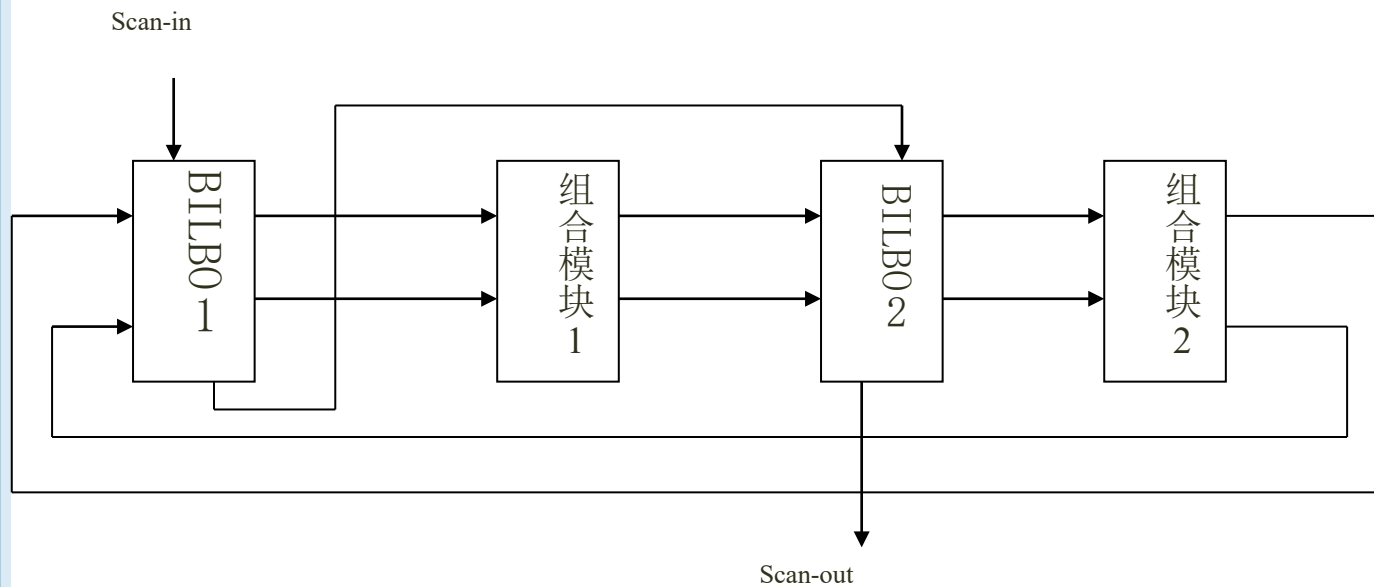
0 0 正常模式

0 1 扫描路径模式

1 0 特征分析

1 1 测试模式产生

● 用BILBO 测试时的电路划分



测试过程

第一步：把BILBO1当作LFSR，BILBO2当作MISR，对组合模块1进行测试：

- 1) 把BILBO1和BILBO2设置为扫描路径模式，通过寄存器移位的方式把BILBO1初始化为LFSR的初始值，BILBO2初始化为全0；**
- 2) 把BILBO1设置为LFSR模式，BILBO2设置为MISR模式；**
- 3) 按指定的测试周期测试电路。BILBO1产生的测试矢量输入到“组合逻辑模块1”，BILBO2完成对“组合逻辑模块1”输出的特征分析；**
- 4) 把BILBO1和BILBO2设置为扫描路径模式，从BILBO2移出最终的特征值，同时把BILBO2初始化为下一次测试的起始值。**

第二步：把BILBO2当作LFSR，BILBO1当作MISR，测试“组合逻辑模块2”。交换两个BILBO的角色，重复上面第一步中2) 到4)。

5、边界扫描法(IEEE Std. 1149. 1)

JTAG测试是一种使用软件技术减少设计、测试与维护成本的标准，器件有了JTAG接口，设计人员使用**BSI标准**来**测试器件**引脚连接情况时再也不必使用物理探针了。

边界扫描的优势

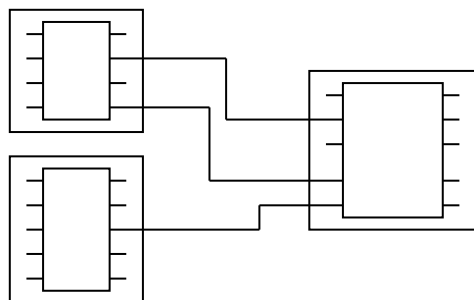
编辑

通过提供对扫描链的IO的访问，可以消除或极大地减少对电路板上物理测试点的需要，这就会显著节约成本，因为电路板布局更简单、测试夹具更廉价、电路中的测试系统耗时更少、标准接口的使用增加、上市时间更快。除了可以进行电路板测试之外，边界扫描允许在PCB贴片之后，在电路板上对几乎所有类型的CPLD和闪存进行编程，无论尺寸或封装类型如何。在系统编程可通过降低设备处理、简化库存管理和在电路板生产线上集成编程步骤来节约成本并提高产量。

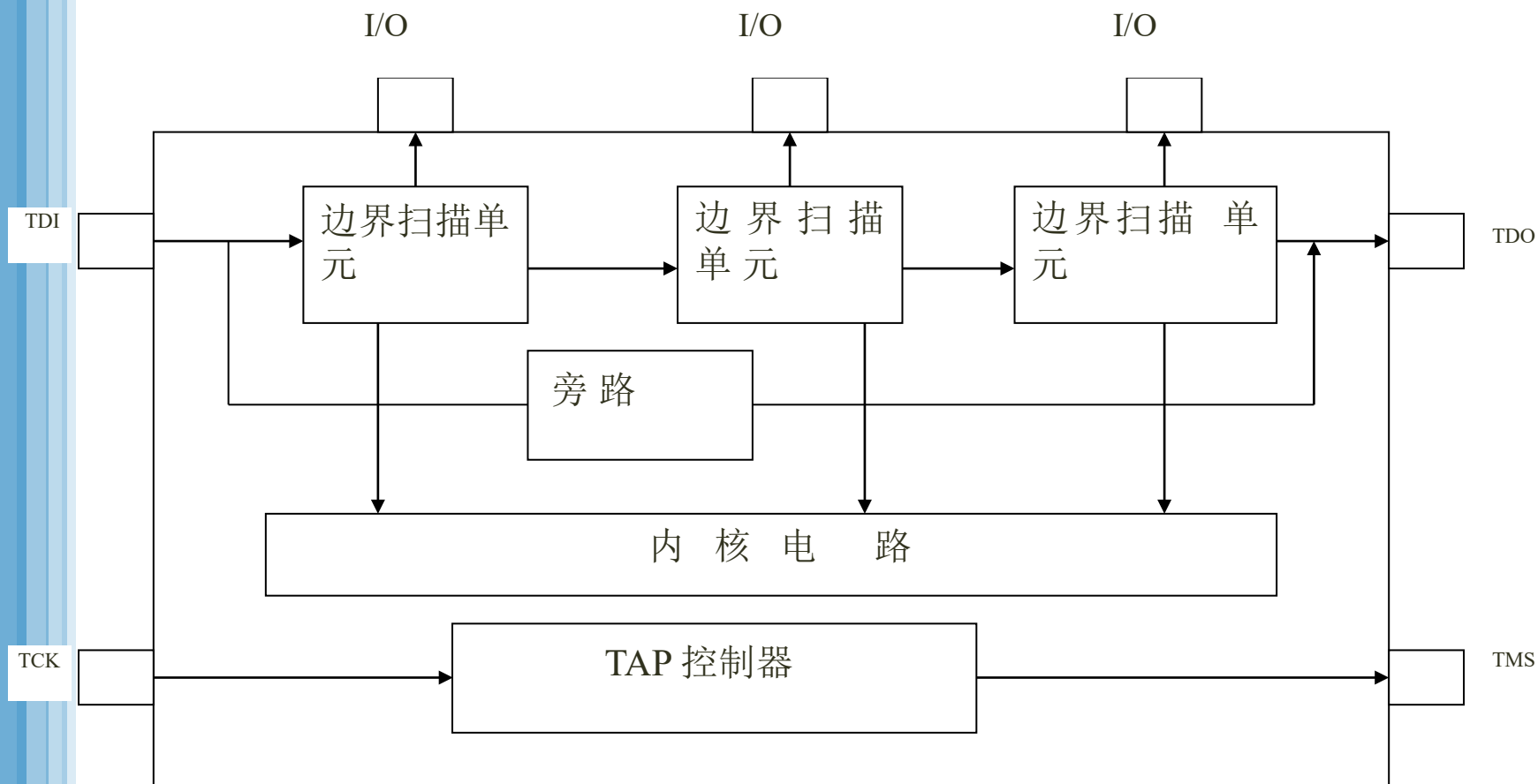
边界扫描原理

编辑

IEEE 1149.1 标准规定了一个四线串行接口（第五条线是可选的），该接口称作测试访问端口（TAP），用于访问复杂的集成电路（IC），例如微处理器、DSP、ASIC和CPLD。除了TAP之外，混合IC也包含移位寄存器和状态机，以执行边界扫描功能。在TDI（测试数据输入）引线上输入到芯片中的数据存储在指令寄存器中或一个数据寄存器中。串行数据从TDO（测试数据输出）引线上离开芯片。边界扫描逻辑由TCK（测试时钟）上的信号计时，而且TMS（测试模式选择）信号驱动TAP控制器的状态。TRST（测试重置）是可选项。在PCB上可串行互连多个可兼容扫描功能的IC，形成一个或多个扫描链，每一个链都由其自己的TAP。每一个扫描链提供电气访问，从串行TAP接口到作为链的一部分的每一个IC上的每一个引线。在正常的操作过程中，IC执行其预定功能，就好像边界扫描电路不存在。但是，当为了进行测试或在系统编程而激活设备的扫描逻辑时，数据可以传送到IC中，并且使用串行接口从IC中读取出来。这样数据可以用来激活设备核心，将信号从设备引线发送到PCB上，读出PCB的输入引线并读出设备输出。



2) 边界扫描测试的结构



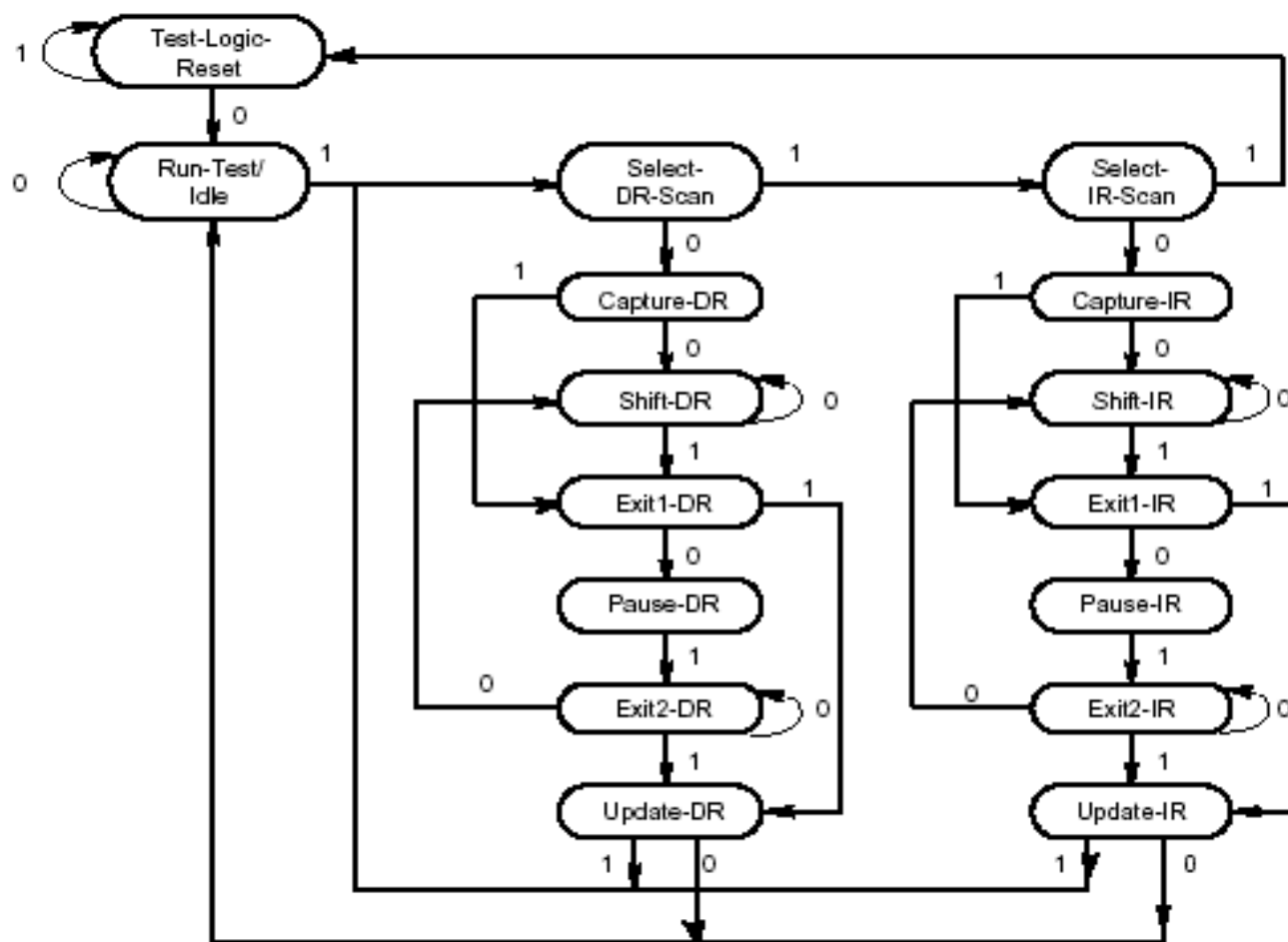
测试存取端口TAP

测试存取端口TAP由4个引脚和一个可选的引脚组成，它们分别为：

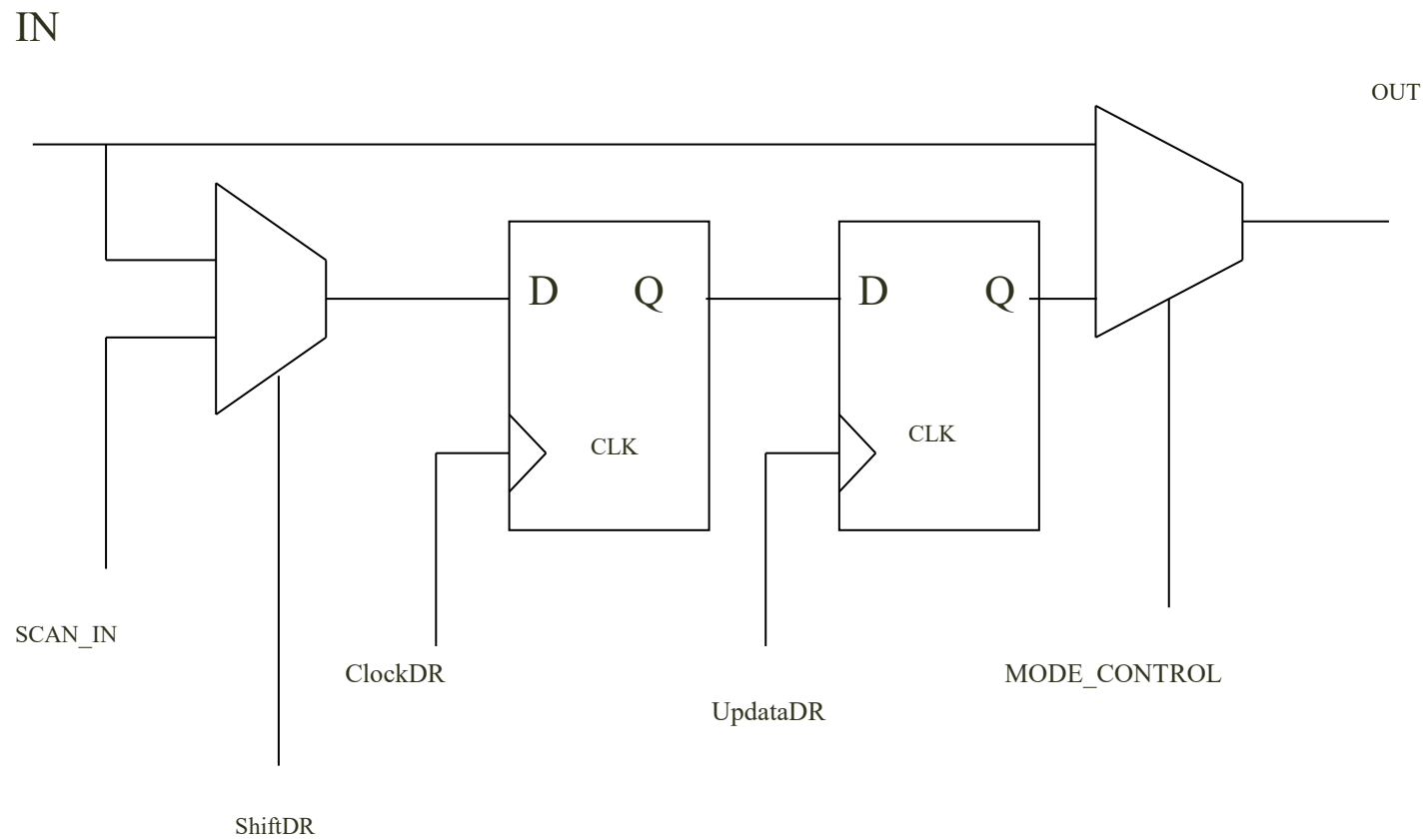
- 测试时钟TCK（Test Clock）：用来同步内部边界扫描状态机（TAP控制器）操作的时钟信号。
- 测试模式选择TMS（Test Mode Select）：内部状态机的模式选择信号，在TCK信号上升沿到来时其电平高低决定了下一个状态机状态。
- 测试数据输入TDI（Test Data In）：指令和测试编程数据的串行输入引脚，数据在TCK上升沿时刻移入。
- 测试数据输出TDO（Test Data Out）：测试编程数据的串行输出引脚，当内部状态机处于正确的状态时，数据在TCK的下降沿移出。如果数据不是正在移出时，该引脚处于三态。
- 测试复位输入TRST（Test Reset）：异步复位端口，当为低电平时内部状态机立即跳至复位状态。由于此脚为可选引脚，而多一个引脚将增加成本，同时也由于内部状态机的同步复位机制较好，因此有些器件中无此引脚。

● TAP控制器的状态图

16状态的状态机：输入是TCK和TMS，它的输出是其它寄存器的控制信号。



3)边界扫描单元



边界扫描单元有以下四种工作模式：

- 正常模式：数据从IN传到OUT。
- 扫描模式：ShiftDR信号选择SCAN_IN作为输入，ClockDR作为扫描路径的时钟。ShiftDR信号是由TAP控制器中Shift-DR状态驱动的。当TAP控制器处于Capture-DR或Shift-DR状态时ClockDR有效。
- 捕获模式：ShiftDR信号选择IN作为输入，数据在ClockDR时钟作用下移入扫描路径寄存器，从而获得系统的观察值。
- 更新模式：在捕获模式或扫描模式之后，给Update-DR信号加上一个时钟边沿就可把数据送到OUT上，这个时钟边沿是来自处于Update-DR状态的TAP控制器。在更新模式之后TAP控制器将进入Run-Test状态。

4) 指令寄存器 (Instruction Register)

指令寄存器是用来存放各种操作指令的。

5) 旁路寄存器

这个1位寄存器用来提供TDI到TDO的最小串行通道。

6) 边界扫描寄存器

由引脚上的所有边界扫描单元组成。

边界扫描测试的操作控制

- 采样/预加载（SAMPLE/PRELOAD）指令模式：这种指令模式为强制性的。在这种指令模式下，可以在不中断芯片正常工作的情况下捕获芯片内部的数据。
- 旁路（BYPASS）指令模式：这个指令使扫描路径短路，数据从TDI进入旁路寄存器，从TDO输出。
- 外测试（EXTEST）指令模式：通过在输出引脚加外测试矢量和在输入引脚捕获测试结果，从而测试器件与其它JTAG兼容器件在PCB板上的连接情况。
- 执行BIST（RUNBIST）指令模式：运行器件上的内建自测试。
- ID码（IDCODE）指令模式：这种指令模式用于实现对JTAG链中器件的隐蔽访问。当选用IDCODE模式时，标志寄存器装入32位由厂商定义的标志码，并连接到TDI和TDO之间。通过使用IDCODE指令模式，可以判别连接到JTAG口上的器件名，还可以对链中的FPGA/CPLD器件有选择地进行配置。
- 用户码（USRCODE）指令模式：用来检查用户器件周围连接的电气特征。当选用这种指令时，USR寄存器连接到TDI和TDO之间。

边界扫描描述语言

为了使不同厂家生产的边界扫描兼容部件能一起工作，人们规定了一个标准的描述语言——边界扫描描述语言（Boundary Scan Description Language, BSDL），它是VHDL的一个子集。BSDL并不是用来仿真的，也不包含任何边界扫描部件的模型。BSDL提供了一种标准方法用来描述包含IEEE 1149.1边界扫描的ASIC的特性和行为，同时也提供了向测试产生软件传递信息的标准方法。利用BSDL测试软件可以检查器件的BST特性是否正确。

Thank You!

西安电子科技大学
通信工程学院

专用集成电路设计