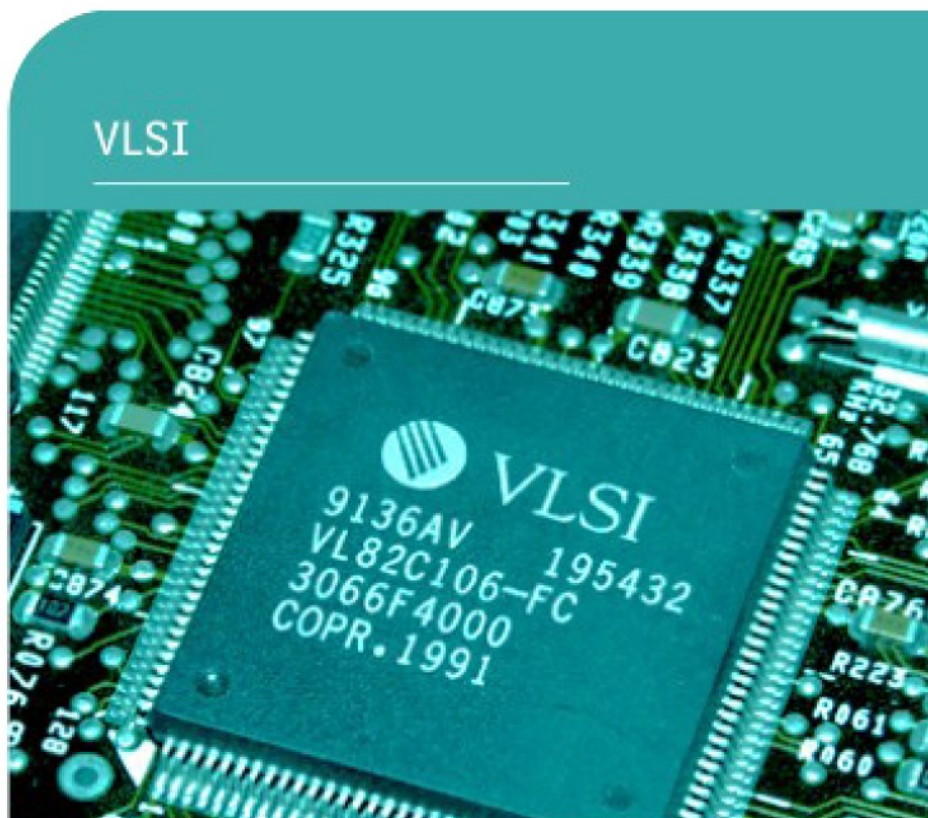


Ε.Μ.Π. - ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ  
ΤΟΜΕΑΣ ΤΕΧΝΟΛΟΓΙΑΣ ΥΠΟΛΟΓΙΣΤΩΝ ΚΑΙ ΠΛΗΡΟΦΟΡΙΚΗΣ  
ΕΡΓΑΣΤΗΡΙΟ ΜΙΚΡΟΥΠΟΛΟΓΙΣΤΩΝ ΚΑΙ ΨΗΦΙΑΚΩΝ ΣΥΣΤΗΜΑΤΩΝ  
ΕΙΣΑΓΩΓΗ ΣΤΗ ΣΧΕΔΙΑΣΗ ΣΥΣΤΗΜΑΤΩΝ VLSI

# ***Γενικά Θέματα 2011- 2012***

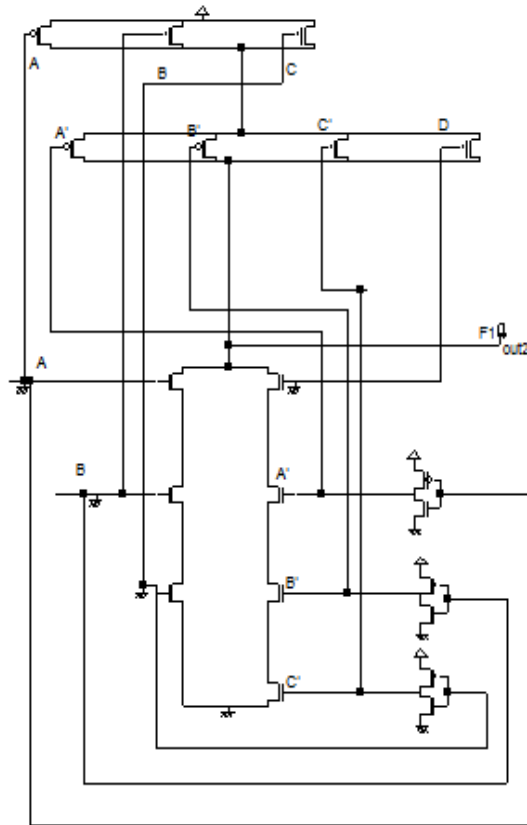


Τζανάκη Βασιλική (03108062)  
Τζίμα Σοφία (03108052)  
31/01/2012

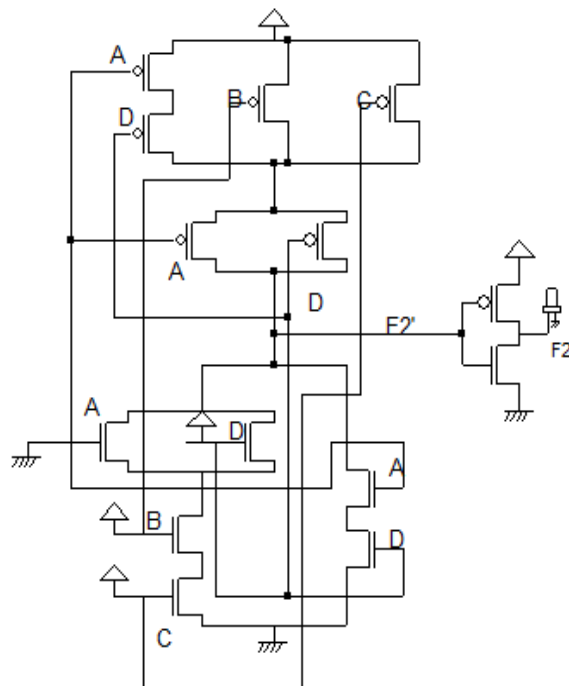
### ΘΕΜΑ 1

Για κάθε συνάρτηση δίνεται το αντίστοιχο κύκλωμα σε επίπεδο transistor στο DSCH:

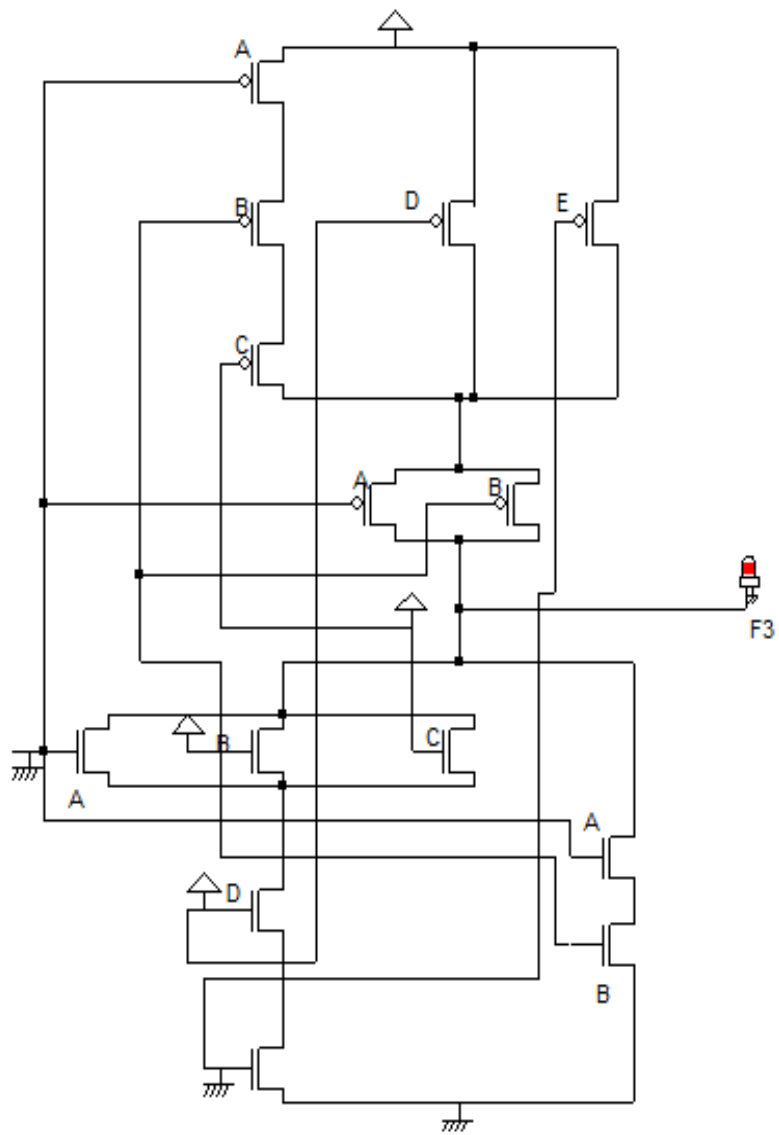
$$F1=(ABC + A'B'C'D)'$$



$$F2=A(BC + D) + BCD$$



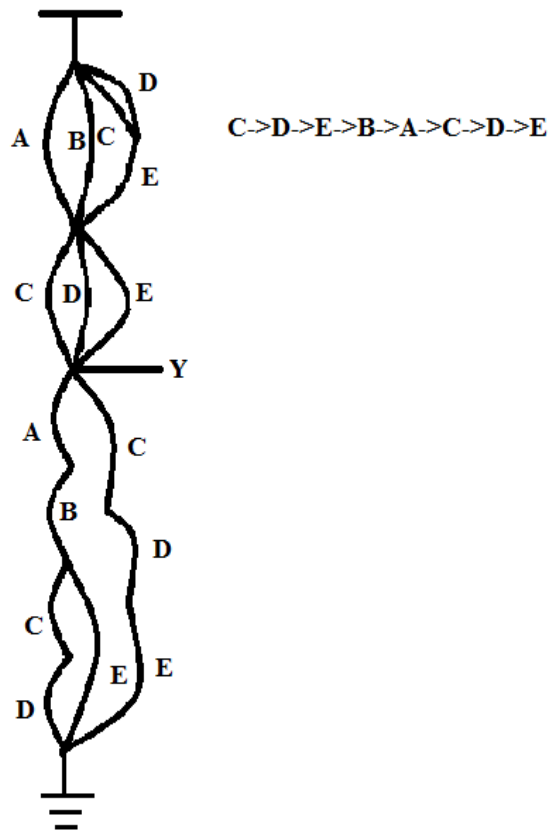
$$F3 = [AB + (A+B+C)DE]'$$



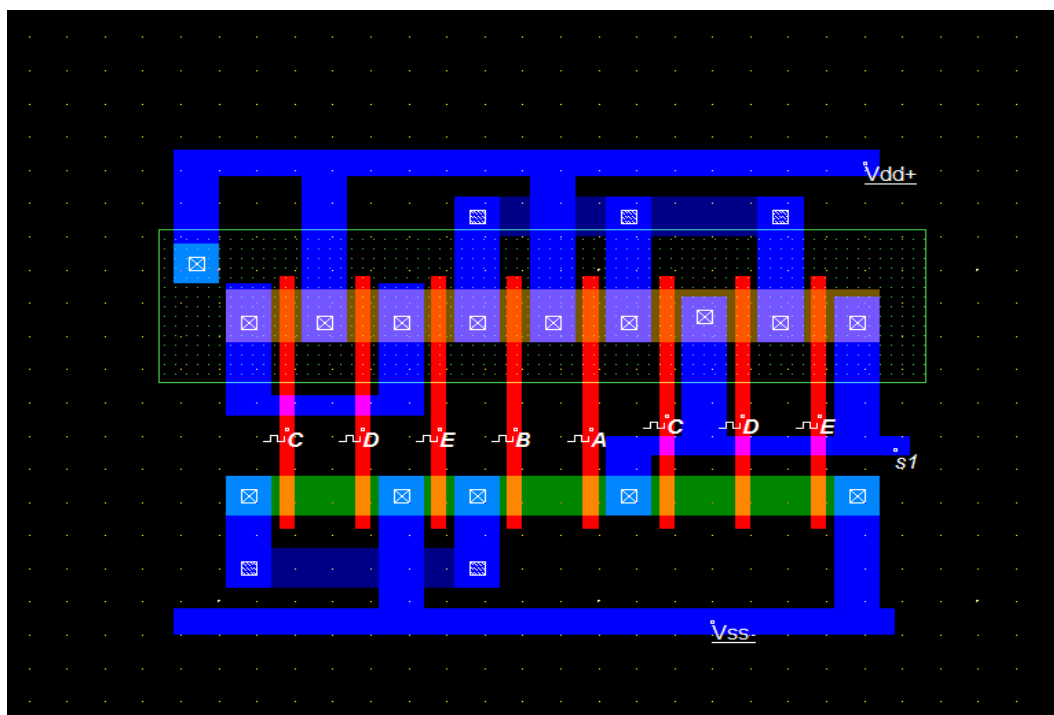
## ΘΕΜΑ 2

α)  $F1 = [AB(CD+E)+CDE]'$

Το παρακάτω μονοπάτι Euler αντιστοιχεί στην υλοποίηση της συνάρτησης F1:



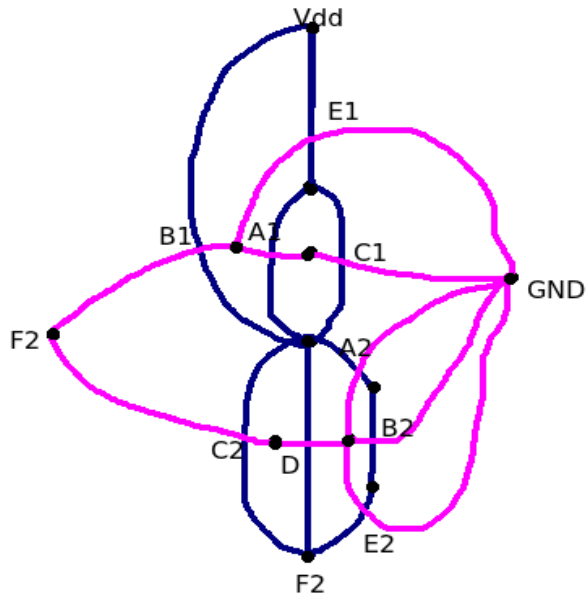
Σύμφωνα με αυτό κατασκευάζουμε το αντίστοιχο layout:



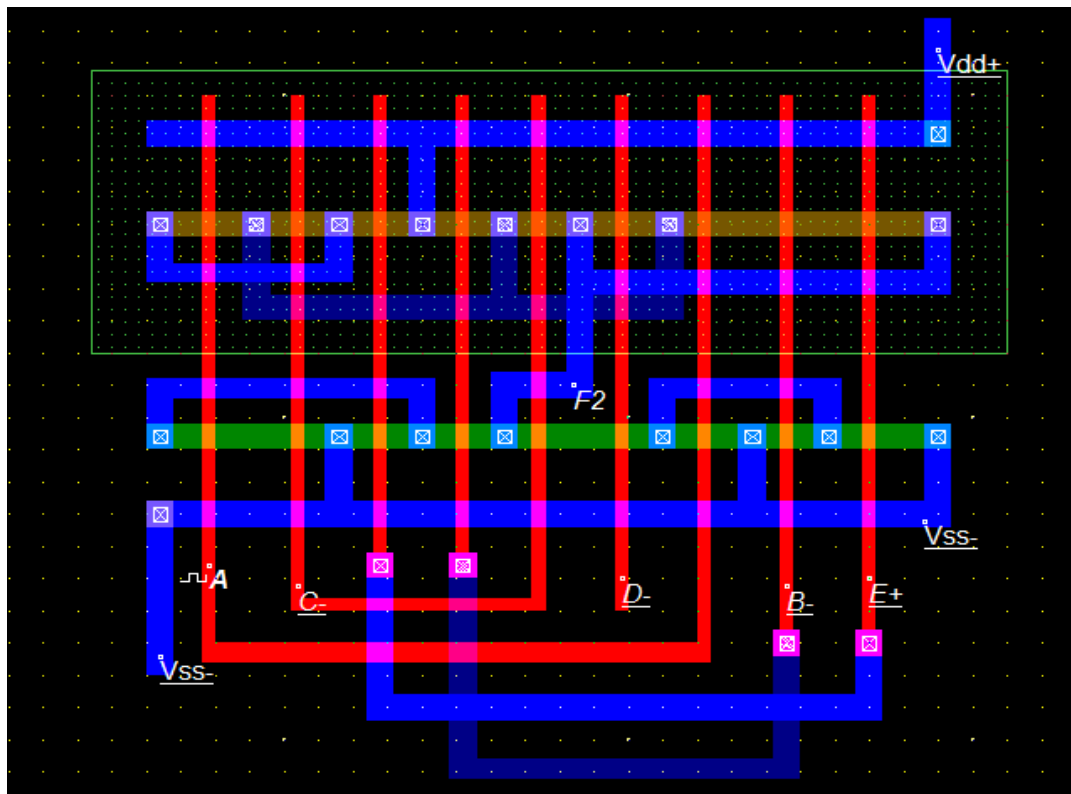
β)  $F2 = [ABC + (A+B)CD + CB + CD]E]' = [B(AC+E) + CD(A+B+E)]'$

Βρίσκουμε το παρακάτω μονοπάτι Euler για την συνάρτηση F2:

A1->C1->E1->B1->C2->D->A2->B2->E2



Σύμφωνα με αυτό υλοποιούμε το layout του κυκλώματος όπως φαίνεται στην εικόνα:

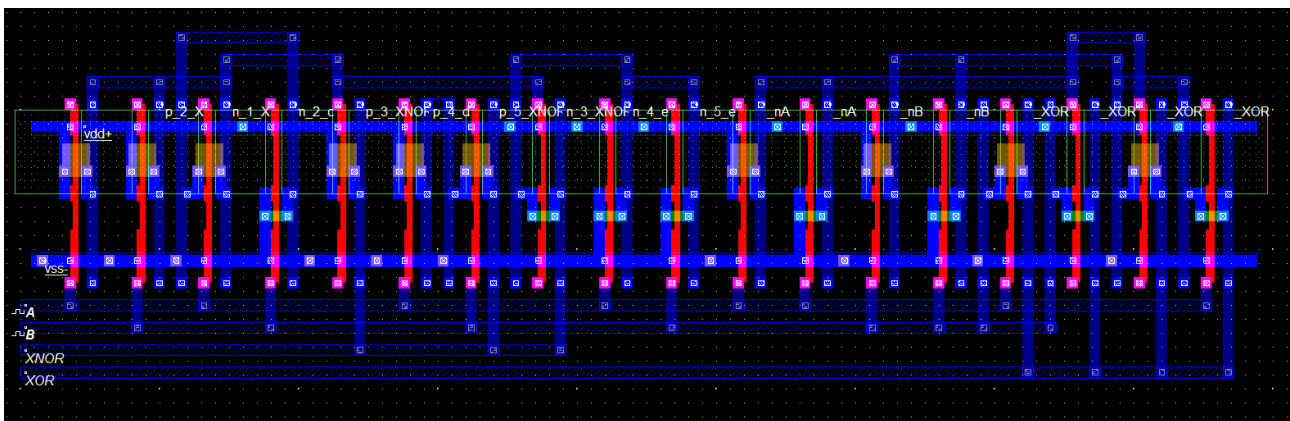


### Θέμα 3β

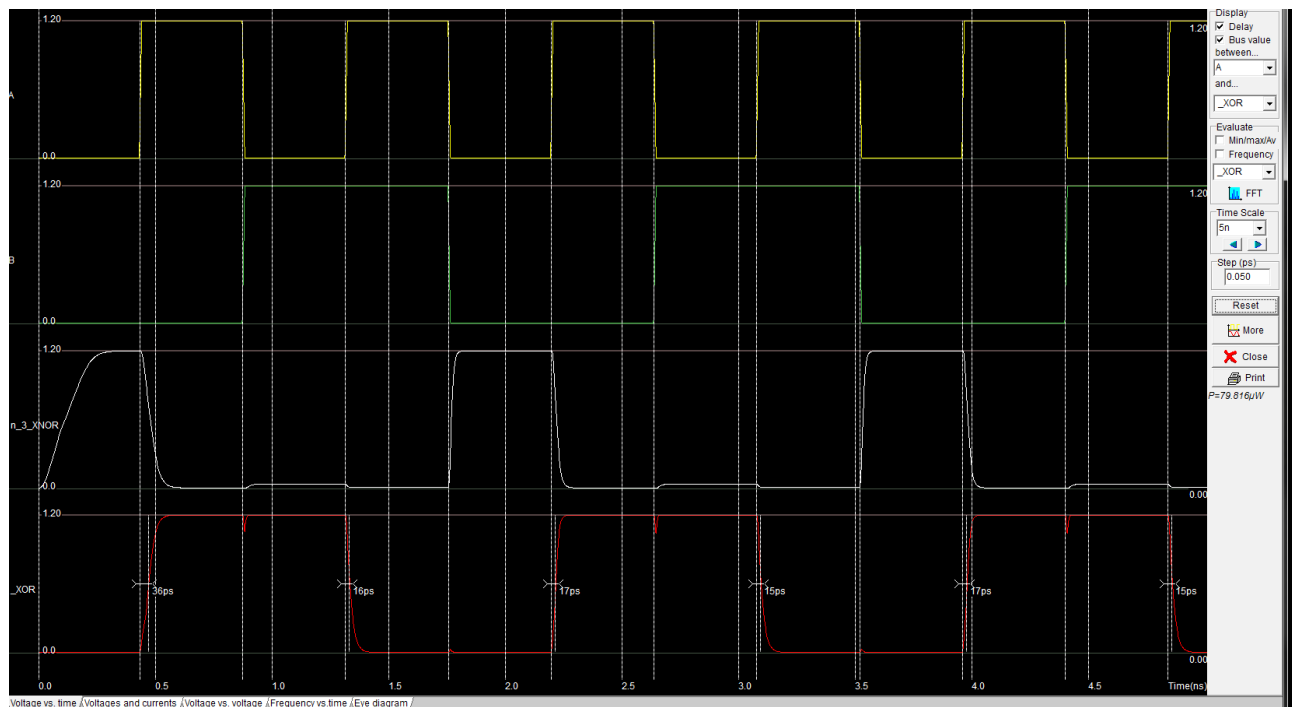
Με τη βοήθεια του compiler της Verilog του προγράμματος microwind υλοποιήσαμε το ζητούμενο κύκλωμα, σύμφωνα με τον κώδικα:

```
module XNOR (XNOR,XOR,A,B);  
    input A,B;  
    output XNOR, XOR;  
  
    wire X,c,d,e, na, nb;  
  
    pmos p_1 (X,VDD,A);  
    pmos p_2 (X,VDD,B);  
    pmos n_1 (X,c,A);  
    nmos n_2 (c,VSS,B);  
  
    pmos p_3 (XNOR,VDD,X);  
    pmos p_4 (d,VDD,A);  
    pmos p_5 (XNOR,d,B);  
    nmos n_3 (XNOR,e,X);  
    nmos n_4 (e,VSS,A);  
    nmos n_5 (e,VSS,B);  
  
    pmos p1 (nA,Vdd,A);  
    nmos n1 (nA,vss,A);  
    pmos p2 (nB,vdd,B);  
    nmos n2 (nB,vss,B);  
    pmos p3 (XOR,B,A);  
    nmos n3 (XOR,B,nA);  
    pmos p4 (XOR,nB,nA);  
    nmos n4 (XOR,nB,A);  
endmodule
```

Μετά το compilation του κώδικα λαμβάνουμε το κύκλωμα που φαίνεται στην εικόνα:



Από την προσομοίωση μπορούμε να επαληθεύσουμε την ορθή λειτουργία του κυκλώματος και να υπολογίσουμε την καθυστέρηση απόκρισής του:



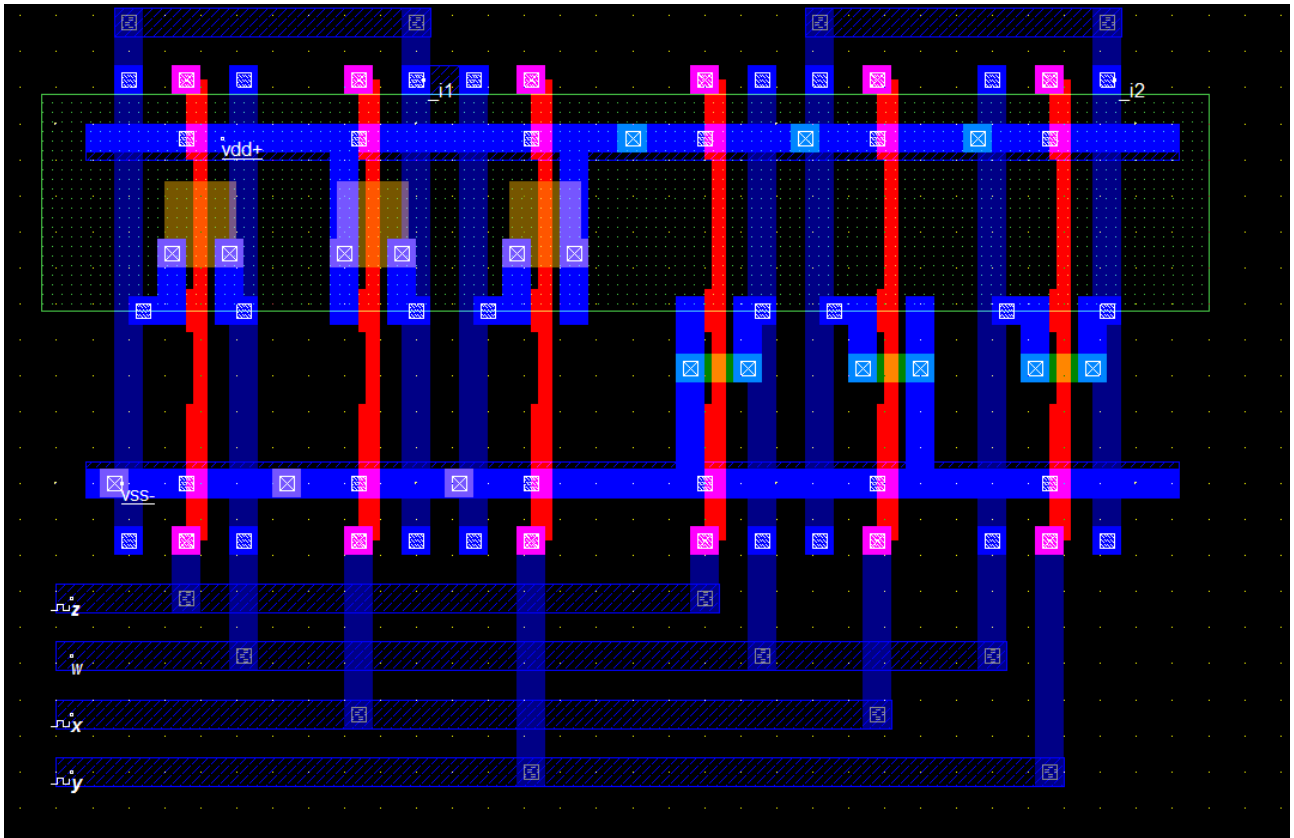
Παρατηρούμε ότι οι καθυστερήσεις είναι της τάξεως των psec. Συγκεκριμένα ο χρόνος ανόδου είναι 17psec ενώ ο χρόνος καθόδου 15psec.

#### Θέμα 4α

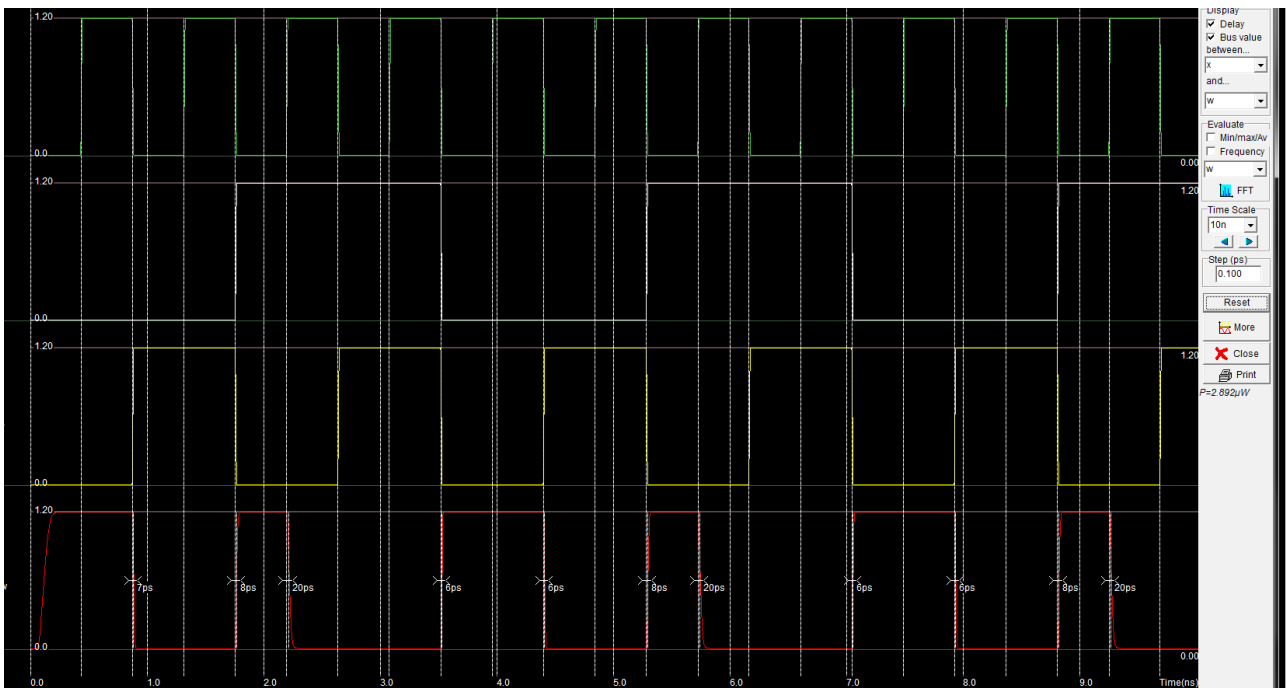
Η δομική περιγραφή της πύλης w στην γλώσσα Verilog δίνεται από το παρακάτω module:

```
module thema_4 (w,x,y,z);  
  input x,y,z;  
  output w;  
  wire i1,i2;  
  
  pmos p1 (w,i1,z);  
  pmos p2 (i1,VDD,x);  
  pmos p3 (VDD,i1,y);  
  
  nmos n1 (w,VSS,z);  
  nmos n2 (VSS,i2,x);  
  nmos n3 (i2,w,y);  
  
endmodule
```

Από τον compiler verilog του προγράμματος Microwind παίρνουμε το layout του κυκλώματος σε τεχνολογία CMOS:



Η ορθή λειτουργία της πύλης επιβεβαιώνεται μέσω της προσομοίωσης:





β)

Παρατηρούμε ότι μπορούμε να υλοποιήσουμε την συνάρτηση  $(a(b+c)+bcd)'$  εύκολα χρησιμοποιώντας την πύλη  $w$  του προηγούμενου ερωτήματος, αν δώσουμε για εισόδους:

$x \Rightarrow a$

$y \Rightarrow (b+c)$

$z \Rightarrow bcd$

Η δομική περιγραφή σε verilog με χρήση των πυλών nand, not, nor και w είναι:

```
module f1(outq,a,b,c,d)
  input a,b,c,d;
  output outq;
  wire l1,l2,l3,l4;

  nor(l1,b,c);
  not(l2,l1);

  nand(l3,b,c);
  nand(l4,l3,d);
  w(outq,a,l2,l4);
endmodule
```

```
module f2(outq,a,b,c,d)
  input a,b,c,d;
  output out;
  wire l1,l2,l3;

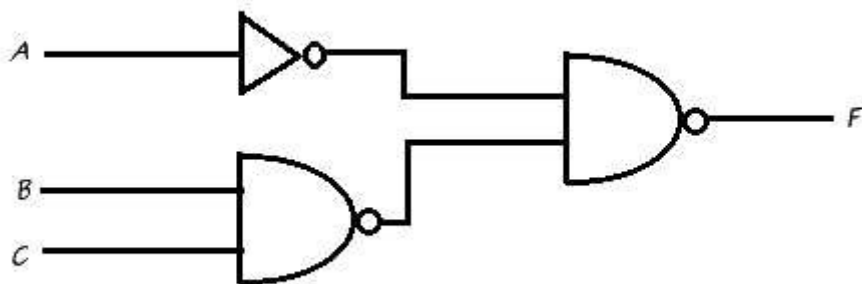
  w(l1,b,c,d);
  not(l2,lq);
  nand(l3,c,d);
  not(l4,l3);

  w(outq,a,l2,l4);
endmodule
```

### Άσκηση 5

Έχουμε το

κύκλωμα που υλοποιεί την συνάρτηση  $((A)'(BC))'$ . Αποτελείται από μια πύλη NOT με είσοδο το A και δύο πύλες NAND, όπως φαίνεται στο σχήμα:



Για να υπολογίσουμε τις καθυστερήσεις στον κάθε κλάδο δουλεύουμε ως εξής:  
 παίρνουμε από τα αντίστοιχα διαγράμματα 4.25 του βιβλίου της τιμές των προδιαγραφών και υπολογίζουμε την εισερχόμενη καθυστέρηση από κάθε πύλη.  
 Σύμφωνα με την εκφώνηση ο αντιστροφέας έχει drive strength X1 και η πύλη NAND X4 αντίστοιχα.

Κλάδος A->F:

Για τον αντιστροφέα INV, λαμβάνουμε από το διάγραμμα:

$$C_{in}=0,0036pF$$

$$Delay1=0,0253nsec$$

$$Delay2=0,0146nsec$$

$$K_{load1}=4,5257$$

$$K_{load2}=2,3675$$

άρα υπολογίζουμε:

$$p = \frac{(0,0253 + 0,0146)}{2} = 20 \text{ psec}$$

$$K_{load} = \frac{(4,53 + 2,37)}{2} = 3,45$$

$$h = \frac{0,0163 \text{ pF}}{0,0036 \text{ pF}} = 4,52$$

όπου 0,0163 η χωρητικότητα εισόδου του άνω ακροδέκτη της πύλης NAND (X4), η οποία ισούται με την χωρητικότητα εξόδου του αντιστροφέα.

$$\text{Τελικά βρίσκουμε ότι } t_{inv} = 20 \text{ psec} + 3,6 \frac{fF}{gate} 4,52 \times 3,45 \frac{ns}{pF} = 76,14 \text{ psec} .$$

Ομοίως για την NAND X4 λαμβάνουμε:

$$C_{in}=0,01636pF$$

$$Delay1=0,0295nsec$$

$$Delay2=0,0181nsec$$

$$K_{load1}=1,638$$

$$K_{load2}=0,7210$$

άρα υπολογίζουμε:

$$p = \frac{(0,0295 + 0,0181)}{2} = 23,6 \text{ psec}$$

$$K_{load} = \frac{(1,1638 + 0,72)}{2} = 0,9419$$

$$h = \frac{0,1 \text{ pF}}{0,0163 \text{ pF}} = 6,1349$$

όπου 0,1 η χωρητικότητα εξόδου του κυκλώματος.

$$\text{Τελικά βρίσκουμε ότι } t_{nand} = 23,6 \text{ psec} + 16,3 \frac{fF}{gate} 6,1349 \times 0,9419 \frac{ns}{pF} = 117,79 \text{ psec} .$$

Συνολικά, η καθυστέρηση της διαδρομής είναι  $117,79 + 76,14 = 193,93 \text{ psec}$ .

Κλάδος B->F:

Για την NAND X4, (πρώτο στάδιο) που εισέρχεται ο ακροδέκτης B, λαμβάνουμε:

$$C_{in} = 0,01636 \text{ pF}$$

$$\text{Delay1} = 0,0295 \text{ nsec}$$

$$\text{Delay2} = 0,0181 \text{ nsec}$$

$$K_{load1} = 1,638$$

$$K_{load2} = 0,7210$$

άρα υπολογίζουμε:

$$p = \frac{(0,0295 + 0,0181)}{2} = 23,6 \text{ psec}$$

$$K_{load} = \frac{(1,1638 + 0,72)}{2} = 0,9419$$

$$h = \frac{0,0158 \text{ pF}}{0,0163 \text{ pF}} = 0,9693$$

όπου 0,0158 η χωρητικότητα εισόδου του δεύτερου ακροδέκτη της πύλης NAND X4 που αποτελεί το επόμενο στάδιο.

$$\text{Τελικά βρίσκουμε ότι } t_{nand} = 23,6 \text{ psec} + 16,3 \frac{fF}{gate} 0,94253 \times 0,9693 \frac{ns}{pF} = 38,49 \text{ psec} .$$

Παρόμοια, για την NAND X4, (δεύτερο στάδιο) λαμβάνουμε:

$$C_{in} = 0,01586 \text{ pF}$$

$$\text{Delay1} = 0,0395 \text{ nsec}$$

$$\text{Delay2} = 0,0235 \text{ nsec}$$

$$K_{load1} = 1,16371$$

$$K_{load2} = 0,72$$

άρα υπολογίζουμε:

$$p = \frac{(0,0395 + 0,0235)}{2} = 31,5 \text{ psec}$$

$$K_{load} = \frac{(1,16371 + 0,72)}{2} = 0,94235$$

$$h = \frac{0,1 \text{ pF}}{0,0158 \text{ pF}} = 6,329113924$$

Τελικά βρίσκουμε ότι  $t_{nand} = 31,5 \text{ psec} + 15,8 \frac{\text{fF}}{\text{gate}} 0,94235 \times 6,329113924 \frac{\text{ns}}{\text{pF}} = 125,735 \text{ psec}$  .

Συνολικά, η καθυστέρηση της διαδρομής είναι  $125,735 + 38,49 = 164,255 \text{ psec}$ .

Θα υπολογίσουμε ξανά την ίδια διαδρομή για την περίπτωση όπου η πρώτη NAND είναι X1 και η δεύτερη NAND X4:

Για την NAND X1, (πρώτο στάδιο) λαμβάνουμε:

Cin=0,0042pF  
 Delay1=0,0313nsec  
 Delay2=0,0195nsec  
 Kload1=4,5288  
 Kload2=2,847

άρα υπολογίζουμε:

$$p = \frac{(0,0313 + 0,0195)}{2} = 25,4 \text{ psec}$$

$$K_{load} = \frac{(4,5288 + 2,847)}{2} = 3,6879$$

$$h = \frac{0,0158 \text{ pF}}{0,0042 \text{ pF}} = 3,761904762$$

Τελικά βρίσκουμε ότι  $t_{nand} = 25,4 \text{ psec} + 4,2 \frac{\text{fF}}{\text{gate}} 3,6879 \times 3,76 \frac{\text{ns}}{\text{pF}} = 83,66 \text{ psec}$  .

Για την δεύτερη πύλη έχουμε υπολογίσει από πριν την καθυστέρηση, η οποία δεν μεταβάλλεται σε αυτή την περίπτωση και ισούται με 125,735

Η συνολική καθυστέρηση της διαδρομής προκύπτει ως άθροισμα των παραπάνω:

$$125,735 + 83,66 = 209,40382 \text{ psec}$$

Συμπεραίνουμε ότι η καθυστέρηση που εισάγεται όταν χρησιμοποιούμε ίδιες πύλες, είναι μικρότερη.