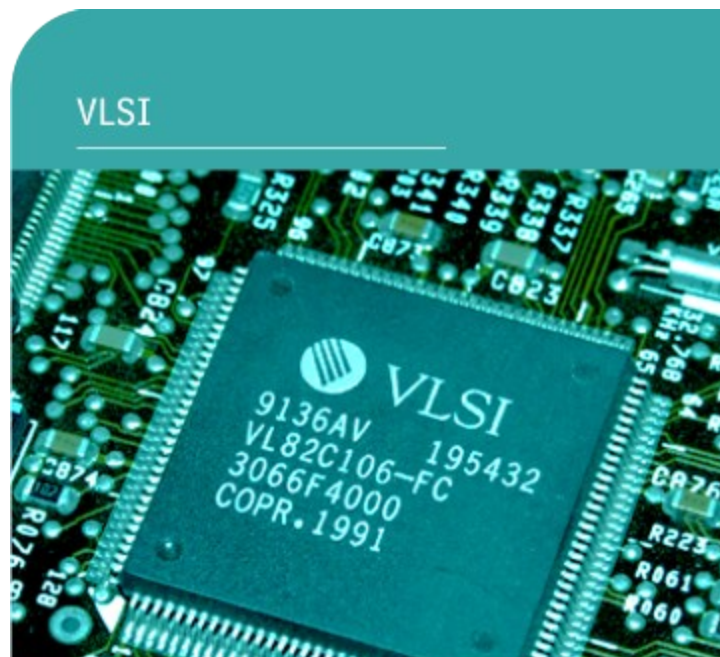


5η Εργαστηριακή άσκηση



**Θεωρητικός και πρακτικός υπολογισμός καθυστερήσεων σε
αναστροφείς CMOS VLSI**

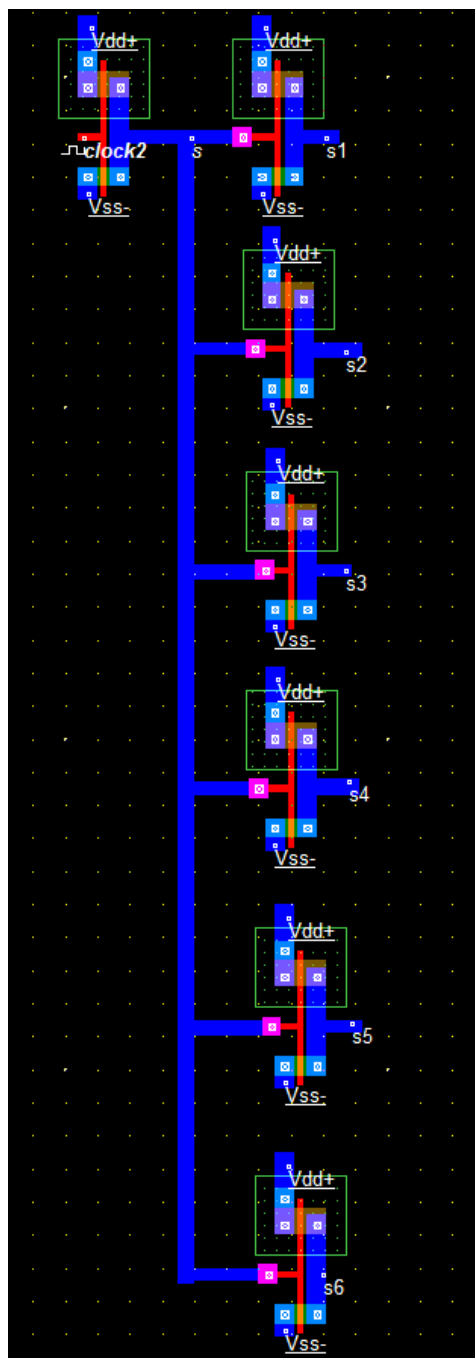
Τζανάκη Βασιλική (03108062)
Τζίμα Σοφία (03108052)
23/01/2012

Μέρος 1:

Υλοποιούμε έναν αντιστροφέα σε τεχνολογία CMOS 0.18 σύμφωνα με τις προδιαγραφές της εκφώνησης ($W_n=0.4\mu$, $L_n=0.2\mu$ και $W_p=0.8\mu$, $L_p=0.2\mu$ ή $W_n=4\lambda$, $L_n=2\lambda$ και $W_p=8\lambda$, $L_p=2\lambda$ όπου $\lambda=100\text{nm}$).

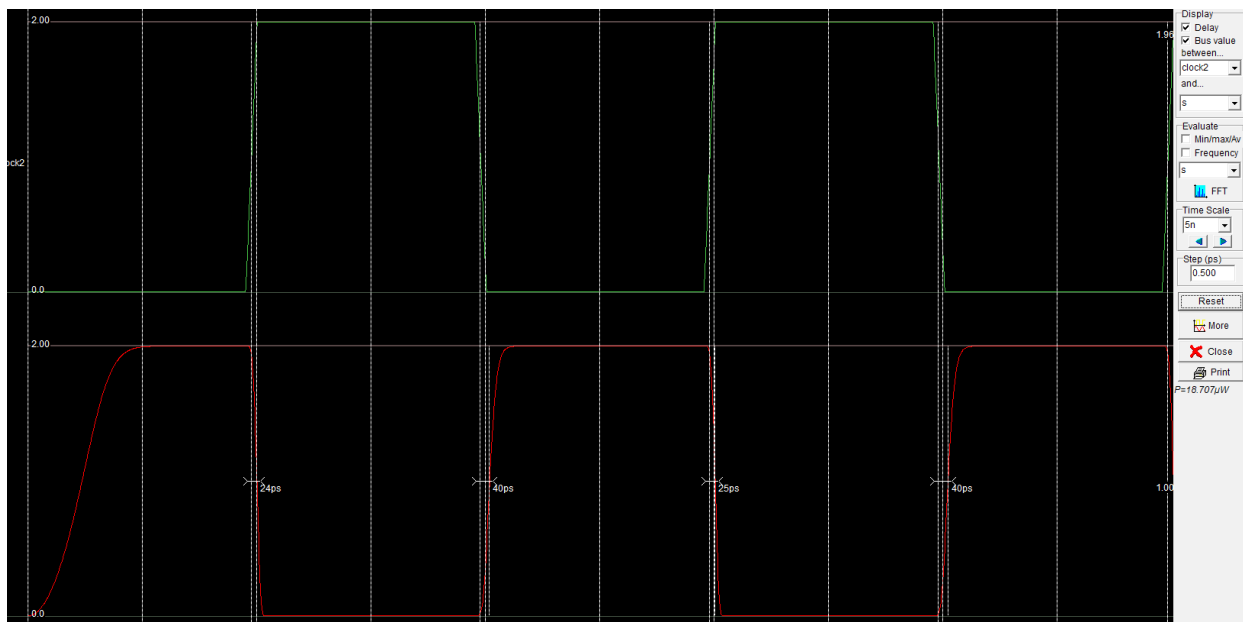
Με αυτόν οδηγούμε έναν αριθμό από άλλους αντιστροφείς και προσομοιώνουμε την λειτουργία του κυκλώματος, με οδήγηση 2, 4 και 6 όμοιων αντιστροφέων.

Το layout της οδήγησης των 6 αντιστροφέων είναι:



Προσομοιώνουμε για κάθε μια από τις περιπτώσεις:

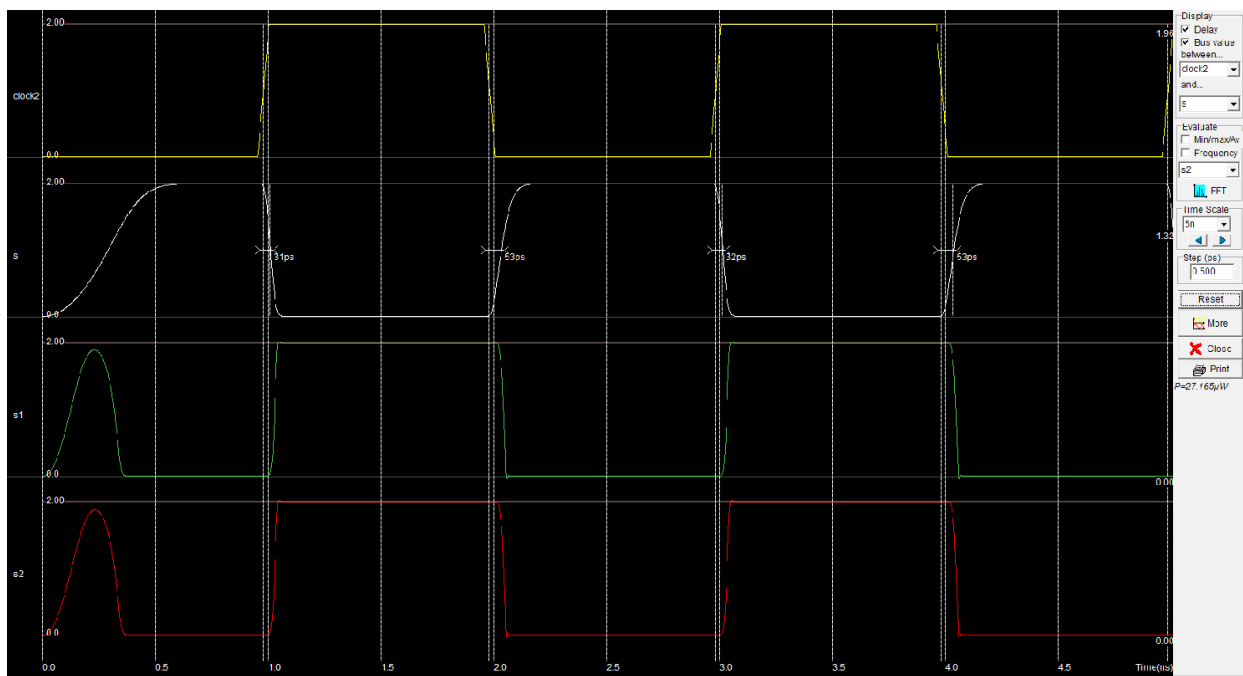
1. Χωρίς οδήγηση:



Καθυστέρηση Ανόδου 40ps
Καθυστέρηση Καθόδου 25ps

Η θεωρητική τιμή της καθυστέρησης σε αυτή την περίπτωση δίνεται και είναι $\tau=12,4\text{ps}$. Παρατηρούμε ότι η τιμή είναι κοντά στο $1/3$ των λαμβανόμενων από την προσομοίωση τιμών. Οι χρόνοι ανόδου και καθόδου, θεωρητικά είναι ίσοι, παρόλα αυτά στην προσομοίωση υπάρχει μια μικρή απόκλιση της τάξεως των $<15\text{ps}$.

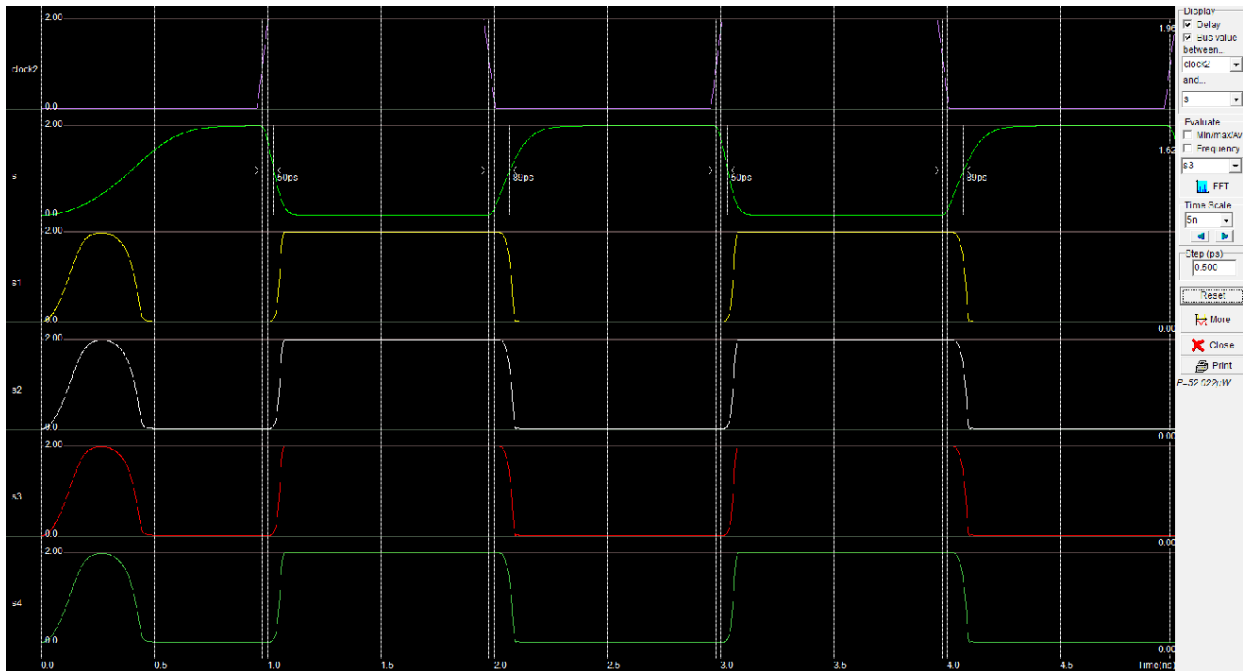
2. 2 αντιστροφείς:



Καθυστέρηση ανόδου: 63ps
Καθυστέρηση καθόδου: 31ps

Από τον τύπο υπολογισμού της θεωρητικής καθυστέρησης υπολογίζουμε:
 $(1+1*2)*\tau = 3*12,4=36,9\text{ps}$

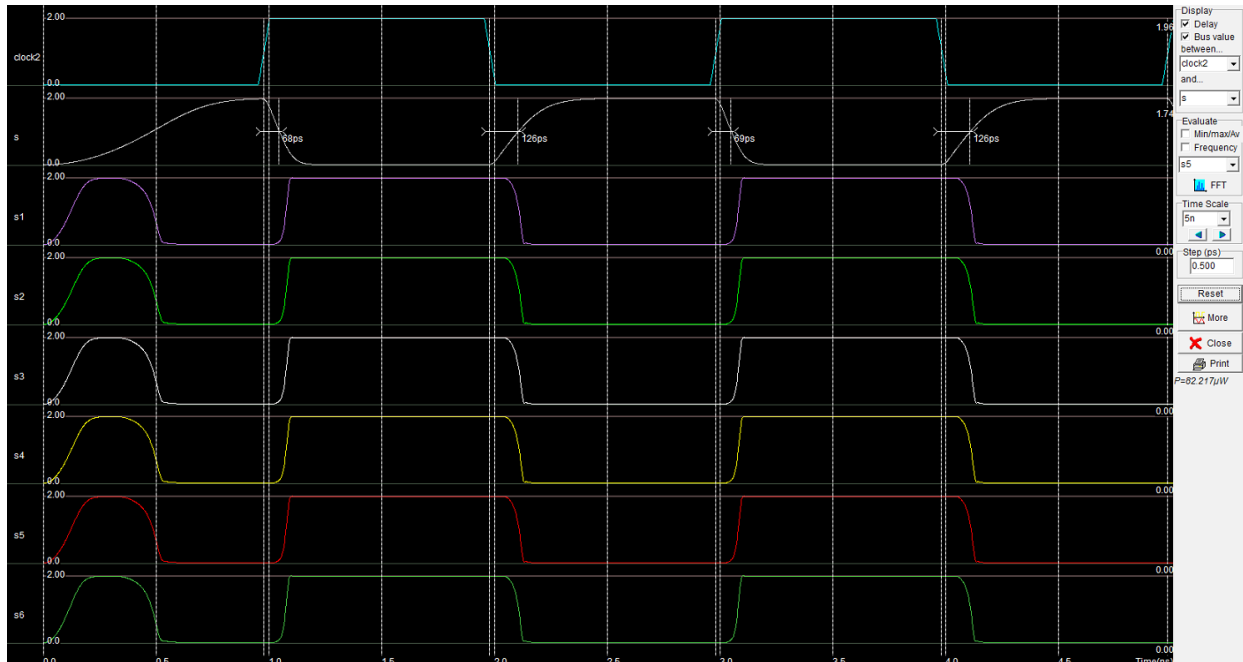
3. 4 αντιστροφείς:



Καθυστέρηση ανόδου: 80ps
Καθυστέρηση καθόδου: 60ps

Από τον τύπο υπολογισμού της θεωρητικής καθυστέρησης υπολογίζουμε:
 $(1+1*4)*\tau = 5*12,4=61,5\text{ps}$

4. 6 αντιστροφείς:



Καθυστέρηση ανόδου: 126ps

Καθυστέρηση καθόδου: 69ps

Από τον τύπο υπολογισμού της θεωρητικής καθυστέρησης υπολογίζουμε:
 $(1+1*6)*\tau = 7*12,4 = 86,1\text{ps}$

Παρατηρούμε ότι σε όλες τις περιπτώσεις υπάρχει μια σημαντική απόκλιση της θεωρητικής από την πειραματική καθυστέρηση. Επίσης όλες οι τιμές ανόδου είναι μεγαλύτερες από τις αντίστοιχες καθόδου, αν και θα έπρεπε να είναι ίσες. Αν θεωρήσουμε ως χρόνο τ την μέση τιμή αυτών των δύο χρόνων, μπορούμε να συγκρίνουμε με την θεωρητική τιμή της καθυστέρησης:

$$\tau_1 = (40+25)/2 = 32,5 \text{ ps}$$

$$\tau_2 = (63+31)/2 = 47 \text{ ps}$$

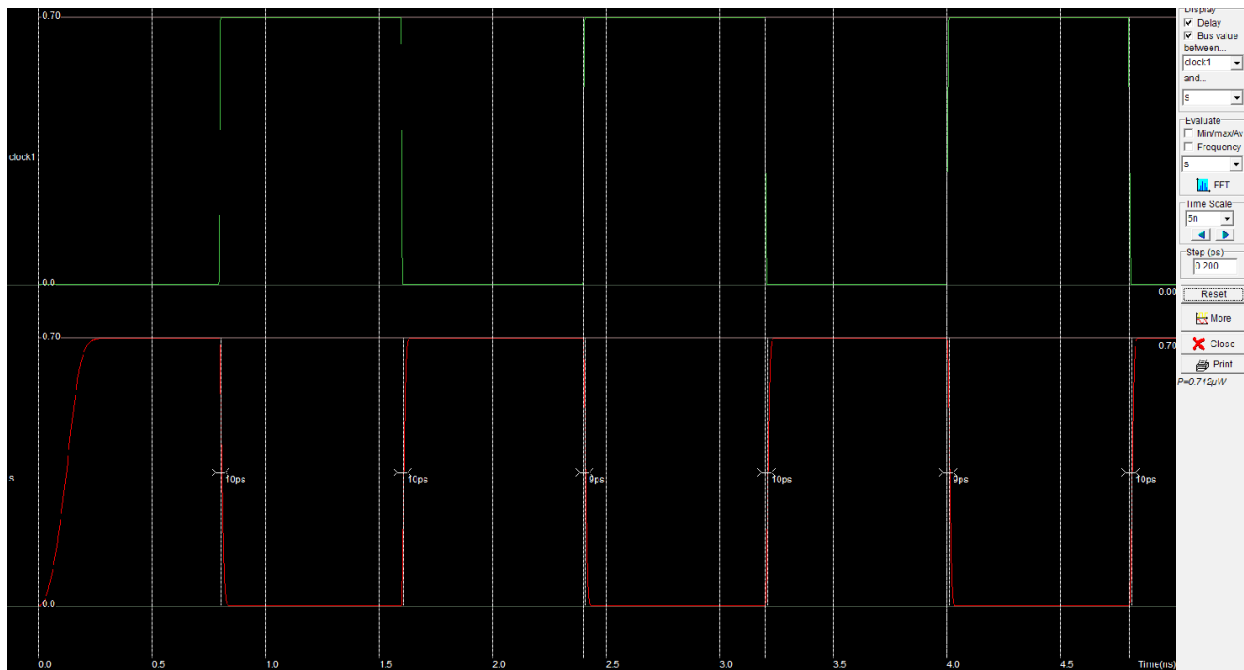
$$\tau_3 = (80+60)/2 = 70 \text{ ps}$$

$$\tau_4 = (126+69)/2 = 97,5 \text{ ps}$$

Παρατηρούμε ότι η τιμή τ προσεγγίζει σε αρκετά μεγάλο βαθμό την μέση τιμή της καθυστέρησης σε σχέση με τις καθυστερήσεις ανόδου και καθόδου.

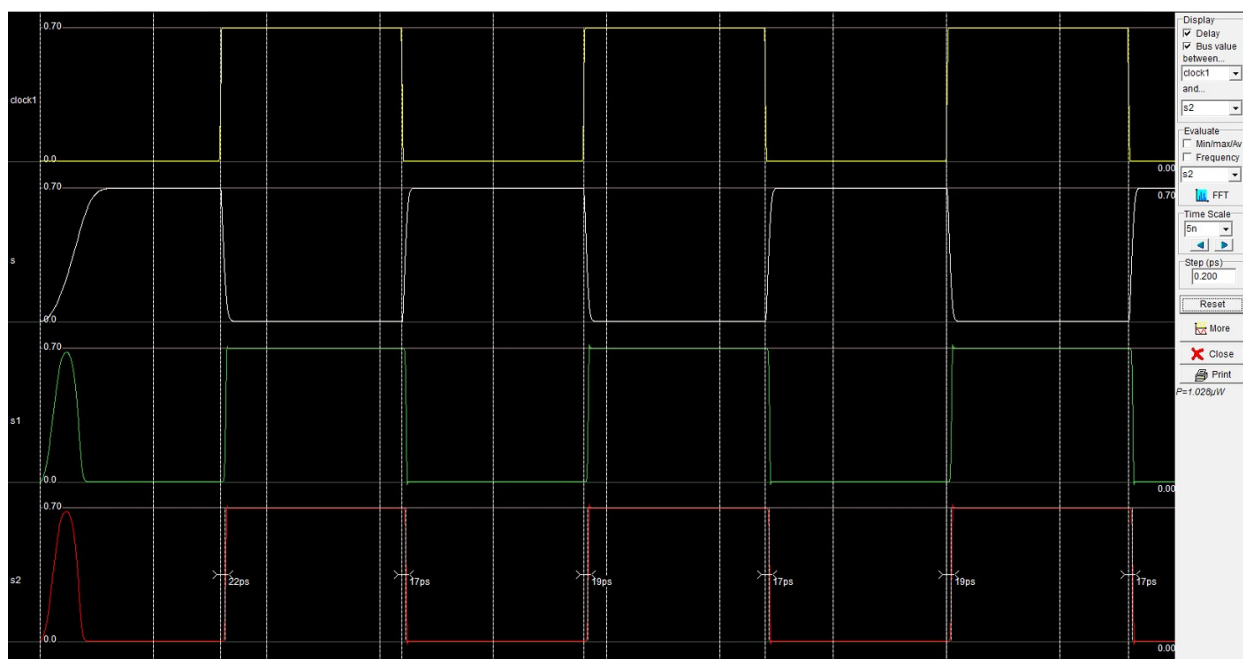
Επαναλαμβάνουμε την ανωτέρω διαδικασία, σε τεχνολογία 65nm. Λαμβάνουμε μετρήσεις για αντιστροφέα που οδηγεί 2,4 και 6 αντιστροφείς:

1. Χωρίς Οδήγηση:



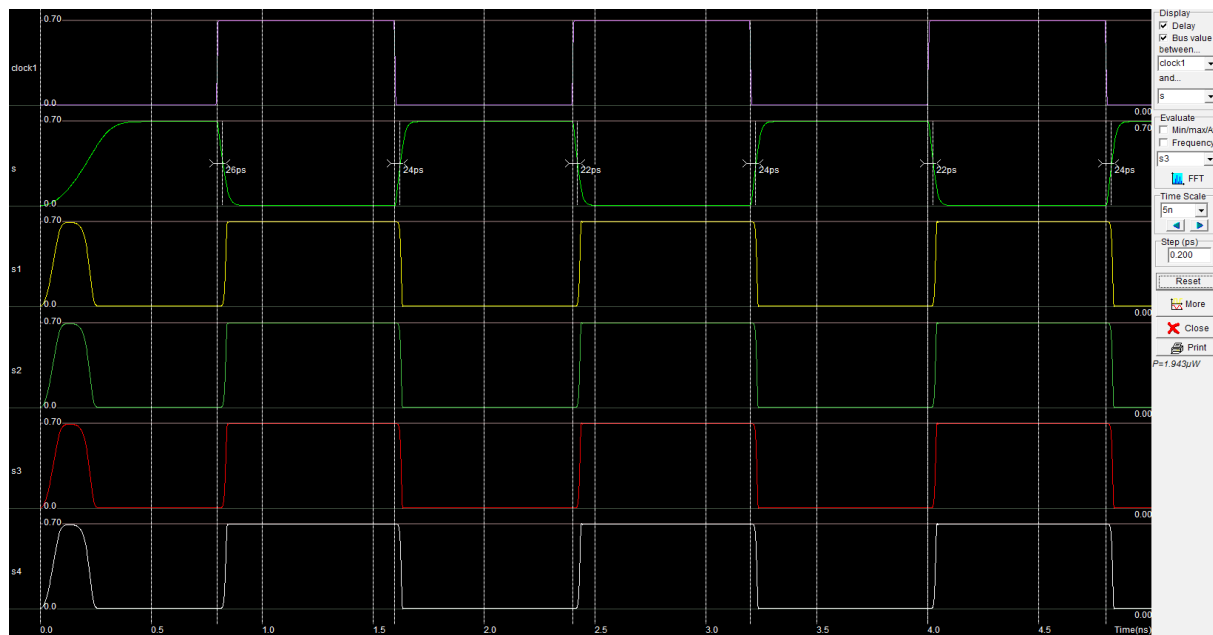
Καθυστέρηση ανόδου: 10ps
Καθυστέρηση καθόδου: 9ps

2. 2 Αντιστροφείς:



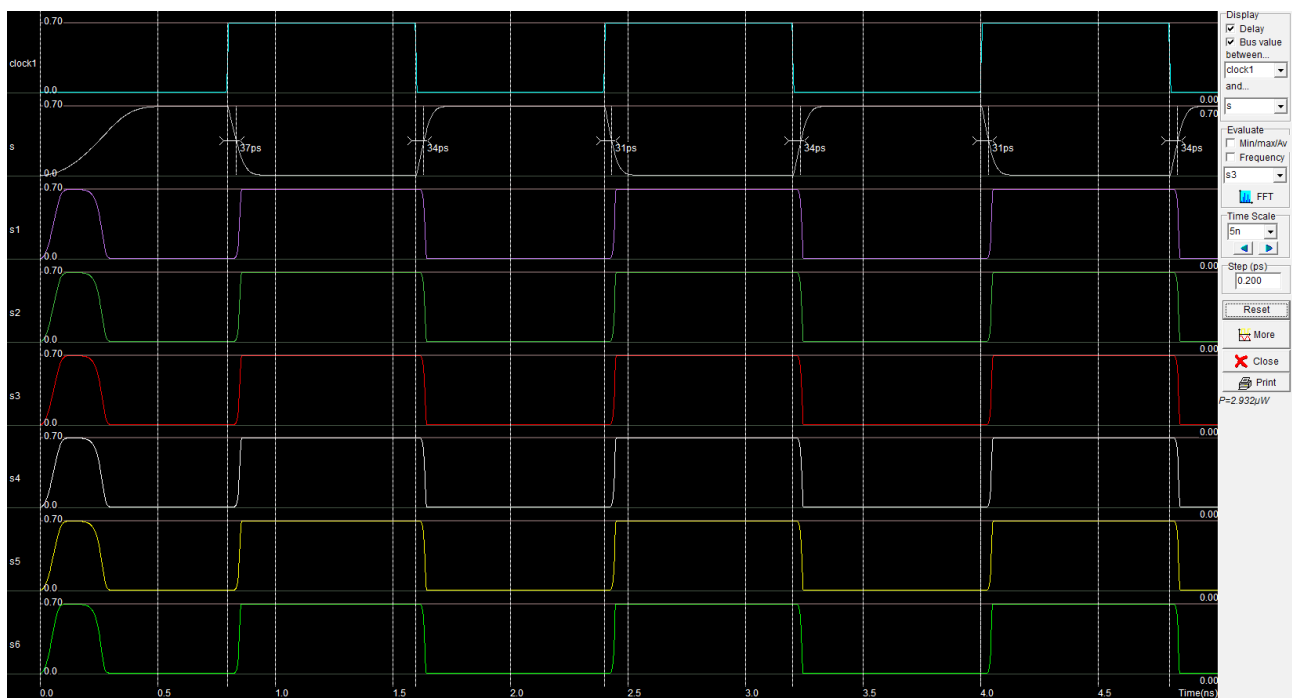
Καθυστέρηση ανόδου: 19ps
Καθυστέρηση καθόδου: 17ps

3. 4 Αντιστροφείς:



Καθυστέρηση ανόδου: 24ps
Καθυστέρηση καθόδου: 22ps

4. 6 Αντιστροφείς:



Καθυστέρηση ανόδου: 37ps
Καθυστέρηση καθόδου: 34ps

Παρατηρούμε ότι σε αυτή την περίπτωση οι χρόνοι ανόδου και καθόδου είναι πολύ πιο κοντά από ότι στην προηγούμενη τεχνολογία. Για να βρούμε την τιμή του τ :

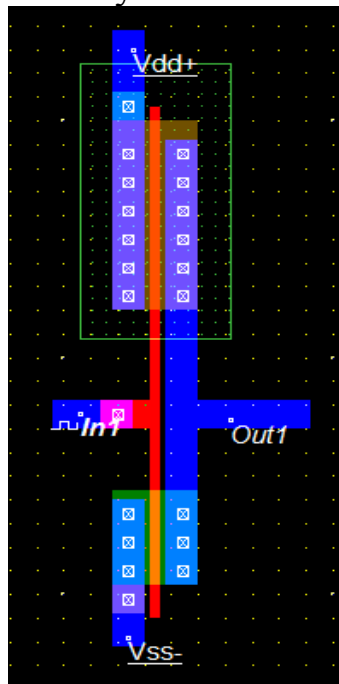
$$\begin{aligned}\tau_1 &= 10\text{ps} \\ \tau_2 &= 19/3 = 6,3\text{ps} \\ \tau_3 &= 24/5 = 4,8\text{ps} \\ \tau_4 &= 37/7 = 5,2\text{ps}\end{aligned}$$

Συνεπώς αν επιλέξουμε μια τιμή για το τ , κοντά στα 6ps δίνει μια αρκετά καλή προσέγγιση για την καθυστέρηση που επισέρχεται στο κύκλωμα.

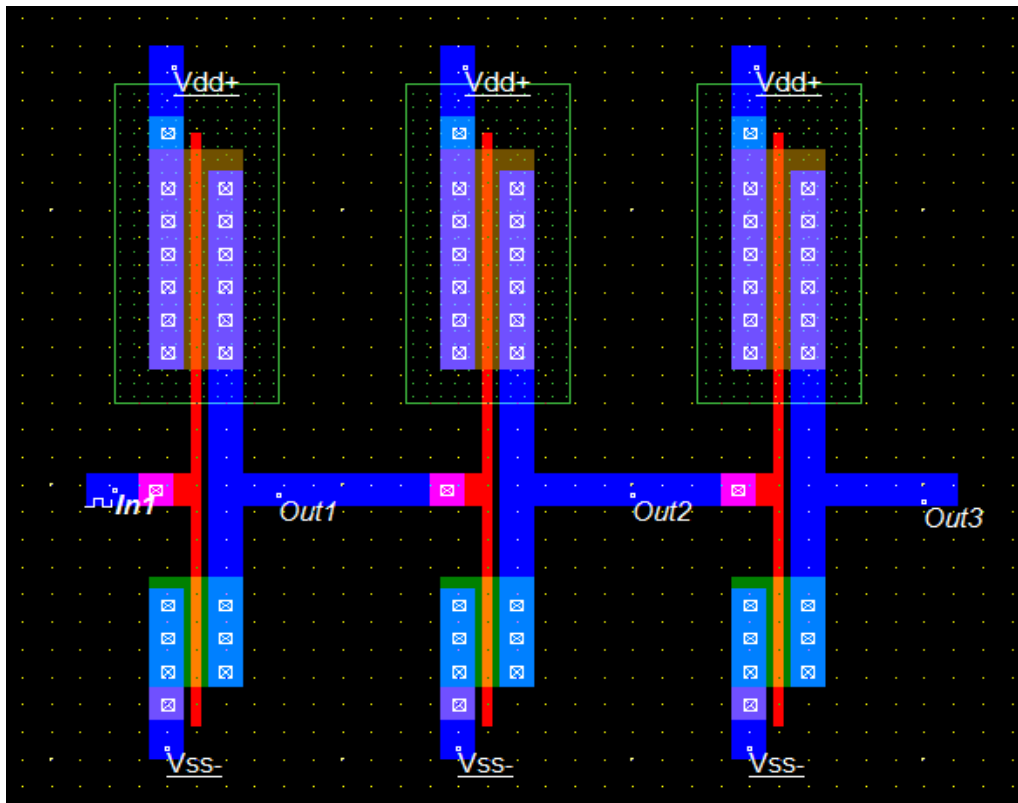
Μέρος 2:

Σχεδιάσαμε σε τεχνολογία cmos018 ένα αναστροφέα K1 με τις παρακάτω διαστάσεις:

$W_n = 1\mu$, $L_n = 0.2\mu$, $W_p = 2\mu$, $L_p = 0.2\mu$ ή $W_n = 20\lambda$, $L_n = 2\lambda$, $W_p = 40\lambda$, $L_p = 2\lambda$.
Στο παρακάτω σχήμα φαίνεται το layout του αναστροφέα.



Στο επόμενο σχήμα φαίνεται ένας αναστροφέας K1 που οδηγεί άλλους δύο όμοιοι αναστροφεείς.



Θα υπολογίσουμε θεωρητικά και πρακτικά την καθυστέρηση που εισάγει ο παραπάνω αναστροφέας:

Θεωρητικός Υπολογισμός:

Για τον θεωρητικό υπολογισμό της καθυστέρησης θα χρησιμοποιήσουμε το προσεγγιστικό γραμμικό μοντέλο σύμφωνα με το οποίο η κανονικοποιημένη καθυστέρηση διάδοσης μιας πύλης γράφεται:

$$d = f + p,$$

όπου p η ενδογενής παρασιτική καθυστέρηση της πύλης και f η καθυστέρηση φορτίου (stage effort).

Η παρασιτική καθυστέρηση είναι ο χρόνος που χρειάζεται μια πύλη να οδηγήσει τη δική της εσωτερική χωρητικότητα διάχυσης και ιδανικά είναι ανεξάρτητη από το μέγεθος της πύλης. Αυτό γιατί, αν και αυξήθηκε το μέγεθος της πύλης και συνεπώς μειώθηκε η αντίσταση, παράλληλα αυξήθηκε και η χωρητικότητα. Άρα $p = 1$.

Η f δίνεται από τον τύπο:

$$f = gh,$$

όπου g η πολυπλοκότητα της πύλης και h η βεντάγια εξόδου (fan-out) που εξαρτάται από το χωρητικό φορτίο εξόδου της πύλης.

Ο ελάχιστος αναστροφέας ορίζεται ότι έχει λογικό φόρτο 1. ($g=1$) και χωρητικότητα διάχυσης C .

Στην περίπτωση μας το nMOS τρανζίστορ έχει πλάτος 20λ αντί για 4λ. Συνεπώς η χωρητικότητα πύλης του θα είναι 5C. Αντίστοιχα η χωρητικότητα στο pMOS θα είναι 10C, άρα η χωρητικότητα εισόδου του αντιστροφέα K1 θα είναι 15C. Αφού ο λογικός φόρτος είναι η χωρητικότητα εισόδου του K1 προς τη χωρητικότητα εισόδου του μοναδιαίου αναστροφέα, ο λογικός φόρτος θα είναι $g1 = 15C/3C = 5$.

Επίσης, ο ηλεκτρικός φόρτος h για μια πύλη που οδηγεί πανομοιότυπα αντίγραφα της, ορίζεται ως ο αριθμός των αντιγράφων. Άρα στη συγκεκριμένη περίπτωση που ο πρώτος K1 οδηγεί ένα αντίγραφο θα είναι $h=1$.

Επομένως $d1 = 5*1+1 = 6\tau = 6*12.4 \text{ ps} = 74.4 \text{ ps}$.

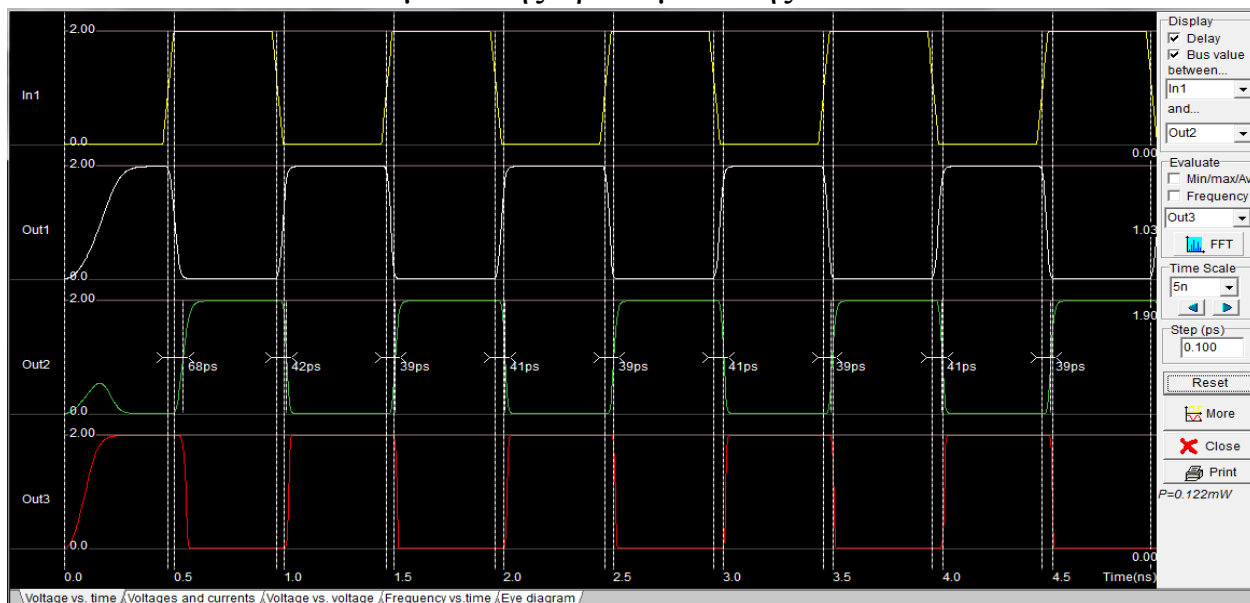
Για το 2ο αντιστροφέα, η χωρητικότητα εισόδου θα είναι $15C+15C = 30C$.

15C προέρχονται από τις χωρητικότητες των τρανζίστορ του 1ου K1, και άλλα 15C από τις αντίστοιχες χωρητικότητες των τρανζίστορ του 2ου K1. Συνεπώς ο λογικός φόρτος για το 2ο τρανζίστορ K1 θα είναι: $g2 = 30C/3C = 10$, άρα $d2 = 10*1+1 = 11\tau = 136.4 \text{ ps}$ και τελικά η συνολική καθυστέρηση είναι:

$d = d1+d2 = 74.4 + 136.4 = 210 \text{ ps}$.

Πρακτικός Υπολογισμός:

Ακολουθούν τα αποτελέσματα της προσομοίωσης από το Microwind:

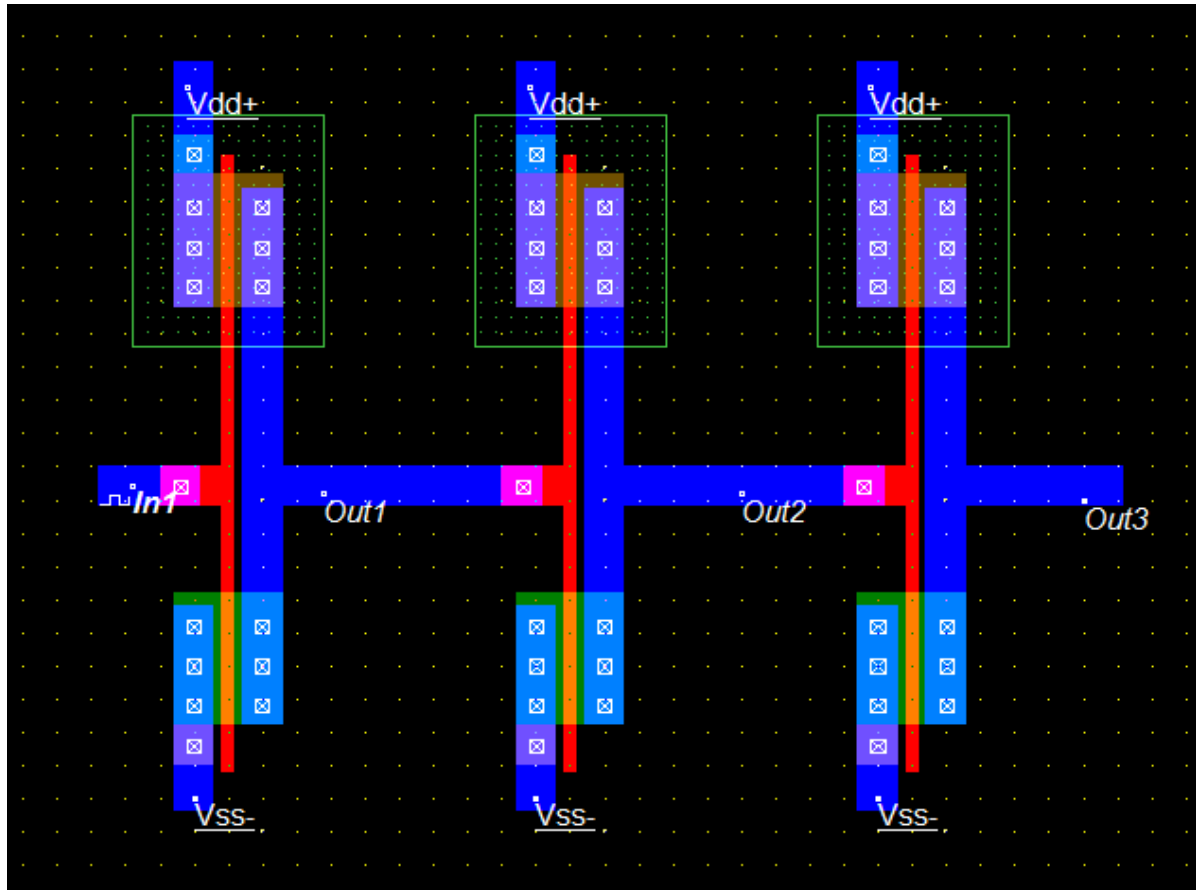


Παρατηρούμε ότι με $\text{step}(\text{ps}) = 0.100$, η καθυστέρηση ανόδου είναι 41ps, ενώ η καθυστέρηση καθόδου λίγο μικρότερη: 39ps, παρόλο που στο κύκλωμα θα ήταν επιθυμητό να ταυτίζονται.

Συγκρίνοντας τα αποτελέσματα από την προσομοίωση με αυτά του θεωρητικού υπολογισμού συμπεραίνουμε ότι υπάρχει πάρα πολύ μεγάλη διαφορά.

Τώρα κατασκευάσαμε και πάλι το ίδιο κύκλωμα με πριν, στην ίδια τεχνολογία, με τη διαφορά ότι χρησιμοποιήσαμε διαφορετικούς αναστροφείς (K2). Συγκεκριμένα, στον αναστροφέα αυτού του τύπου, το pMOS τρανζίστορ έχει το ίδιο πλάτος με το nMOS και όχι διπλάσιο όπως στην προηγούμενη περίπτωση.

Το layout αυτού του κυκλώματος φαίνεται στο σχήμα που ακολουθεί:



Υπολογίζουμε και πάλι τη καθυστέρηση θεωρητικά και πρακτικά.

Θεωρητικός Υπολογισμός:

Για το 1ο K1, η χωρητικότητα εισόδου θα είναι $10C$. $5C$ λόγω του 5πλάσιου πλάτους του nMOS σε σύγκριση με το μοναδιαίο και άλλα $5C$ λόγω του Pmos για τον ίδιο λόγο. Άρα $g1 = 10C/3C = 10/3 \sim 3.33$.

Αντίστοιχα, όπως και πριν $g2 = 20C/3C \sim 6.66$.

Η παρασιτική χωρητικότητα δεν αλλάζει ($p=1$), και $h = 1$, αφού κάθε αντιστροφέας οδηγεί έναν όμοιό του.

Άρα οι αντίστοιχες καθυστερήσεις θα είναι:

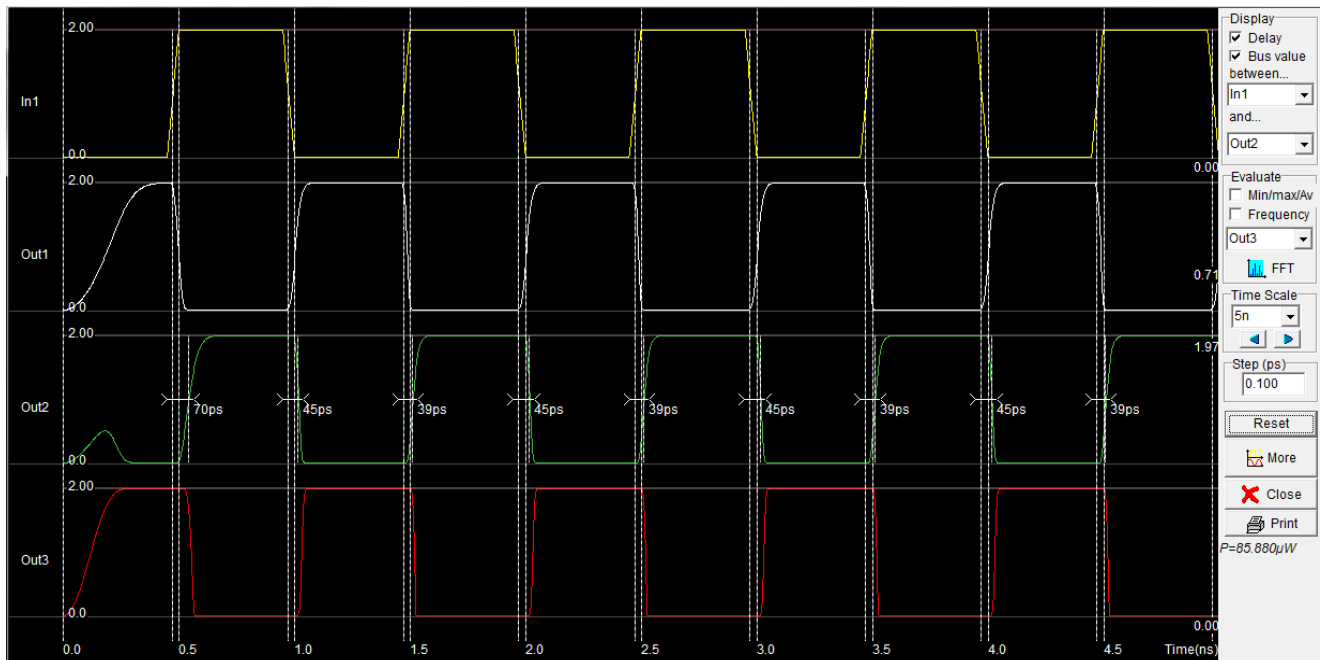
$$d1 = g1 \cdot h1 + p = 3.33 \cdot 1 + 1 = 4.33\tau = 4.33 \cdot 12.4 = 53.69\text{ps}$$

$$d2 = g2 \cdot h2 + p = 6.66 \cdot 1 + 1 = 7.66\tau = 7.66 \cdot 12.4 = 94.98\text{ps}$$

και τελικά $d = d1 + d2 = 148.67\text{ps}$.

Πρακτικός Υπολογισμός:

Ακολουθούν τα αποτελέσματα της προσομοίωσης σ' αυτήν την περίπτωση με το Microwind.



Η προσομοίωση έδειξε τώρα ότι η καθυστέρηση ανόδου είναι 45ps ενώ η καθυστέρηση καθόδου 39ps, δηλαδή μεγαλύτερη από αυτήν του προηγούμενου κυκλώματος, όπου χρησιμοποιήσαμε τους K1 αναστροφείς. Είναι λογικό να υπάρχει μεγαλύτερη καθυστέρηση, καθώς μειώνοντας το πλάτος του pMOS στο μισό και κάνοντάς το ίσο με αυτό του nMOS, η αντίσταση που αντιστοιχεί στο pull up κύκλωμα θα είναι $R/2$, ενώ αυτή που αντιστοιχεί στο pull down θα είναι R . Έτσι, για τη μετάβαση από το λογικό 0 στο λογικό 1, θα έχουμε μεγαλύτερη καθυστέρηση.

Παρατηρούμε όμως και πάλι ότι τα αποτελέσματα της προσομοίωσης δεν μοιάζουν καθόλου με αυτά των θεωρητικών υπολογισμών.