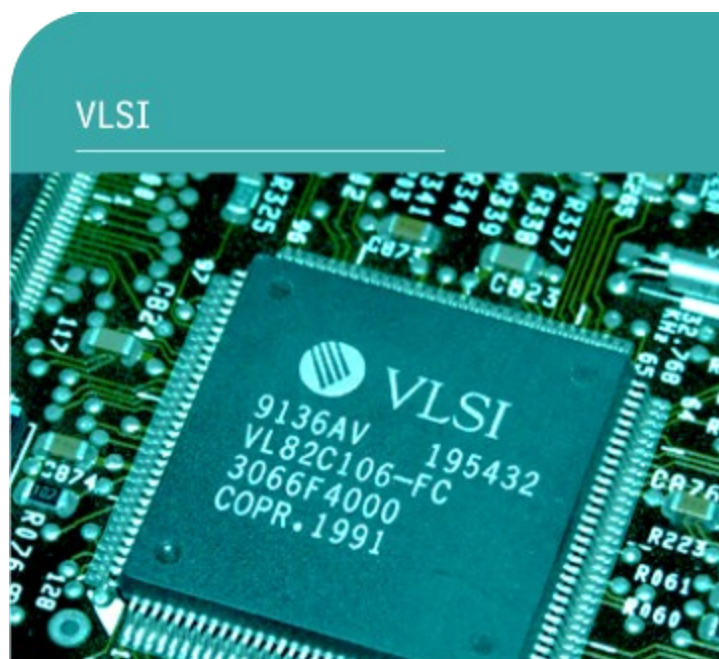


6η Εργαστηριακή άσκηση

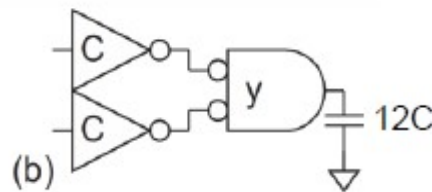
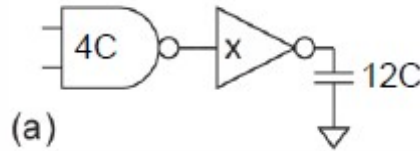


**Θεωρητικός και πρακτικός υπολογισμός καθυστερήσεων σε
λογικά δίκτυα πολλών σταδίων**

Τζανάκη Βασιλική (03108062)
Τζίμα Σοφία (03108052)
31/01/2012

Τα ζητούμενα της εργαστηριακής άσκησης

1.



Στα παραπάνω σχήματα (a) και (b) βλέπουμε δύο διαφορετικές σχεδιάσεις της πύλης AND. Παρατηρούμε ότι και στις δύο αυτές περιπτώσεις η σχεδίαση περιλαμβάνει δύο στάδια. Στην πρώτη έχουμε μία πύλη NAND και έναν αντιστροφέα, ενώ στη δεύτερη έχουμε δύο αντιστροφείς στις εισόδους και έπειτα μία πύλη NOR. Επειδή γνωρίζουμε ότι η πύλη NAND είναι ταχύτερη από την NOR, υποθέτουμε ότι η πρώτη σχεδίαση θα έχει μικρότερη καθυστέρηση από τη δεύτερη.

Για να επιβεβαιώσουμε τον παραπάνω ισχυρισμό θα υπολογίσουμε και στις δύο περιπτώσεις το συνολικό φόρτο μονοπατιού, την καθυστέρηση και τις χωρητικότητες εισόδου x και y , ώστε να επιτευχθεί αυτή η καθυστέρηση.

(α)

Ισχύουν:

$$g_1 = 4/3, h_1 = x/4C$$

$$g_2 = 1, h_2 = 12C/x$$

Άρα ο συνολικός φόρτος είναι:

$$F = f_1 * f_2 = g_1 * h_1 * g_2 * h_2 = 4$$

Για να έχουμε τη μικρότερη καθυστέρηση θα είναι:

$$f_1 = f_2 = (F)^{(1/2)} = 2.$$

Επομένως:

$$f_2 = g_2 * h_2 \Rightarrow 2 = 12C/x \Rightarrow x = 6C.$$

Άρα η χωρητικότητα εισόδου του αντιστροφέα είναι $x=6C$.

Αντικαθιστώντας το x στους αρχικούς τύπους με τα f_1, f_2 επιβεβαιώνουμε ότι τους επαληθεύει. Πράγματι:

$$f_1 = g_1 * h_1 = 4/3 * 6C/4C = 2 \text{ και}$$

$$f_2 = g_2 * h_2 = 1 * 12C/6C = 2$$

Η συνολική καθυστέρηση D είναι:

$$D = f_1 + f_2 + p_1 + p_2 = 2 + 2 + 2 + 1 = 7 \text{ (}\tau = 3RC\text{)}.$$

(β) Ακολουθούμε την ίδια διαδικασία και σε αυτήν την περίπτωση:

Ισχύουν:

$$g_1 = 1, h_1 = y/3C$$

$$g_2 = 5/3, h_2 = 36C/y$$

Άρα ο συνολικός φόρτος είναι:

$$F = f_1 * f_2 = g_1 * h_1 * g_2 * h_2 = 20$$

Θέτοντας $f_1=5$ και $f_2=4$, υπολογίζουμε το y :

$$f_2 = g_2 * h_2 \Rightarrow 4 = (5/3) * (36C/y) \Rightarrow y = 15C.$$

Άρα η χωρητικότητα εισόδου της πύλης NOR είναι $y=15C$.

Αντικαθιστώντας το x στους αρχικούς τύπους με τα f_1, f_2 επιβεβαιώνουμε ότι τους επαληθεύει. Πράγματι:

$$f_1 = g_1 * h_1 = 1 * 5C/C = 5 \text{ και}$$

$$f_2 = g_2 * h_2 = (5/3) * (12C/5C) = 4.$$

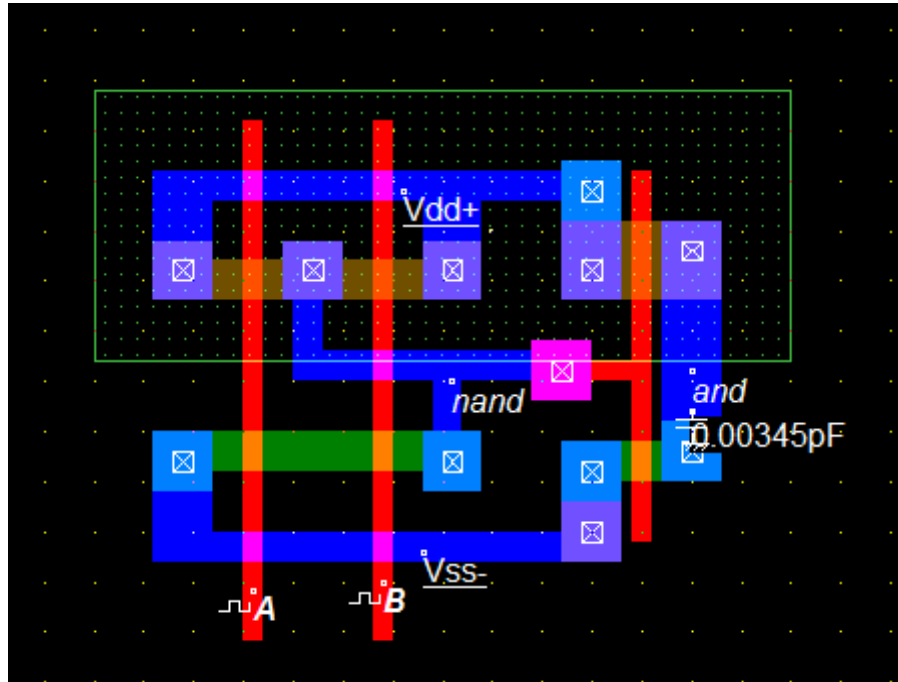
Η συνολική καθυστέρηση D είναι:

$$D = f_1 + f_2 + p_1 + p_2 = 5 + 4 + 1 + 2 = 12 \text{ (}\tau = 3RC\text{)}.$$

Από τον υπολογισμό της καθυστέρησης και στις δύο περιπτώσεις, συμπεραίνουμε ότι όντως η πρώτη σχεδίαση οδηγεί σε ταχύτερη πύλη AND.

Σχεδιάζουμε τώρα την πύλη AND με τους παραπάνω τρόπους χρησιμοποιώντας το Microwind.

(α) Το layout της πύλης and φαίνεται στο παρακάτω σχήμα.



Για την πύλη NAND γνωρίζουμε ότι η χωρητικότητα εισόδου είναι $4C$.

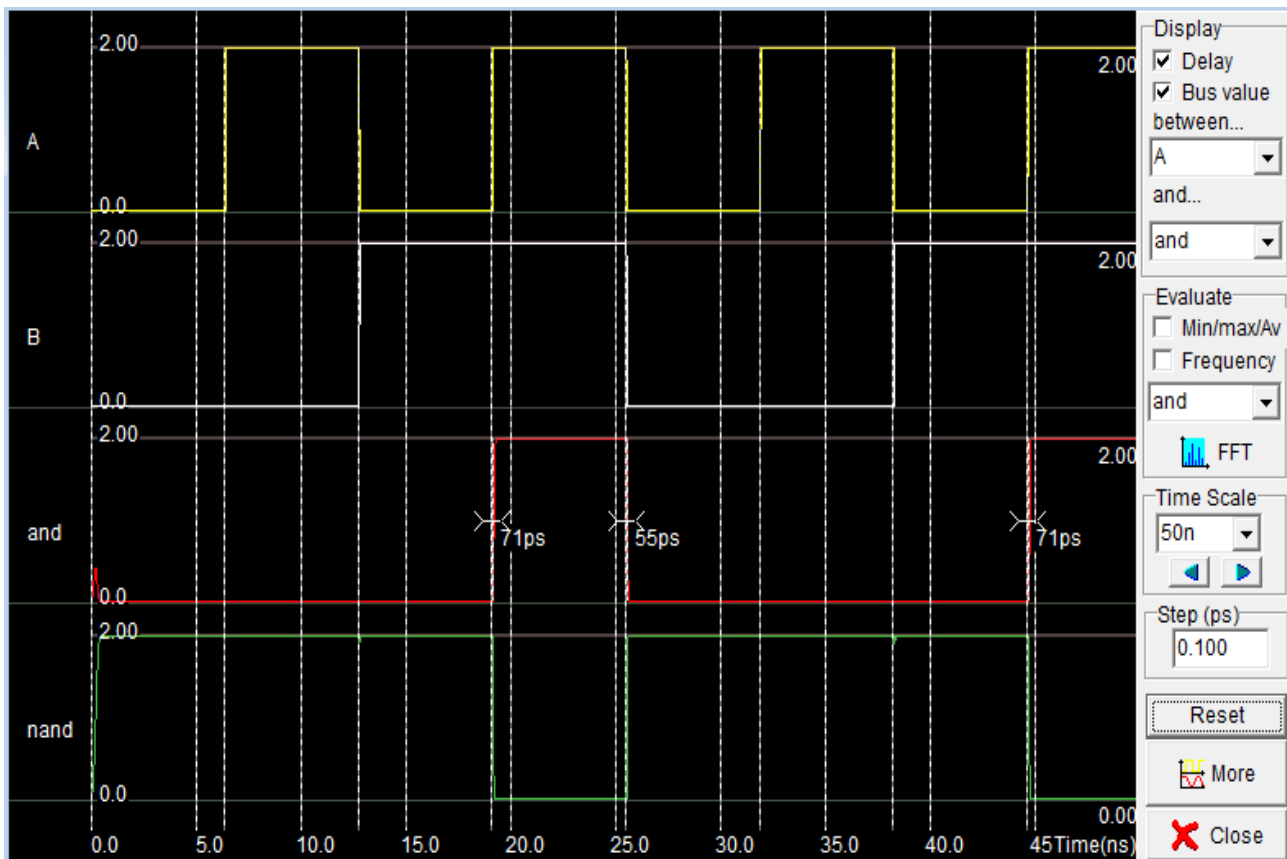
Επειδή για μία σωστά σχεδιασμένη πύλη NAND πρέπει να ισχύει η αναλογία $2 - 2$ στις διαστάσεις των τρανζίστορ σχεδιάζουμε τα τρανζίστορ της ως εξής. Το μοναδιαίο τρανζίστορ έχει ελάχιστο πλάτος 2λ . Συνεπώς θα σχεδιάσουμε τρανζίστορ με το ελάχιστο μήκος (2λ) και με πλάτος $2 \cdot 2\lambda = 4\lambda = 0.4\mu$ για τεχνολογία cmos018.

Αντίστοιχα από τους παραπάνω θεωρητικούς υπολογισμούς προέκυψε ότι η χωρητικότητα εισόδου του αντιστροφέα είναι $6C$ και επίσης γνωρίζουμε ότι στον αντιστροφέα το pMOS πρέπει να έχει διπλάσιο πλάτος από το nMOS. Συνεπώς στη συγκεκριμένη περίπτωση θα πρέπει να διπλασιάσουμε τις διαστάσεις του ελάχιστου αναστροφέα, άρα το πλάτος του pMOS θα είναι $2 \cdot 4\lambda = 8\lambda = 0.8\mu$ και του nMOS $2 \cdot 2\lambda = 4\lambda = 0.4\mu$.

Τέλος, έχουμε ότι το φορτίο εξόδου είναι $12C$. Την χωρητικότητα αυτή μπορούμε να το προσθέσουμε στην έξοδο του αντιστροφέα, αφού μας δίνεται η δυνατότητα να βάλουμε εικονική χωρητικότητα μέσω του Microwind. Βλέποντας με του κουμπί βραχυκυκλώματος ότι η χωρητικότητα εισόδου στην NAND είναι $1.15fF$ και γνωρίζοντας ότι αυτή

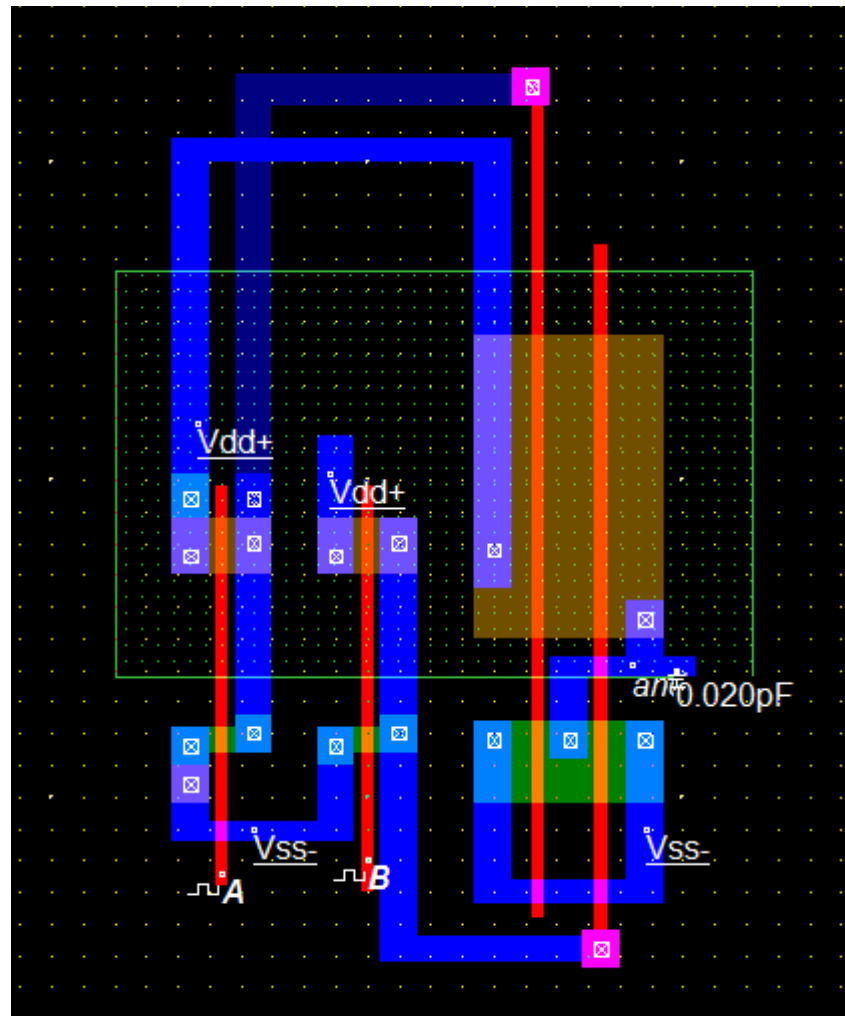
αντιστοιχεί σε $4C$, υπολογίζουμε το C , που είναι ίσο με $0,2875$. Άρα το φορτίο εξόδου θα είναι $12 \cdot 0,2875 = 3,45 \text{ pF} = 0,00345 \text{ fF}$.

Η προσομοίωση του κυκλώματος φαίνεται στο σχήμα που ακολουθεί:



Βλέπουμε ότι όντως έτσι η πύλη AND εκτελεί σωστά τη λειτουργία της και στη συγκεκριμένη περίπτωση έχουμε καθυστέρηση ανόδου 71ps και καθυστέρηση καθόδου 55ps, ενώ θεωρητικά θα έπρεπε να είναι ίσες.

(β) Το layout της δεύτερης σχεδίασης φαίνεται στο σχήμα που ακολουθεί:



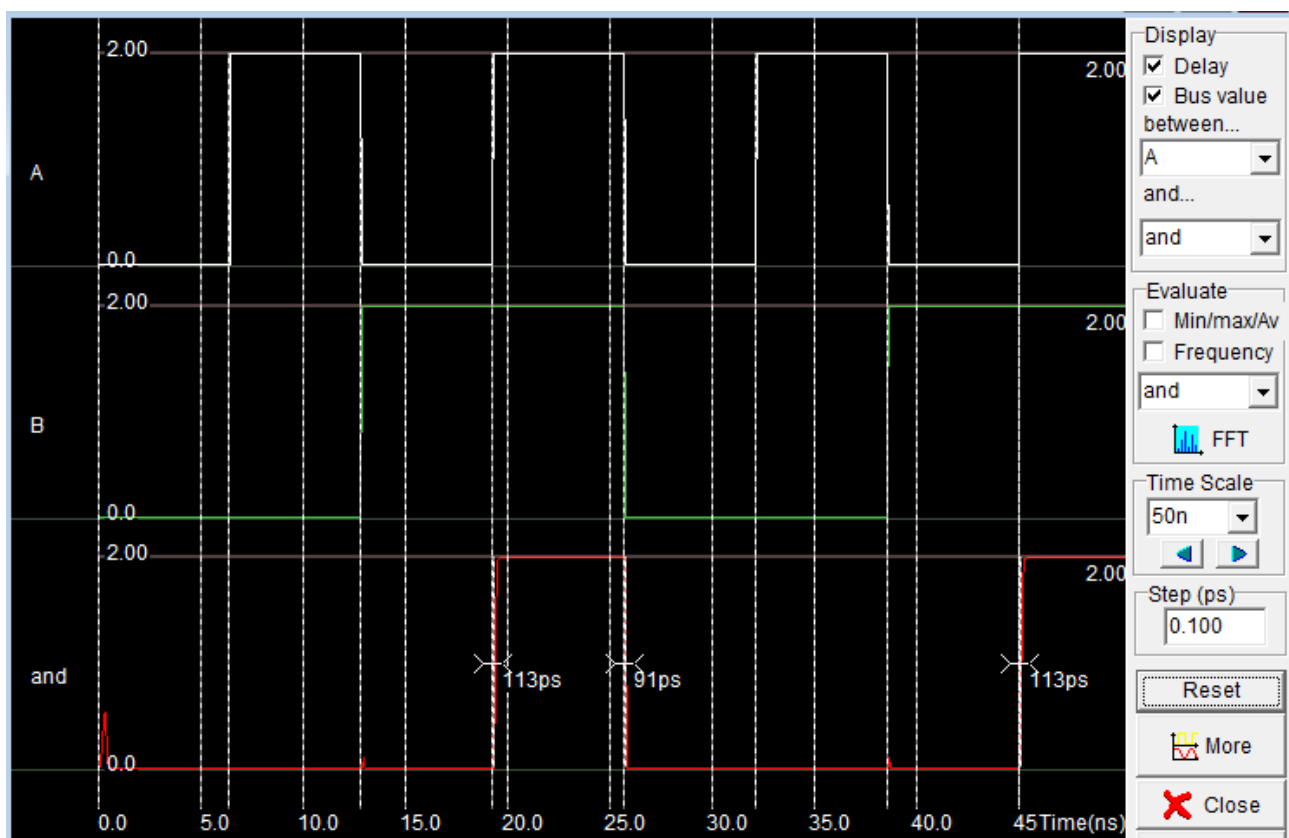
Για το σχεδιασμό της πύλης ακολουθήσαμε την ίδια λογική με πριν. Για καθέναν από τους δύο αναστροφείς η χωρητικότητά του είναι $3C$. Επειδή η αναλογία των πλατών των pMOS και nMOS στους αναστροφείς είναι $2 - 1$, έτσι ώστε να έχουμε την ίδια ενεργή αντίσταση R και στο pull up και στο pull down κύκλωμα, συμπεραίνουμε ότι στην προκειμένη περίπτωση πρέπει να σχεδιάσουμε δύο ελάχιστους αναστροφείς. Ο μικρότερος αναστροφέας που μπορούμε να σχεδιάσουμε χωρίς να υπάρξει λάθος σχεδίασης σύμφωνα τον design rule checker αποτελείται από nMOS πλάτους $4\lambda = 0.4\mu$. Συνεπώς το πλάτος των pMOS θα είναι $2 \cdot 4\lambda = 8\lambda = 8\mu$.

Στη συνέχεια για το σχεδιασμό της NOR, λαμβάνουμε υπόψη τους θεωρητικούς υπολογισμούς από όπου βρήκαμε ότι η χωρητικότητα εισόδου της είναι $15C$. Για τη NOR γνωρίζουμε ότι η αναλογία των

πλατών των pMOS και nMOS είναι 4 προς 1. Άρα μία ελάχιστη πύλη NOR με χωρητικότητα $5C$, θα πρέπει να έχει nMOS με διαστάσεις $4\lambda = 0.4\mu$ και pMOS με διαστάσεις $4*4\lambda = 16\lambda = 1.6\mu$. Συνεπώς για να έχουμε την τριπλάσια χωρητικότητα θα πρέπει να τριπλασιάσουμε τα πλάτη των τρανζίστορ. Έτσι τελικά σχεδιάζουμε το nMOS με πλάτος $3*4\lambda = 12\lambda = 1.2\mu$ και το pMOS με πλάτος $4*12 = 48\lambda = 4.8\mu$. Το μήκος L σε όλα τα τρανζίστορ είναι το ελάχιστο επιτρεπτό, δηλαδή $L = 2\lambda = 0.2\mu$.

Τέλος, υπολογίζουμε το φορτίο εξόδου που πρέπει να προστεθεί στην έξοδο της πύλης NOR. Ακολουθώντας την ίδια διαδικασία με πριν βλέπουμε ότι η χωρητικότητα εισόδου του αντιστροφέα είναι 1.82 fF και γνωρίζουμε ότι αυτή αντιστοιχεί σε $3C$. Επομένως $C = 0.6$ περίπου. Στην έξοδο σύμφωνα με την εκφώνηση έχουμε φορτίο χωρητικότητας $35C = 35*0.6 = 0.21\text{ fF} = 0.0021\text{ pF}$.

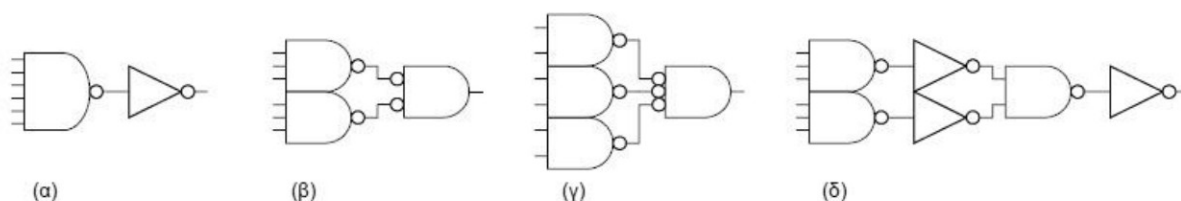
Στο ακόλουθο σχήμα φαίνεται η προσομοίωση του κυκλώματος που επιβεβαιώνει την ορθή λειτουργία της πύλης.



Όπως ήταν αναμενόμενη η καθυστέρηση σε αυτήν την περίπτωση είναι μεγαλύτερη από πριν. Συγκεκριμένα, η καθυστέρηση ανόδου είναι 113ps, ενώ η καθυστέρηση καθόδου 91ps.

2.

Έχουμε 4 τρόπους για να υλοποιήσουμε μια πύλη AND -6 εισόδων:



Κύκλωμα α

Ο λογικός φόρτος G της πύλης **NAND -6 εισόδων** είναι $\frac{8}{3}$ ενώ του ελαχίστου **αναστροφέα** είναι 1. Ο συνολικός λογικός φόρτος του (α) είναι $G = \frac{8}{3} \times 1 = \frac{8}{3}$.

Η ενδογενής παρασιτική καθυστέρηση P για τις δύο πύλες είναι 6 και 1 αντίστοιχα.

Ο φόρτος διακλάδωσης είναι 1.

Άρα ο συνολικός φόρτος διαδρομής είναι $F = f_1 * f_2 = \left(\frac{8}{3}\right) \times H$.

Για να γίνει ελάχιστη η καθυστέρηση πρέπει όλα τα επιμέρους f_i να είναι ίσα και συγκεκριμένα: $f_1 = f_2 = F^{\left(\frac{1}{2}\right)} = \left(\frac{8}{3} \times H\right)^{\left(\frac{1}{2}\right)}$. Για $H=18$ ισούται με 6,92.

Η ελάχιστη καθυστέρηση ορίζεται από τον τύπο $D_{min} = n \times \sqrt{F} + P$ άρα σε αυτή την περίπτωση $D = 2 \times 6,92 + 7 = 20,85$.

Για τεχνολογία CMOS 0.18 ξέρουμε ότι $\tau=12,4$ συνεπώς η καθυστέρηση που περιμένουμε θα είναι 258,619psec.

Κύκλωμα β

Ο λογικός φόρτος G, των πυλών **NAND-3** εισόδων είναι $\frac{5}{3}$ και της πύλης **NOR-2** εισόδων είναι $\frac{5}{3}$.

Η ενδογενής παρασιτική καθυστέρηση είναι 3 για το πρώτο στάδιο και 2 για το επόμενο άρα $P=5$.

Ο φόρτος διακλάδωσης είναι 1.

Ο συνολικός φόρτος διαδρομής για κάθε μονοπάτι είναι $F=f_1 * f_2 =$

$$\left(\frac{5}{3}\right) \times \left(\frac{5}{3}\right) \times H. \text{ Για να ελαχιστοποιηθεί θέλουμε } F^{(\frac{1}{2})} = \left(\frac{25}{9} \times H\right)^{(\frac{1}{2})} = \frac{5}{3} \times H^{(\frac{1}{2})}. \text{ Για}$$

$$H=18 \quad f=7,07.$$

$$\text{Τελικά η καθυστέρηση για κάθε μονοπάτι είναι } D=2 \times 7,07 + 5 = 19,14$$

Για $\tau=12,4$ η καθυστέρηση θα είναι 237,236psec.

Κύκλωμα δ

Σ αυτό το κύκλωμα έχουμε 4 επίπεδα, άρα $N=4$.

Ο λογικός φόρτος κάθε σταδίου είναι $\frac{5}{3}$, 1, $\frac{4}{3}$, 1.

Άρα ο συνολικός φόρτος διαδρομής είναι $F = \left(\frac{5}{3}\right) \times 1 \times \left(\frac{4}{3}\right) \times 1 \times H = \frac{20}{9} \times H$.

Η παρασιτική ενδογενής καθυστέρηση ισούται με $3+1+2+1=7$.

Ο φόρτος διακλάδωσης είναι 1.

Για να είναι ελάχιστη η καθυστέρηση θέλουμε $f=$

$$F^{(\frac{1}{2})} = \left(\frac{20}{9} \times H\right)^{(\frac{1}{2})} = 1,49 \times H^{(\frac{1}{2})} = 6,32$$

$$\text{Συνολικά η καθυστέρηση μονοπατιού είναι } D_{min} = 4 \times 6,32 + 7 = 32,3.$$

Για $\tau=12,4$ η καθυστέρηση θα είναι 400,52.

Παρατηρούμε ότι από τις ανωτέρω υλοποιήσεις, αυτή που εισάγει θεωρητικά μικρότερη καθυστέρηση είναι η δεύτερη.

Πειραματικά:

Όλα τα κατωτέρω έγιναν σε τεχνολογία CMOS 0.18:

α)

Γνωρίζουμε ότι το C_{in} της πύλης AND-6 εισόδων είναι 8C.

Συνεπώς το C_{out} του κυκλώματος είναι $C_{in} \cdot H = 8 \cdot 18 = 144$, όπου C_{out} αντιστοιχεί στην χωρητικότητα εξόδου του αντιστροφέα.

Όμως από τον πίνακα έχουμε ότι για τον αντιστροφέα $C_{in} = \frac{g \times C_{out}}{F}$. Το $g=1$, εφόσον έχουμε αντιστροφέα και τελικά $C_{in} = \frac{C_{out}}{F} = \frac{144 \times C}{8} = 18C$.

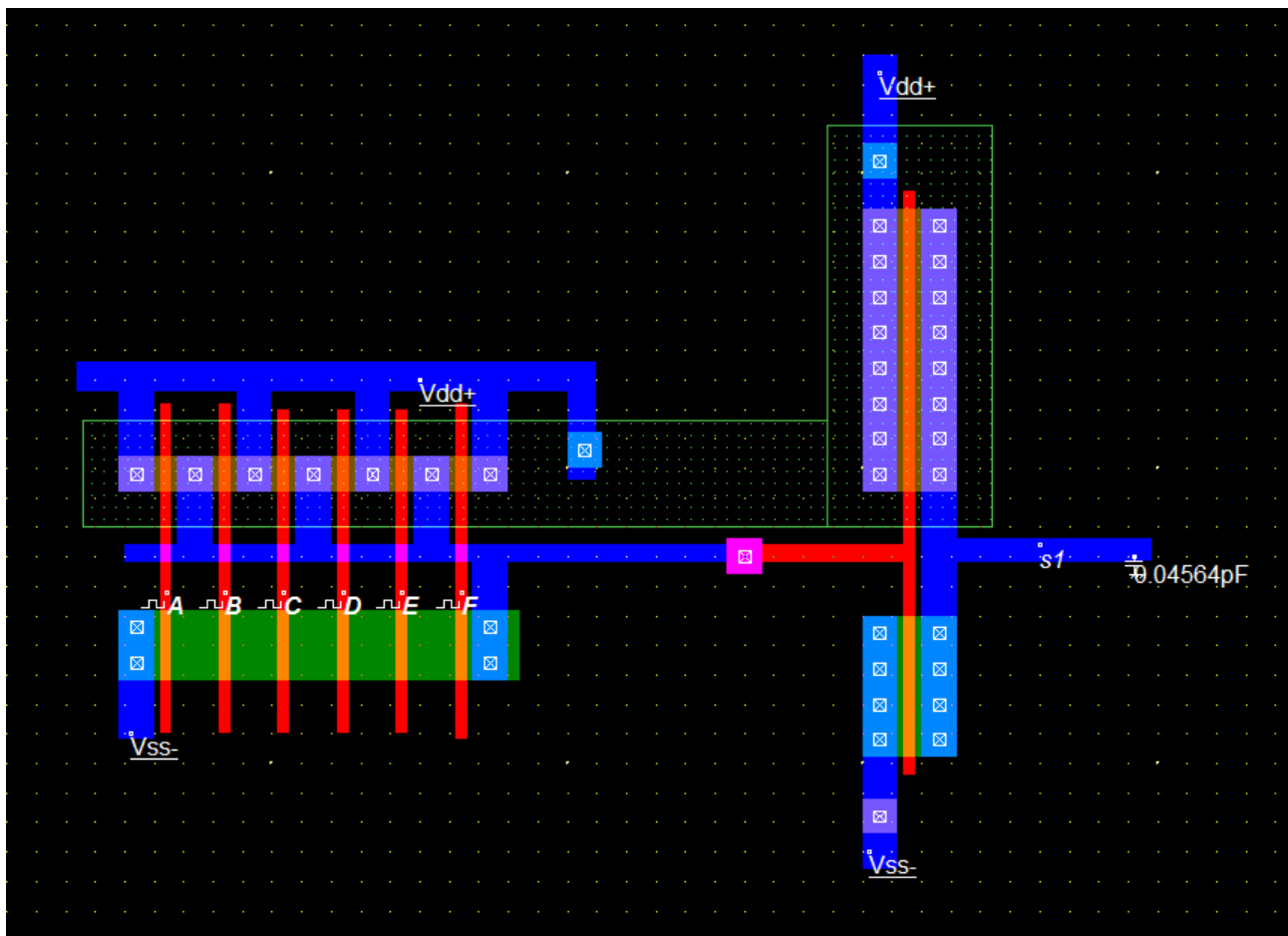
Έτσι, υπολογίζουμε τις διαστάσεις των transistor για την πύλη NAND:
Η πύλη αυτή είναι ελάχιστη συνεπώς $W_p = 2L$ και $W_n = 6L$.

Για τον αντιστροφέα γνωρίζουμε ότι η αντιστοιχία του μεγέθους των transistor είναι 2:1 άρα για τις διαστάσεις τους ισχύει:

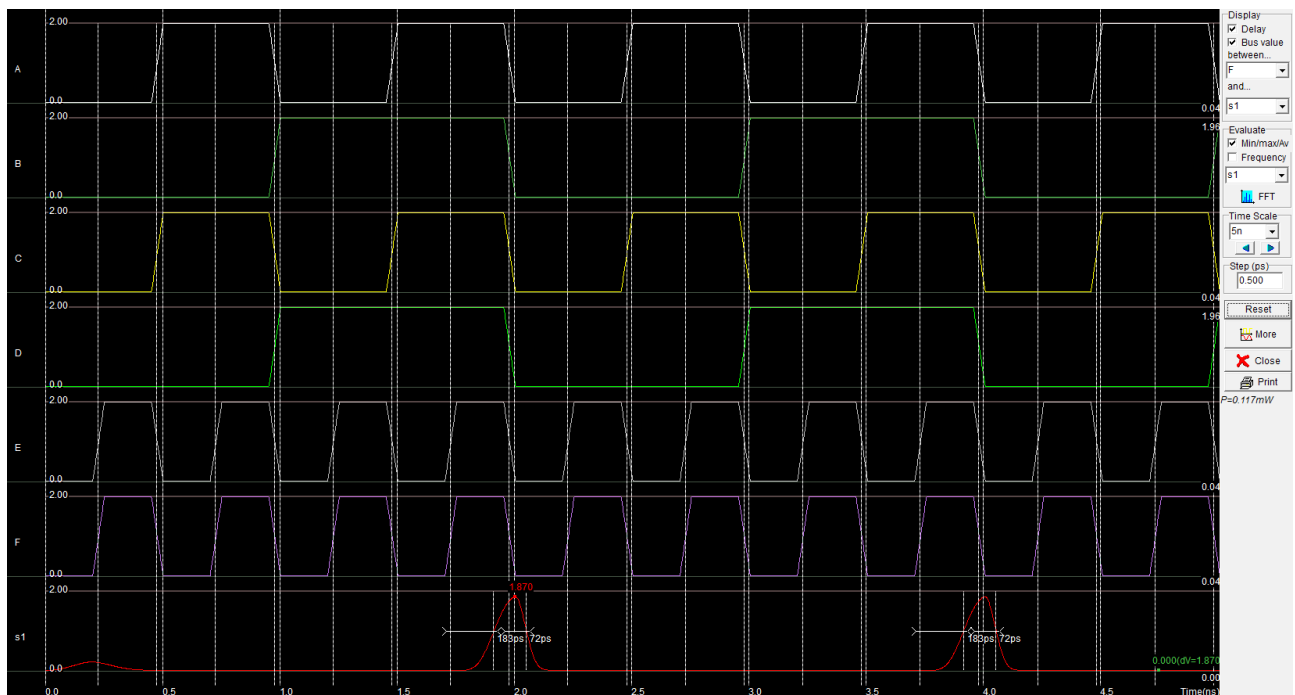
$$nmos = 6C = 6 \cdot 2L = 12L$$

$$pmos = 12C = 12 \cdot 2L = 24L$$

Για να βρούμε την χωρητικότητα που θα οδηγεί το φορτίο λαμβάνουμε υπόψιν ότι η χωρητικότητα εισόδου της NAND είναι 8C. Μετρώντας με το κουμπί βραχυκυκλώματος την βρίσκουμε 2,47fF. Υπολογίζουμε το C και το βρίσκουμε 0,30845. Η χωρητικότητα εξόδου είναι $148C = 45,65fF = 0,04565pF$. Στο πρόγραμμα MICROWIND υλοποιούμε τα ανωτέρω και το layout που προκύπτει είναι:



ενώ η έξοδος του, για εισόδους A,B,C,D,E,F:



από όπου παρατηρούμε ότι η καθυστέρηση είναι $\sim 200\text{psec}$.
β)

Η χωρητικότητα εξόδου του κυκλώματος είναι $C_{out} = 5 \times 18 = 90$.

Η χωρητικότητα εισόδου της πύλης NAND -3εισόδων είναι ίση με 5.

Άρα για τις διαστάσεις των transistor, σύμφωνα με τις δοθέντες αναλογίες, θα ισχύει τελικά ότι:

$$p_{mos} = W_p = 2L$$

$$n_{mos} = W_n = 3L$$

Για την πύλη nor- 2εισόδων αντίστοιχα $C_{in} = \frac{(90 \times (\frac{5}{3}))}{10} = 3 \times 5 = 15$.

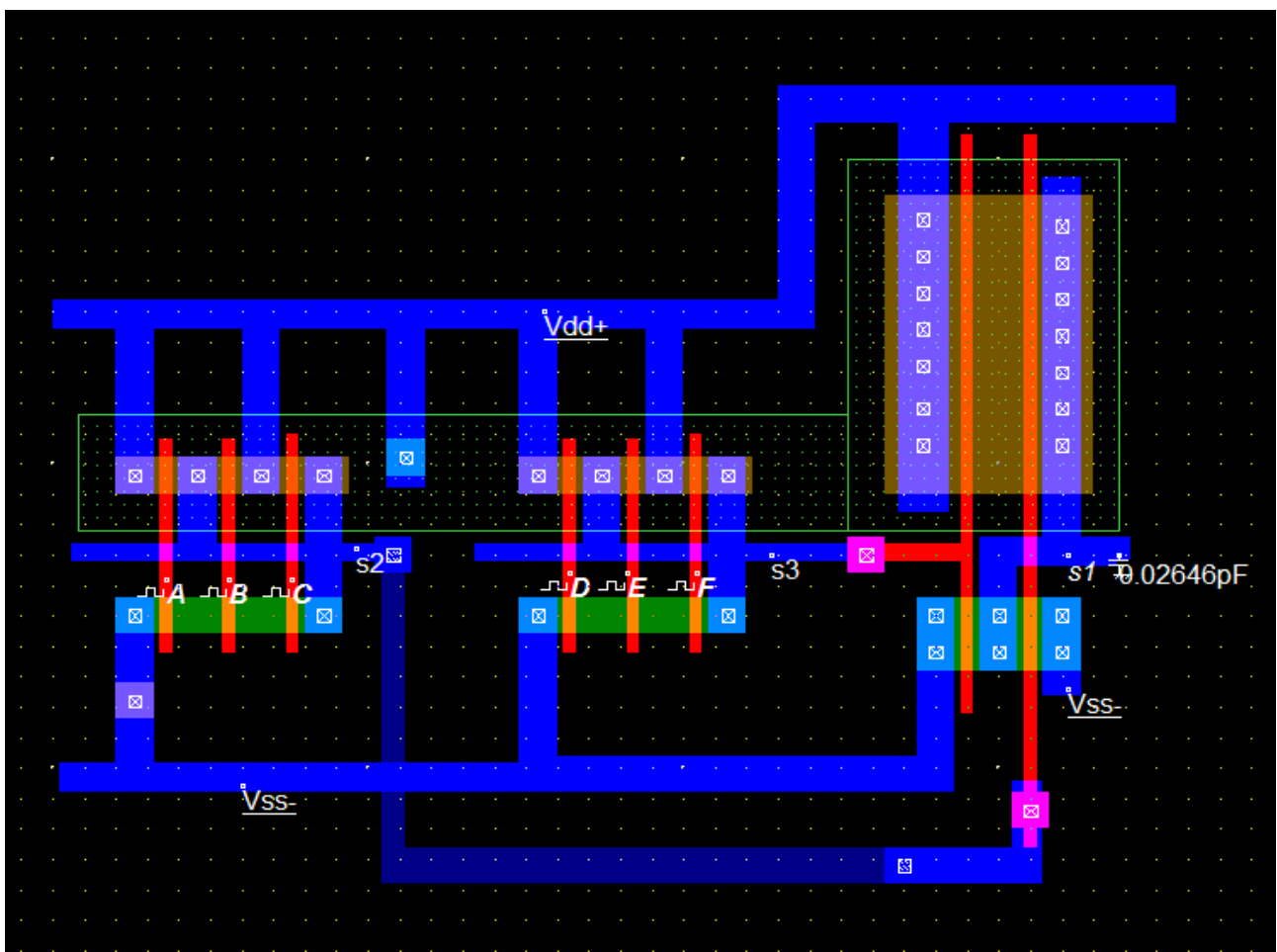
Γνωρίζουμε ότι η αναλογία μεγέθους των transistor είναι 4:1 άρα συμπεραίνουμε τελικά ότι:

$$n_{mos} = W_n = 3L = 6\lambda$$

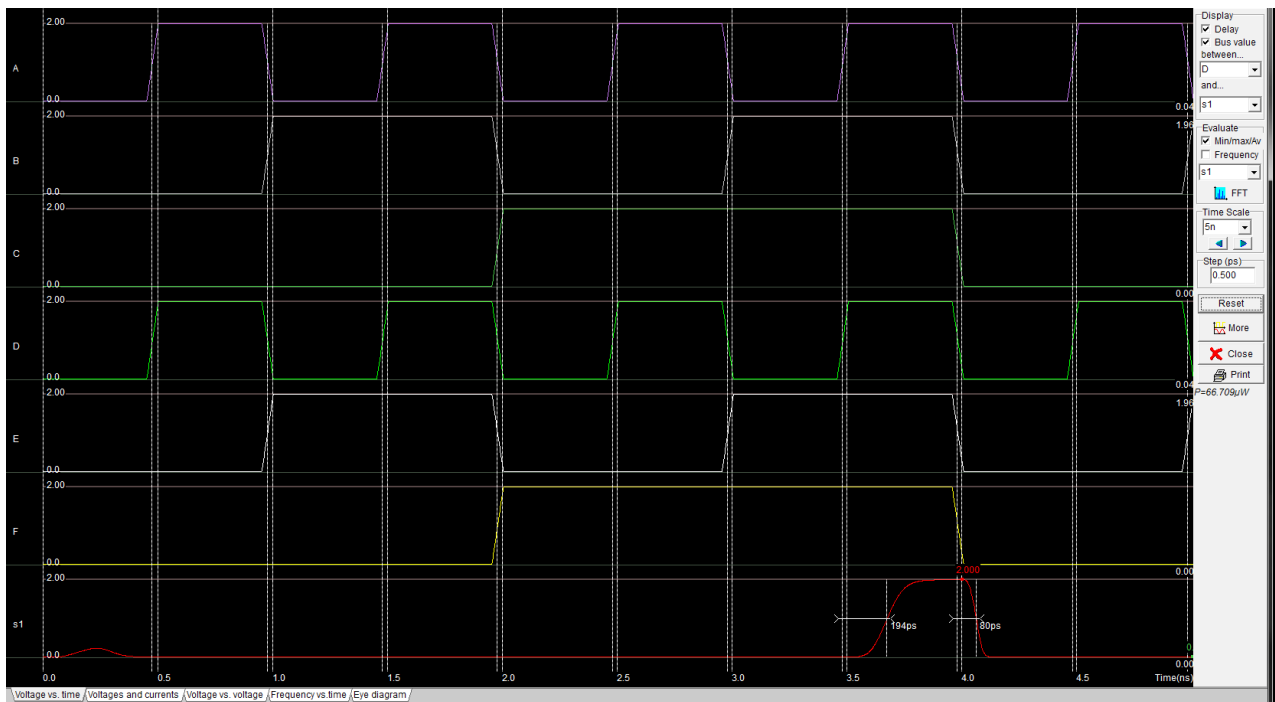
$$p_{mos} = W_p = 12L = 24\lambda$$

Με το κουμπί βραχυκυκλώματος μετράμε την χωρητικότητα εισόδου της NAND, $C_{in} = 1,47fF$. Υπολογίζουμε το C γνωρίζοντας ότι αυτή ισούται με $5C$. Προκύπτει ότι $C = 0,294$. Έτσι βρίσκουμε το φορτίο εξόδου $90C = 26,46fF = 0,02646pF$.

Το layout της προσομοίωσης είναι:



και η έξοδος που παρατηρούμε:



η πειραματική καθυστέρηση είναι 194psec.

γ)

Για το τελευταίο κύκλωμα ισχύει ξεκινώντας από πίσω προς τα μπροστά:
Η συνολική χωρητικότητα εξόδου του κυκλώματος είναι $C_{out} = 5 \times 18 = 90$

.

Έτσι, για τον αντιστροφέα ισχύει ότι $C_{in} = \frac{1 \times 90}{5} = 18$. Σύμφωνα με την αναλογία διαστάσεων 2:1 για τα transistor του παίρνουμε τελικά ότι:

$$nmos = W_n = 6L$$

$$pmos = W_p = 12L$$

Για την πύλη NAND -2 εισόδων η χωρητικότητα εξόδου είναι $C_{out} = 18$.

Βρίσκουμε το $C_{in} = \frac{(18 \times (\frac{4}{3}))}{2} = 12$. Οι διαστάσεις των transistor της έχουν

αναλογία 2:2, συνεπώς τελικά:

$$nmos = W_n = 6L$$

$$pmos = W_p = 6L$$

Η χωρητικότητα εξόδου του αντιστροφέα προκύπτει $C_{out} = 12$.

Υπολογίζουμε την χωρητικότητα εισόδου $C_{in} = \frac{12}{2} = 6$. Με αναλογία

transistor 2:1 τελικά προκύπτει:

$p_{mos}=W_p=4L$

$n_{mos}=W_n=2L$

Τέλος η πύλη nand 3 εισόδων είναι ελάχιστη, άρα $C_{in}=5$ και για τα transistor προκύπτει:

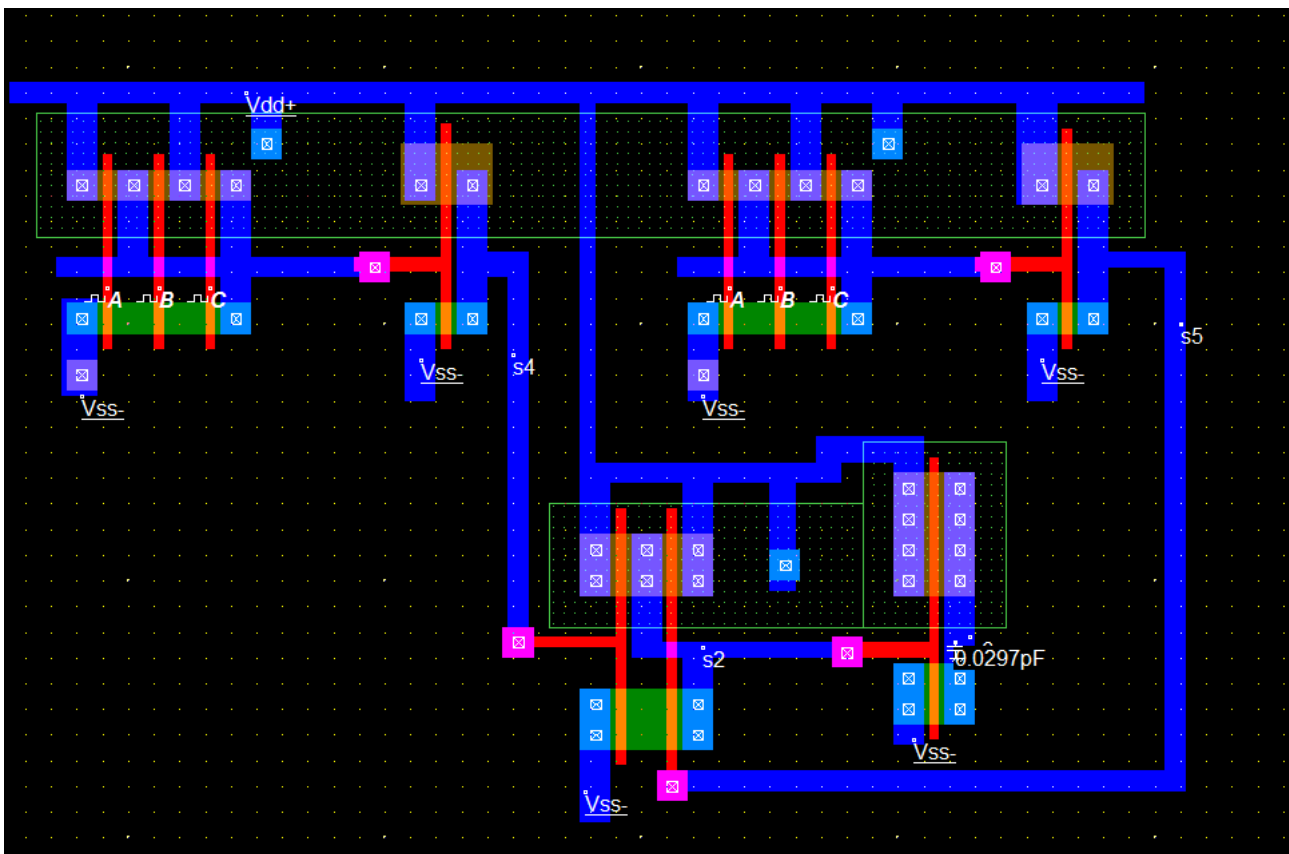
$n_{mos}=W_n=3L$

$p_{mos}=W_p=2L$

Βρίσκουμε την χωρητικότητα εξόδου κατά τα γνωστά:

Η χωρητικότητα εισόδου της nand-3 εισόδων είναι $1,65fF$. Έτσι το C είναι $0,33$. Η χωρητικότητα εξόδου αντίστοιχα είναι $29,7fF = 0,0297pF$.

Υλοποιούμε τα ανωτέρω και προκύπτει το layout:



Η προσομοίωση δίνει καθυστέρηση 195psec:

