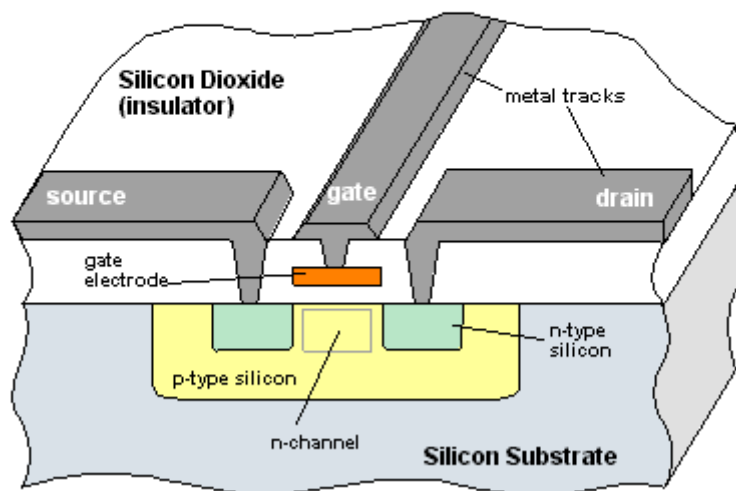


1η Εργαστηριακή Άσκηση

Σχεδίαση σχηματικών διαγραμμάτων τρανζίστορ και προσομοίωση με το πρόγραμμα DSCH

From Computer Desktop Encyclopedia
© 2004 The Computer Language Co., Inc.

NMOS Transistor (n-channel MOSFET)



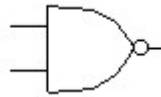
Ομάδα Α8

Τζανάκη Βασιλική
Α.Μ.: 03108062

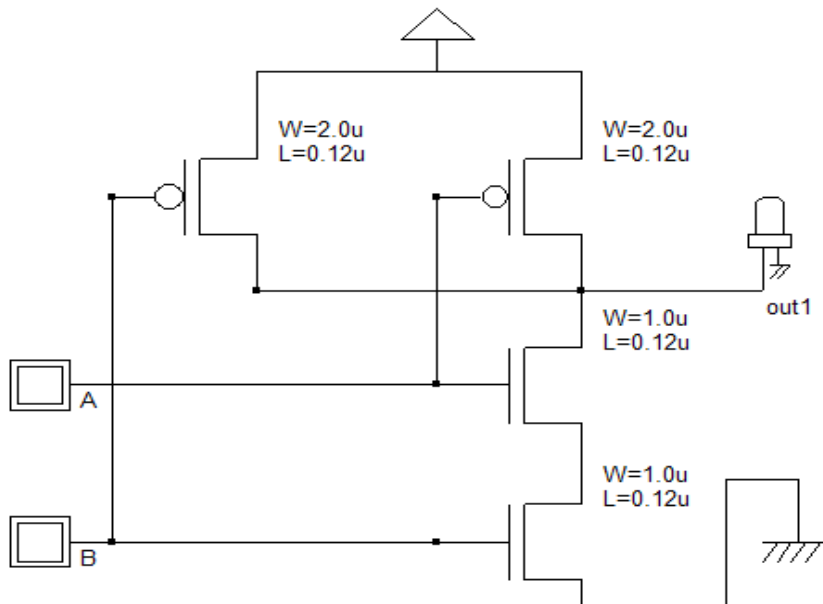
Τζίμα Σοφία
Α.Μ.: 03108052

1. Πύλη Nand

Σύμβολο



Σχηματικό Διάγραμμα

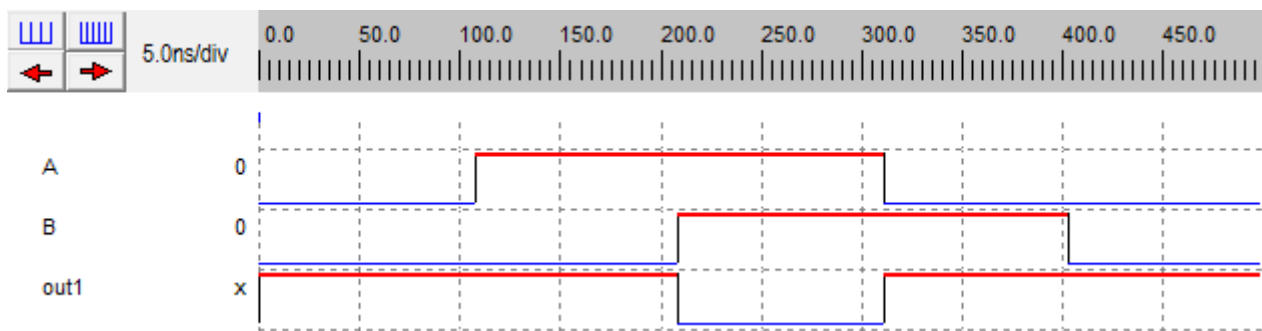


Η παραπάνω πύλη NAND 2 εισόδων έχει κατασκευαστεί με χρήση δύο nMOS τρανζίστορ εν σειρά μεταξύ των out1 και GND, και δύο παράλληλα pMOS τρανζίστορ μεταξύ των Y και της τροφοδοσίας V_{DD} . Το παραπάνω κύκλωμα λειτουργεί ως εξής:

Εάν οποιαδήποτε από τις εισόδους A και B είναι 0, τότε τουλάχιστον ένα από τα δύο nMOS τρανζίστορ στον κλάδο κατέλκυσης, θα βρίσκεται σε αποκοπή, διακόπτοντας έτσι τη διαδρομή από την έξοδο out1 στη γείωση. Ταυτόχρονα στον κλάδο ανέλκυσης, ένα τουλάχιστον pMOS τρανζίστορ θα είναι ON, δημιουργώντας διαδρομή από την τροφοδοσία στην έξοδο out1, με αποτέλεσμα η έξοδος να είναι 1. Αντίθετα αν αμφότερες οι εισοδοι είναι 1, τότε και τα δύο nMOS τρανζίστορ θα άγουν, ενώ τα δύο pMOS θα βρίσκονται σε αποκοπή, με αποτέλεσμα η έξοδος να είναι 0.

Τα παραπάνω φαίνονται και στο διάγραμμα χρονισμού που ακολουθεί, όπου βλέπουμε την έξοδο για διαφορετικές τιμές των εισόδων A και B.

Διάγραμμα Χρονισμού



Πίνακας Αληθείας

A	B	out
0	0	1
0	1	1
1	0	1
1	1	0

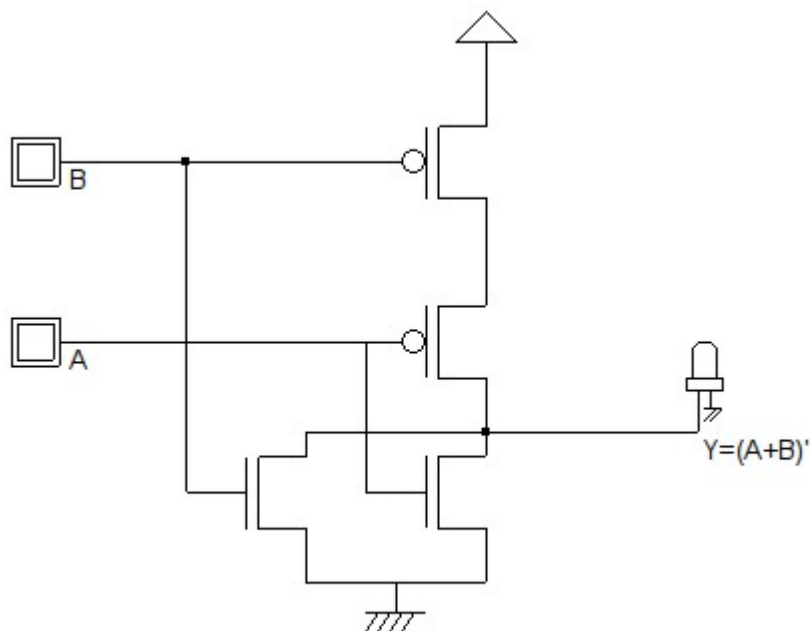
Αντίστοιχα, χρησιμοποιώντας κ nMOS εν σειρά και κ pMOS τρανζίστορ παράλληλα, μπορούμε να κατασκευάσουμε πύλες NAND κ-εισόδων.

2. Πύλη NOR

Σύμβολο

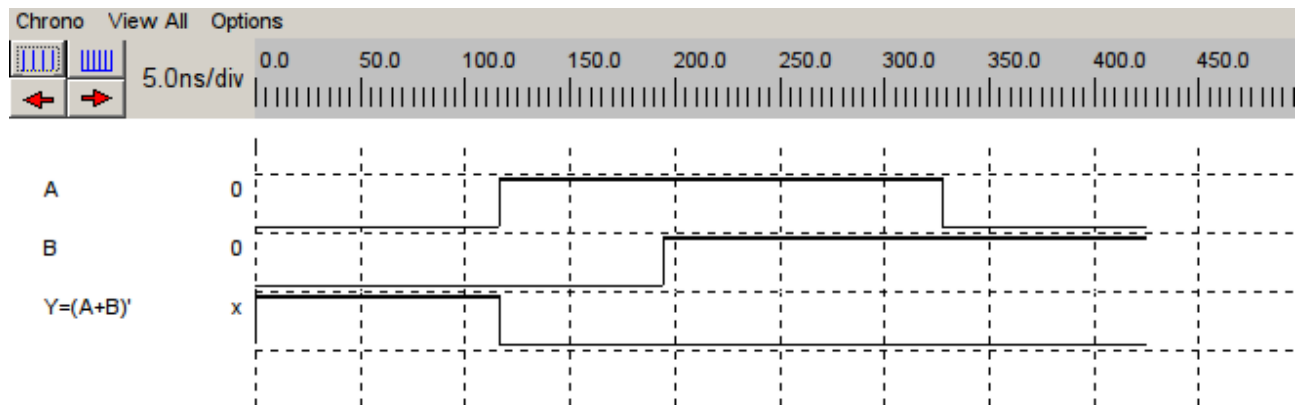


Σχηματικό Διάγραμμα



Σ' αυτήν την περίπτωση, τα nMOS τρανζίστορ είναι συνδεδεμένα παράλληλα, ώστε να οδηγούν την έξοδο χαμηλά όταν οποιαδήποτε είσοδος είναι υψηλή, ενώ τα pMOS είναι συνδεδεμένα εν σειρά, ώστε η έξοδος να είναι 1 μόνο όταν και οι δύο είσοδοι είναι 0. Τα παραπάνω συμπεράσματα τα επιβεβαιώνουμε και από το διάγραμμα χρονισμού που ακολουθεί.

Διαγράμματα Χρονισμού

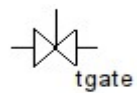


Πίνακας αληθείας

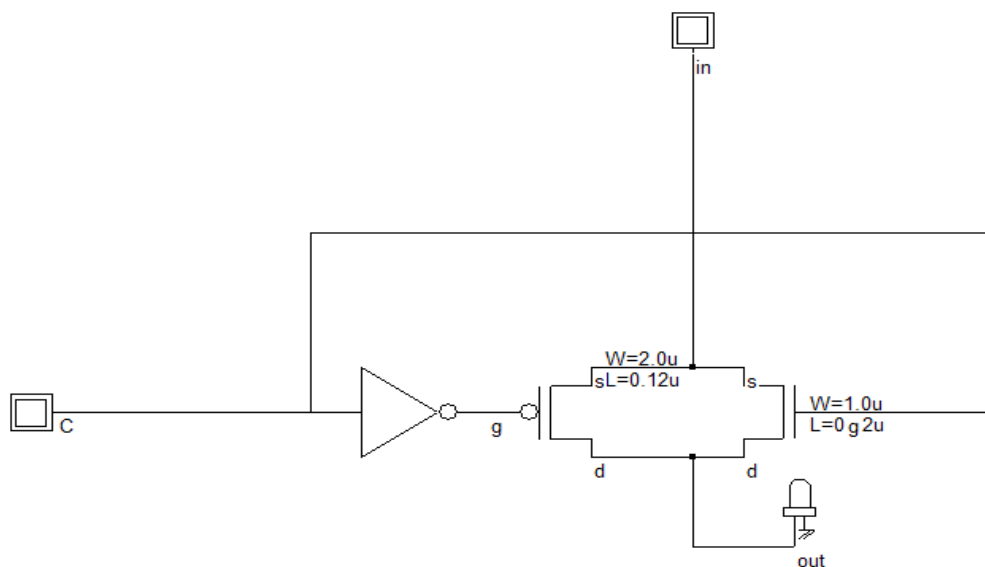
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

3. Πύλη Μετάδοσης

Σύμβολο



Σχηματικό Διάγραμμα



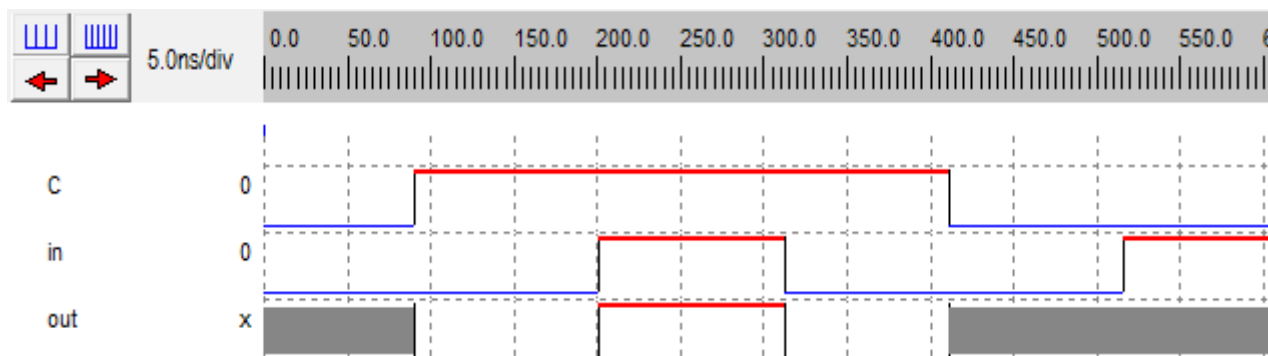
Την παραπάνω πύλη μετάδοσης την υλοποιήσαμε συνδέοντας παράλληλα ένα nMOS τρανζίστορ και ένα pMOS. Με αυτόν τον τρόπο παίρνουμε ένα διακόπτη που ανοίγει όταν εφαρμόζουμε σήμα 1 στο g, και στον οποίο αμφότερα τα σήματα 1 και 0 περνάνε με αποδεκτό τρόπο. Ο λόγος που δε χρησιμοποιήσαμε μόνο ένα τρανζίστορ είναι ο εξής:

ένα nMOS τρανζίστορ συμπεριφέρεται ως σχεδόν ιδανικός διακόπτης όταν το σήμα στην πύλη του είναι 0, δηλαδή περνάει ένα ισχυρό 0. Ωστόσο, το nMOS δεν επιδεικνύει την ίδια ιδανική συμπεριφορά κατά το πέρασμα ενός 1 και η υψηλή στάθμη τάσης είναι λίγο χαμηλότερη από την αρχική, δηλαδή περνάει ένα ασθενές 1. Αντίστοιχα, το pMOS παρουσιάζει την ακριβώς αντίθετη συμπεριφορά: περνάει ισχυρό 1, αλλά ασθενές 0. Συνεπώς, αν θέλουμε να έχουμε σωστό πέρασμα και του 0 και του 1, θα πρέπει να χρησιμοποιήσουμε και τα δύο τρανζίστορ.

Η παραπάνω πύλη μετάδοσης λειτουργεί ως εξής:

Όταν η είσοδος ενεργοποίησης C είναι 0, η έξοδος out μένει “αιωρούμενη”. Αντίθετα, όταν C = 1, η έξοδος ισούται με την είσοδο in, όπως βλέπουμε και από το παρακάτω διάγραμμα χρονισμού.

Διάγραμμα Χρονισμού

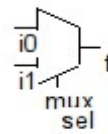


Πίνακας Αληθείας

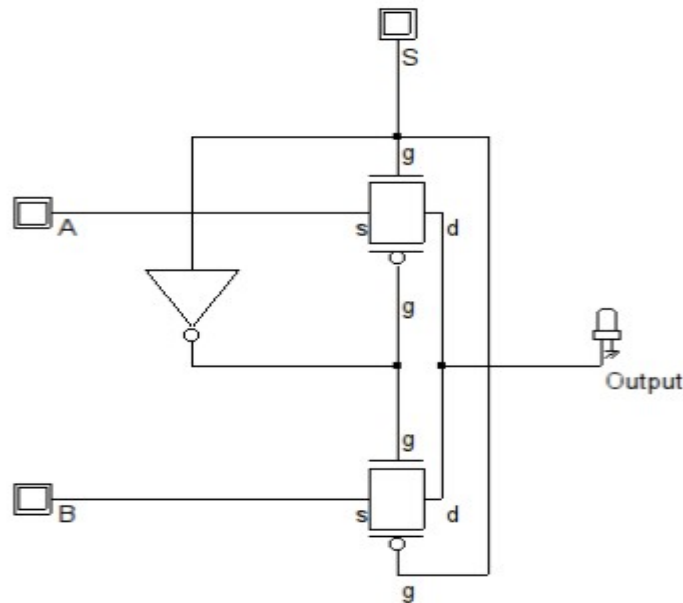
C	In	out
0	0	x
0	1	x
1	0	0
1	1	1

4. Πολυπλέκτης

Σύμβολο



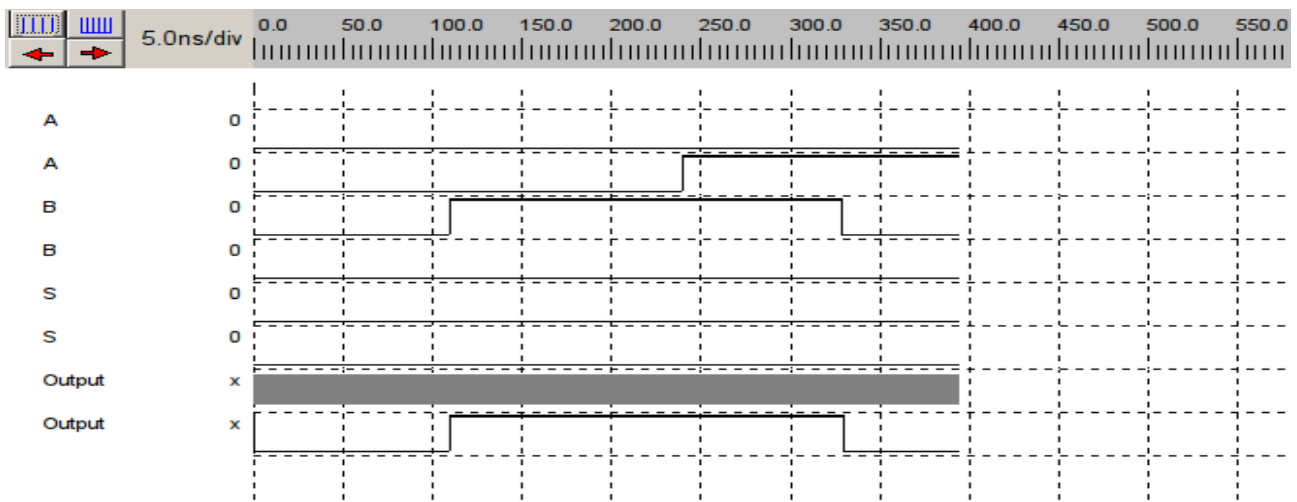
Σχηματικό Διάγραμμα



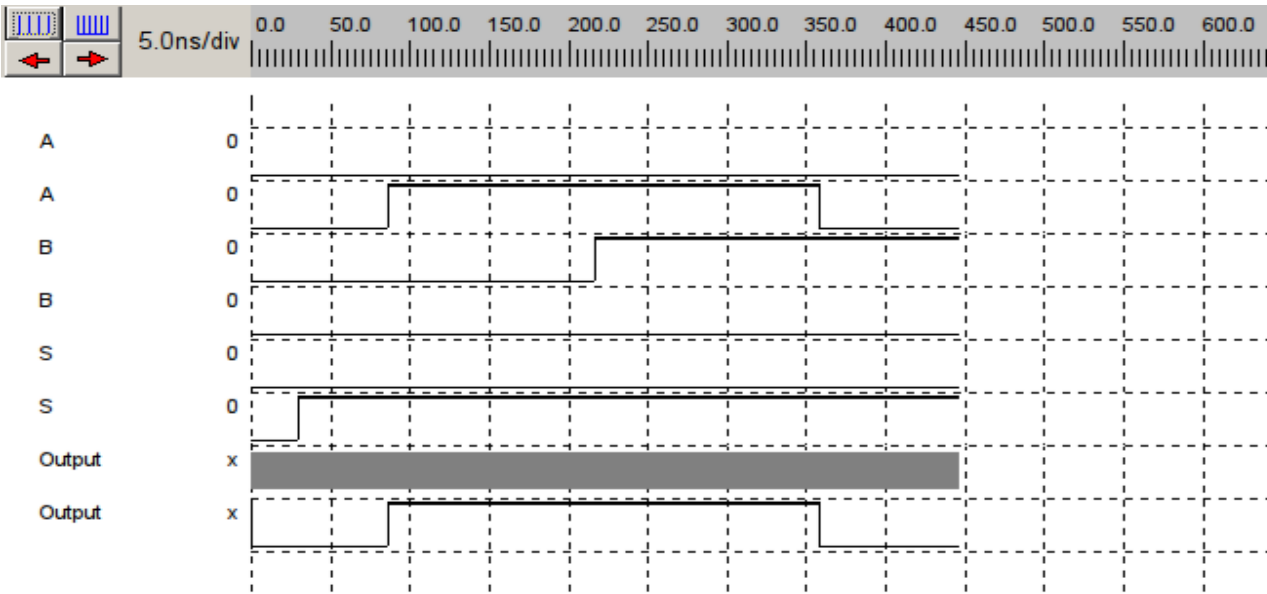
Γενικά ένας πολυπλέκτης επιλέγει την έξοδο μεταξύ πολλαπλών εισόδων βασιζόμενος σε ένα σήμα επιλογής. Ο συγκεκριμένος πολυπλέκτης (2:1) έχει δύο εισόδους A και B και μία έξοδο. Όταν το σήμα επιλογής S είναι 0, επιλέγεται η είσοδος B ενώ όταν S=1 επιλέγεται η A. Για τη δημιουργία του πολυπλέκτη χρησιμοποιήσαμε δύο πύλες μετάδοσης και συνεπώς 4 τρανζίστορ συνολικά. Ωστόσο, θα μπορούσαμε να τον υλοποιήσουμε και με τη χρήση πυλών, σύμφωνα με τη λογική συνάρτηση $Output = S' B + S A$. Σε αυτήν την περίπτωση, όμως, ο αριθμός των απαιτούμενων τρανζίστορ θα είναι πολύ μεγαλύτερος.

Η λειτουργία του πολυπλέκτη φαίνεται στα παρακάτω διαγράμματα χρονισμού και στον πίνακα αληθείας που ακολουθεί.

Διάγραμμα Χρονισμού 1 (S = 0)



Διάγραμμα Χρονισμού 2 (S = 1)



Πίνακας Αληθείας

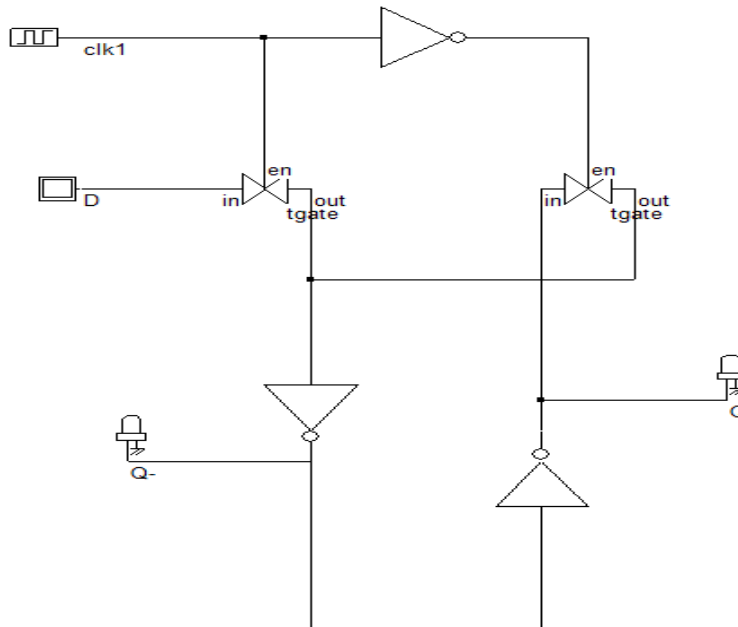
S	Output
0	B
1	A

ή αναλυτικότερα

S	A	B	Output
0	X	0	0
0	X	1	1
1	0	X	0
1	1	X	1

5. Μανδαλωτής (στο θετικό μέτωπο του σήματος CLK)

Σχηματικό Διάγραμμα



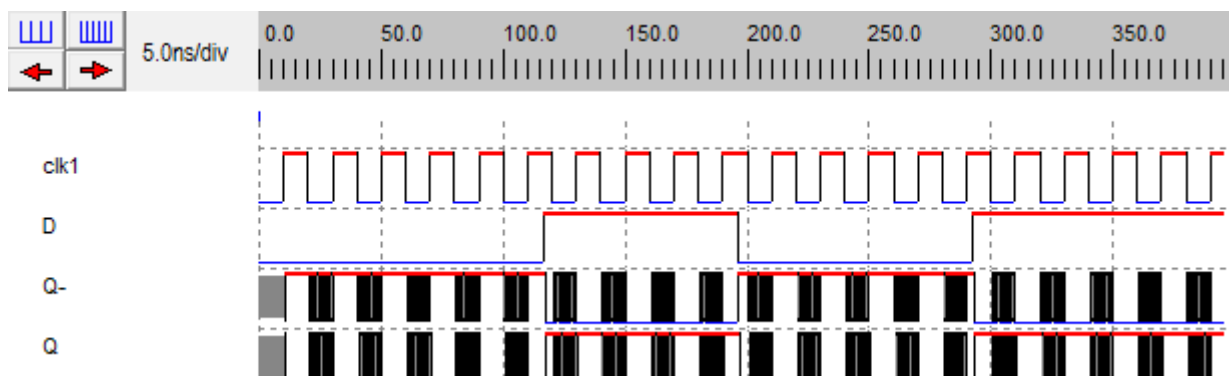
Ο παραπάνω μανδαλωτής έχει υλοποιηθεί με ένα ζεύγος πυλών μετάδοσης (ουσιαστικά με έναν πολυπλέκτη) και δύο. Λειτουργεί με τον εξής τρόπο:

Όταν $CLK = 1$, γίνεται διαφανής και το σήμα D τον διαρρέει έως την έξοδο Q .

Όταν $CLK = 0$, ο μανδαλωτής γίνεται αδιαφανής, με αποτέλεσμα να δημιουργείται μία διαδρομή ανάδρασης γύρω από το ζεύγος των αντιστροφών, η οποία κρατά επ' άπειρον την τρέχουσα κατάσταση της εξόδου Q .

Ο μανδαλωτής αυτός είναι ευαίσθητος σε στάθμη (σε θετική στάθμη) επειδή η κατάσταση της εξόδου εξαρτάται από τη στάθμη του σήματος ρολογιού.

Διάγραμμα Χρονισμού

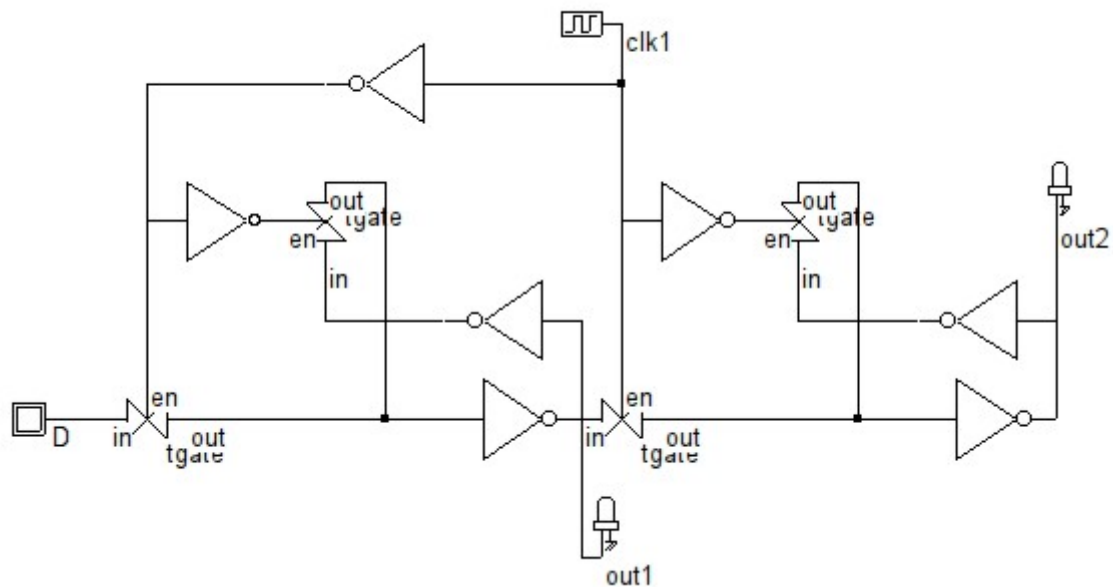


Πίνακας Αλήθειας

CLK	D	$Q(x+1)$	$Q-(x+1)$
0->1	0	0	1
1->0	0	$Q(x)$	$Q-(x)$
0->1	1	1	1
1->0	1	$Q(x)$	$Q-(x)$

6. Ακμοφυροδοτό flip-flop (στη θετική ακμή του σήματος CLK).

Σχηματικό Διάγραμμα



Το ακμοφυροδοτό flip-flop δημιουργείται συνδυάζοντας δύο μανδαλωτές, έναν ευαίσθητο σε αρνητική στάθμη και έναν ευαίσθητο σε θετική στάθμη, που κατά σύμβαση ονομάζονται master και slave αντίστοιχα. Όσο CLK = 0, η έξοδος -QM (στο σχήμα out1) του μανδαλωτή αρνητικής στάθμης έχει την τιμή D', ενώ η έξοδος του slave συγκρατεί την προηγούμενη τιμή. Όταν το ρολόι μεταβαίνει από 0 σε 1, ο master γίνεται αδιαφανής και διατηρεί την τιμή που είχε η D' κατά τη στιγμή μεταβολής του ρολογιού. Αντίθετα ο slave γίνεται διαφανής επιτρέποντας στην αποθηκευμένη τιμή του master (-QM) να περάσει στην έξοδό του Q αντεστραμμένη. Με αυτόν τον τρόπο επιτυγχάνεται η απομόνωση της εξόδου Q από την είσοδο D. Αντίστοιχα όταν το ρολόι μεταβαίνει από 1 σε 0, ο slave διατηρεί την τιμή του και ο master αρχίζει να δειγματοληπτεί και πάλι την είσοδο D.

Διάγραμμα Χρονισμού

