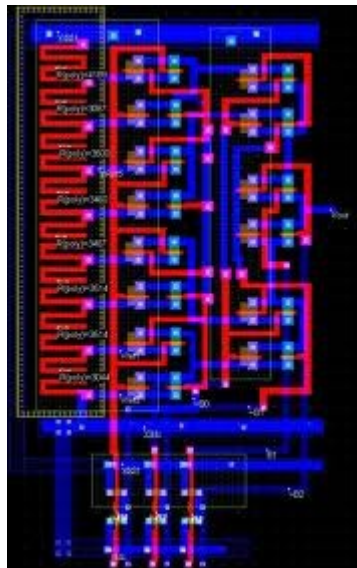


## 3η Εργαστηριακή Άσκηση



**Κατασκευαστικές λεπτομέρειες σχεδίασης μάσκας και  
προσομοίωσης κυκλώματος VLSI**

**Ομάδα Α8**

**Τζανάκη Βασιλική**

**03108062**

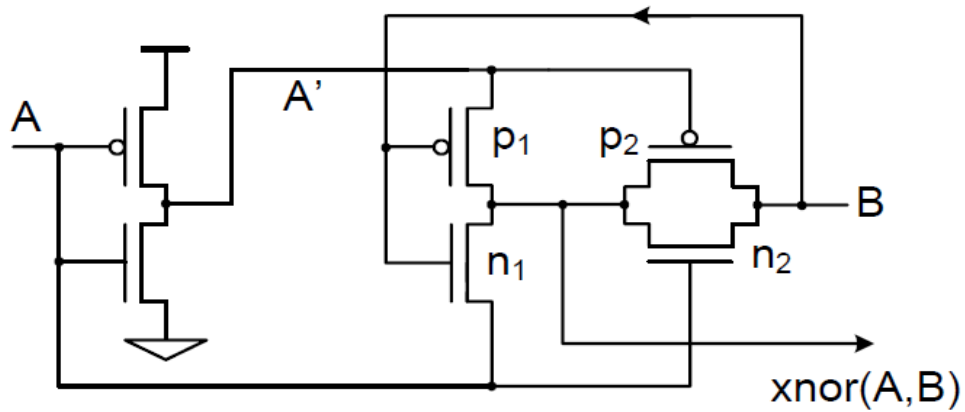
**Τζίμα Σοφία**

**03108052**

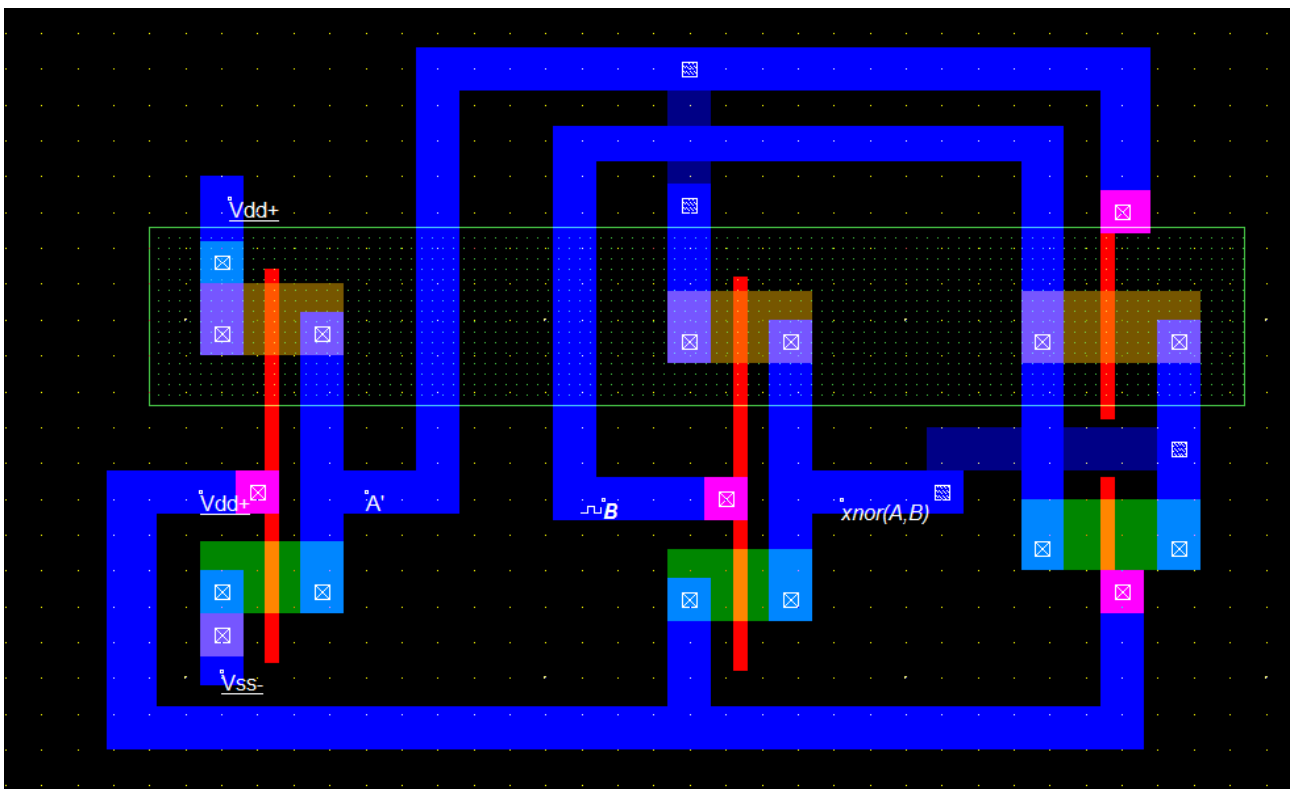
20/12/2011

1.

Σ' αυτήν την άσκηση σχεδιάσαμε σε τεχνολογία CMOS035 (τεχνολογία  $0.4\mu\text{m}$ ,  $\lambda = 0.2\mu\text{m}$ ) το layout του παρακάτω κυκλώματος, που υλοποιεί μια πύλη XNOR.



Το layout του κυκλώματος φαίνεται στο σχήμα που ακολουθεί:



Από το αρχικό σχήμα μπορούμε να συμπεράνουμε ποια είναι η λειτουργία της πύλης XNOR. Παρατηρούμε ότι η είσοδος A συνδέεται στην είσοδο ενός αντιστροφέα, αλλά και στην πύλη του nMOS τρανζίστορ n2. Αντίθετα η έξοδος του αντιστροφέα, δηλαδή το A', συνδέεται με την πύλη του pMOS τρανζίστορ p2.

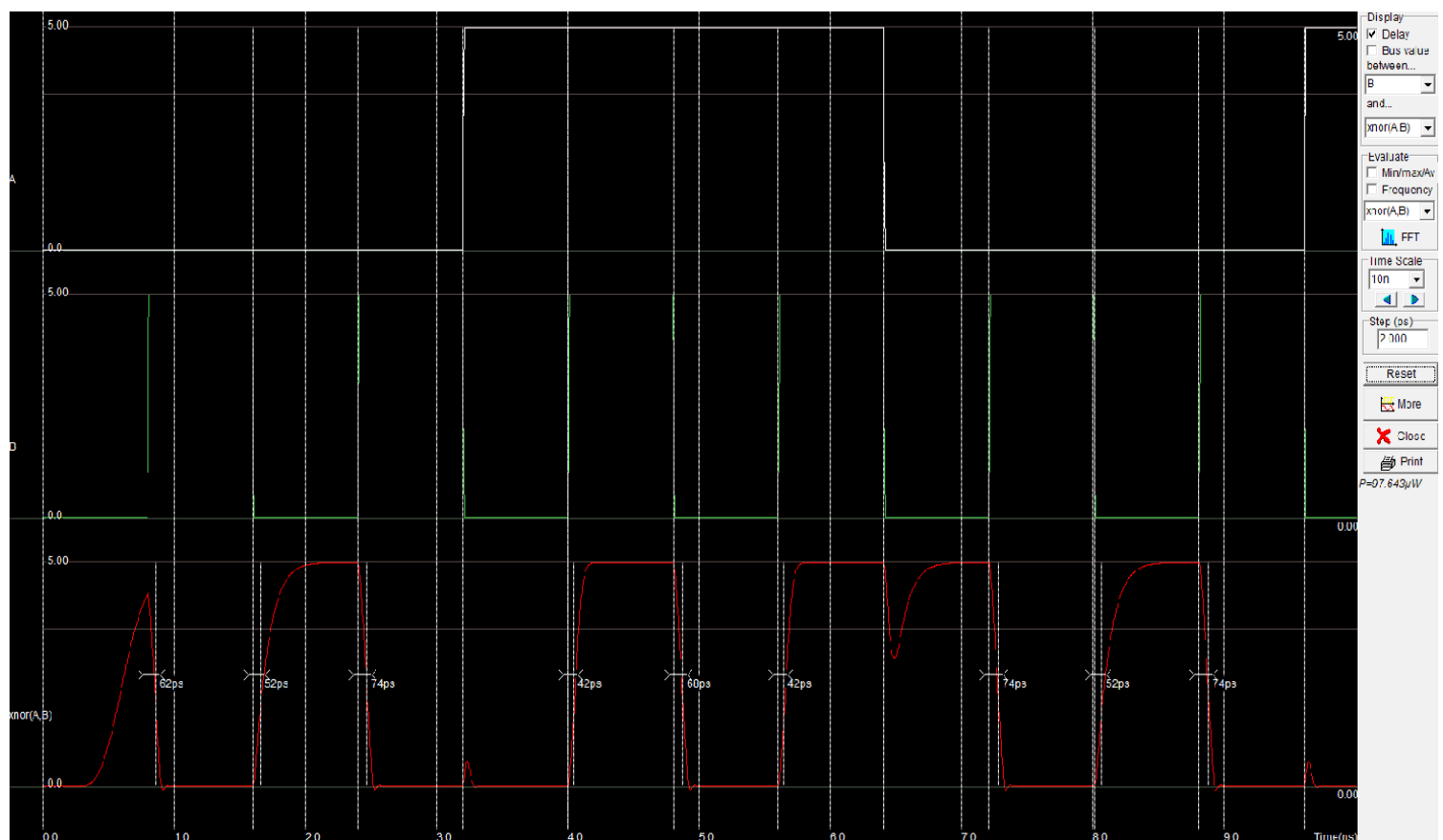
Συνεπώς όταν η A είναι 0V και κατ' επέκταση A' είναι 5V ( λογικό 1 ), τα τρανζίστορ n2 και p2 βρίσκονται σε αποκοπή. Την έξοδο της πύλης θα την καθορίσει η τιμή της εισόδου B, η οποία συνδέεται στην είσοδο ενός δεύτερου αντιστροφέα, αποτελούμενο από τα τρανζίστορ p1 και n1. Έτσι αν B είναι λογικό 1, τότε το τρανζίστορ n1 άγει, ενώ το p1 βρίσκεται σε αποκοπή, με αποτέλεσμα να περάσει το A, δηλαδή το 0 στην έξοδο. Αντίθετα, αν B είναι 0, στην έξοδο θα έχουμε 1 (A'). Αντίστοιχα, αν το A είναι 1, τα τρανζίστορ p2 και n2 θα άγουν, με αποτέλεσμα να περάσει το B στην έξοδο.

Η λειτουργία της πύλης φαίνεται καλύτερα στον παρακάτω πίνακα αληθείας:

XNOR		
A	B	X
0	0	1
0	1	0
1	0	0
1	1	1

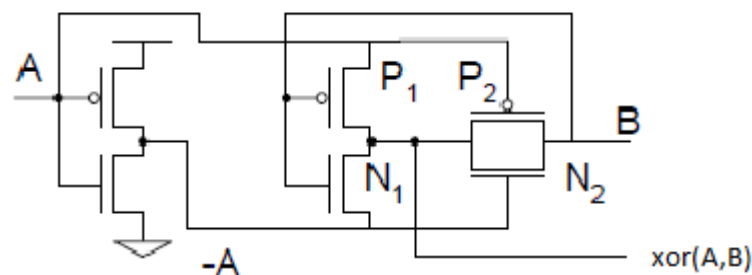
Συμπεραίνουμε επομένως, ότι η έξοδος είναι 1 όταν τα A και B έχουν την ίδια τιμή, ενώ είναι 0 όταν τα A και B είναι διαφορετικά.

### Προσομοιώσεις – καθυστέρηση:



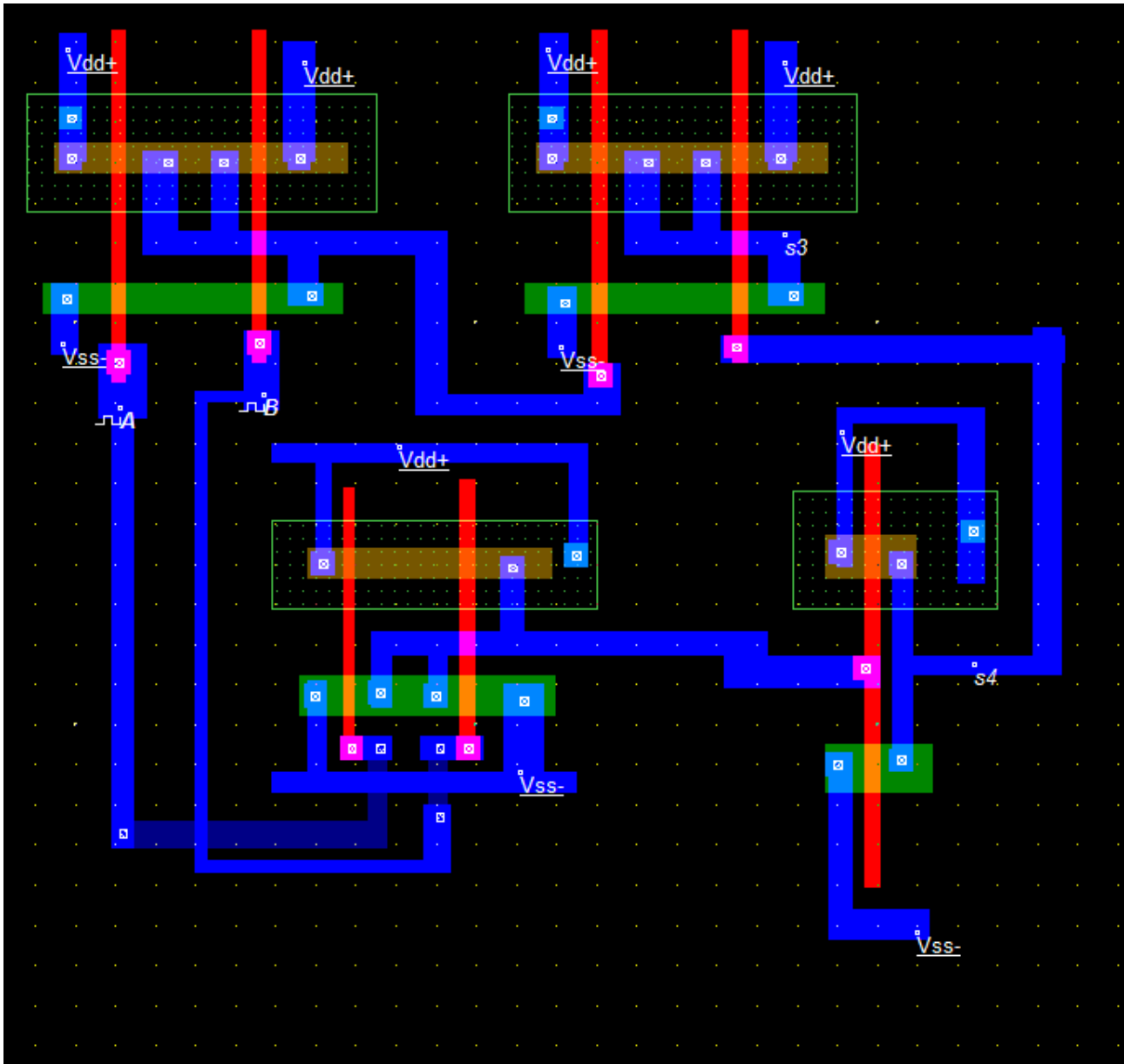
Στο παραπάνω σχήμα βλέπουμε την έξοδο της πύλης για εισόδους τους παλμούς A και B. Αυτοί οι παλμοί έχουν διαφορά φάσης κατάλληλη, για να παρατηρήσουμε την είσοδο για όλους τους δυνατούς συνδυασμούς. Επιβεβαιώνεται η σωστή λειτουργία του κυκλώματος όπως αυτή αναφέρεται στον πίνακα αληθείας. Παρατηρούμε ότι η καθυστέρηση της πύλης, στο χρόνο ανόδου είναι κοντά στα 50ps ενώ για τον χρόνο καθόδου, περίπου 70ps.

Με ανάλογο τρόπο μπορεί πολύ απλά να υλοποιηθεί μια πύλη NOR. Αυτό που χρειάζεται να αλλάξουμε από το αρχικό κύκλωμα είναι συνδέσεις μεταξύ των A,A' και των πυλών των τρανζίστορ p2 και n2. Συγκεκριμένα, πρέπει το A να συνδεθεί με την πύλη του p2 και το A' με την πύλη του n2, αντίθετα με πριν. Έτσι, όταν  $A = 0$ , θα έχουμε ως έξοδο το B, αφού θα άγουν τα τρανζίστορ p2 και n2, ενώ αν  $A = 1$ , η έξοδος θα είναι το B'. Παρακάτω φαίνονται το αντίστοιχο κύκλωμα και πίνακας αληθείας για την πύλη NOR.



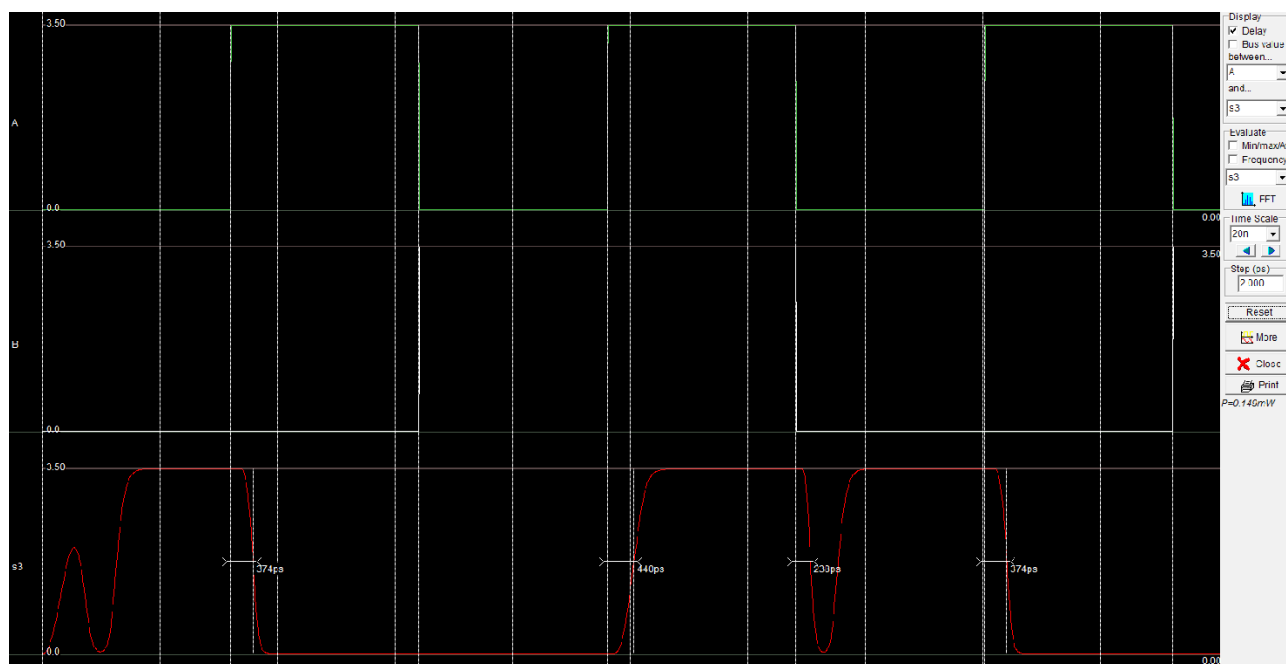
NOR		
A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

Υλοποιούμε με εναλλακτικό τρόπο την πύλη XNOR κάνοντας χρήση της σχέσης  $A(XNOR)B = [(AB)'(A+B)]' = [X(A+B)]'$ , όπου  $X=(AB)'$ . Παρατηρούμε ότι το κύκλωμα υλοποιείται με 2 πύλες NAND, μια NOR και έναν αντιστροφέα. Το layout του είναι το παρακάτω:



Η λειτουργία του κυκλώματος επιβεβαιώνεται από την προσομοίωσή του που μπορούμε να δούμε στην επόμενη εικόνα:

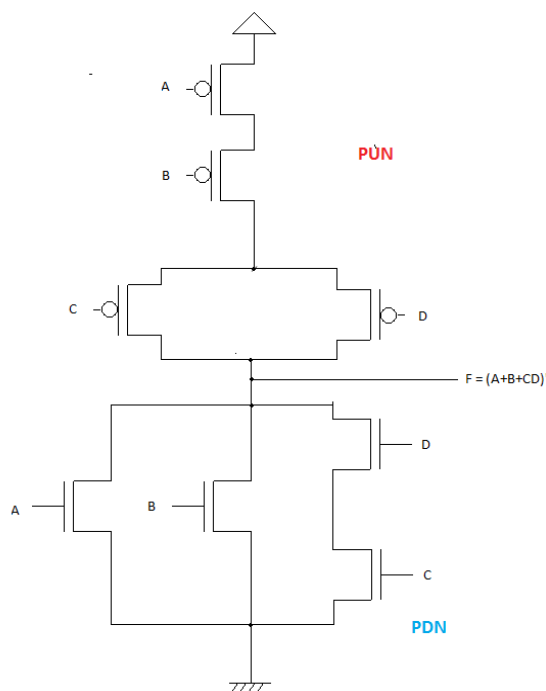
## Προσομοιώσεις – Καθυστέρηση:

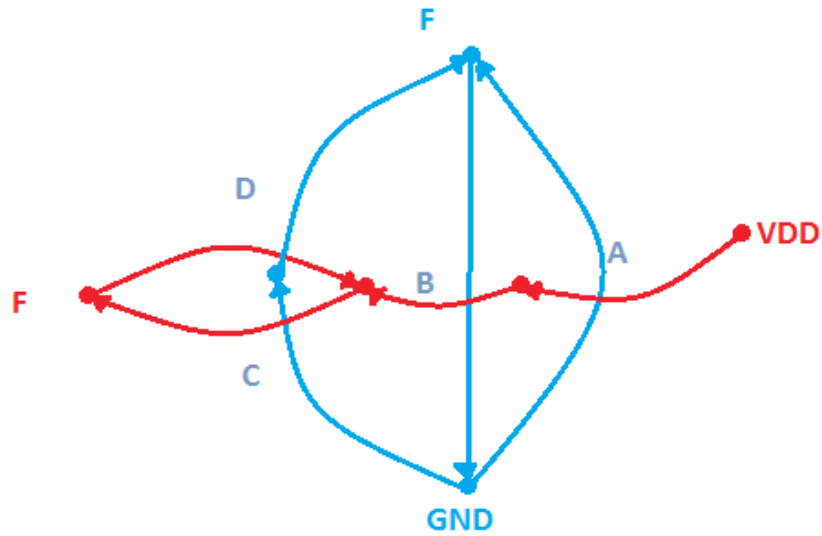


Η καθυστέρηση στο χρόνο ανόδου και καθόδου αυξάνεται σημαντικά σε αυτό το κύκλωμα (έως και 5-6 φορές μεγαλύτερη) κάτι που οφείλεται στην χρήση περισσότερων πυλών, που εισάγουν αυτούς τους χρόνους.

## 2.

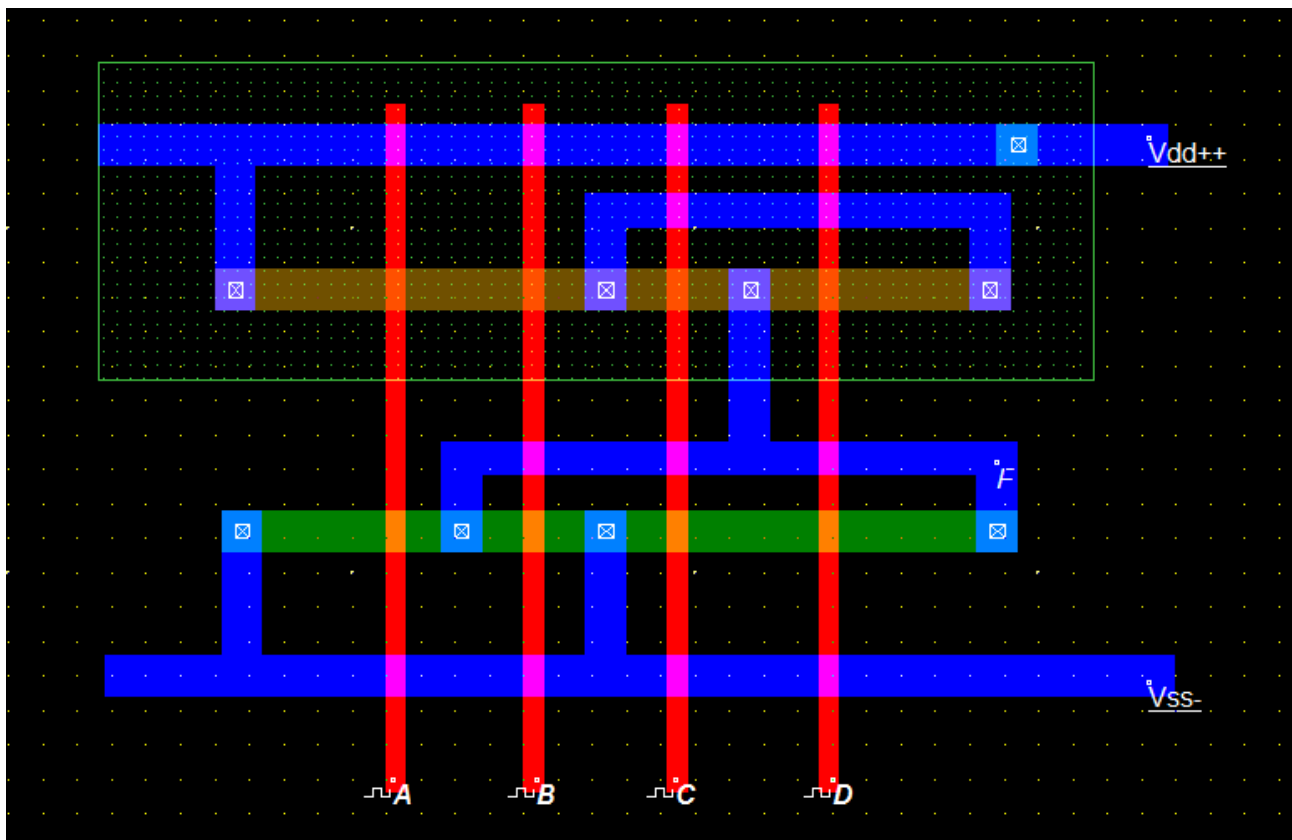
Για τη σχεδίαση του layout της συνάρτησης  $F = (A+B+CD)'$ , χρησιμοποιήσαμε τη μέθοδο Euler. Το κύκλωμα που χρησιμοποιήσαμε για να κατασκευάσουμε τον αντίστοιχο γράφο καθώς και το μονοπάτι του Euler φαίνονται στα σχήματα που ακολουθούν.





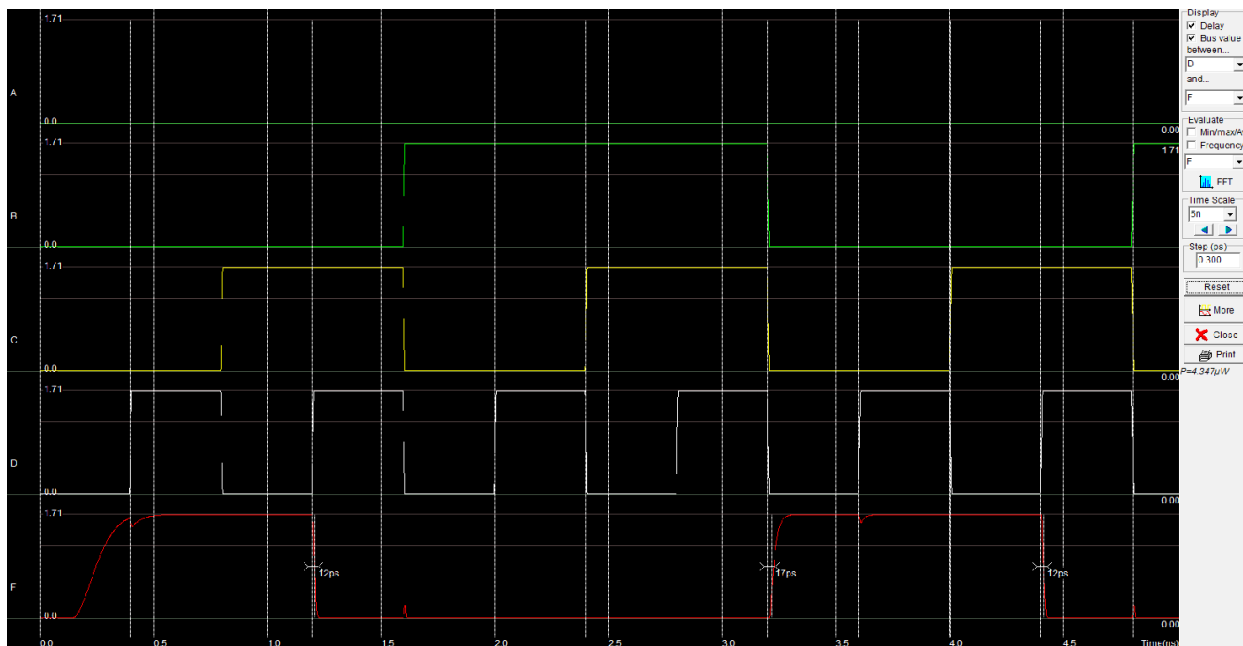
Μονοπάτι Euler: A->B->C->D

Έτσι το layout του κυκλώματος είναι:



Ο έλεγχος της σωστής λειτουργίας του παραπάνω κυκλώματος έγινε μέσω της προσομοίωσης. Τα αποτελέσματα φαίνονται στο ακόλουθο σχήμα:

## Προσομοιώσεις - Καθυστέρηση:



Από τον τύπο της συνάρτησης, συμπεραίνουμε εύκολα ότι η F είναι αληθής μόνο όταν A και B είναι 0, ενώ τα C και D μπορούν να πάρουν τις τιμές 00,01 και 10. Αυτό μπορούμε να το διαπιστώσουμε και από τα αποτελέσματα της προσομοίωσης, παρόλο που δεν φαίνονται πολύ καθαρά. Ο πίνακας αλήθειας της συνάρτησης  $F=(A+B+CD)'$  δίνεται στον παρακάτω πίνακα:

A	B	C	D	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0



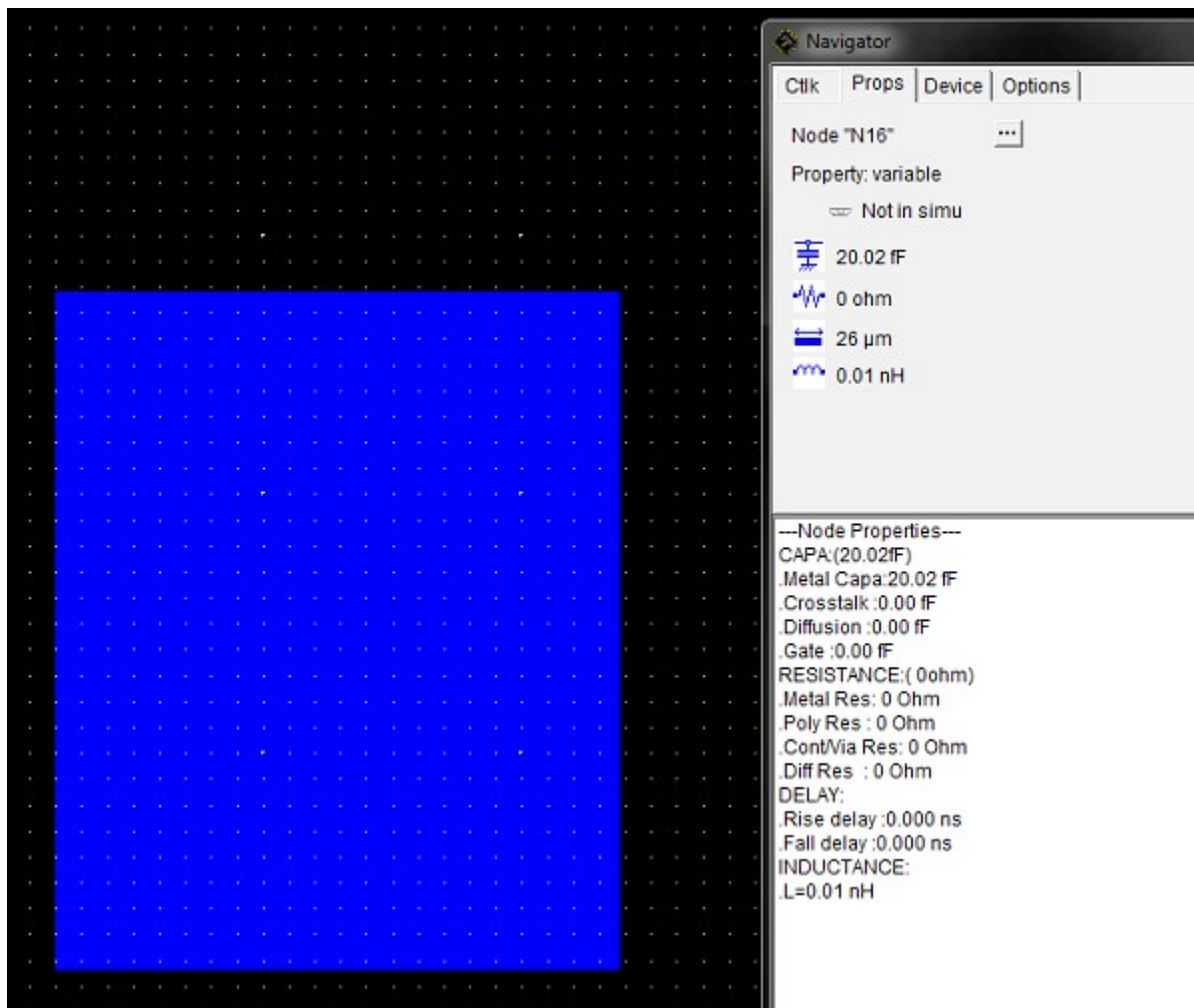
Η καθυστέρηση του κυκλώματος που υλοποιεί την συνάρτηση αυτή είναι πολύ μικρή (της τάξεως των 10psec).

3.

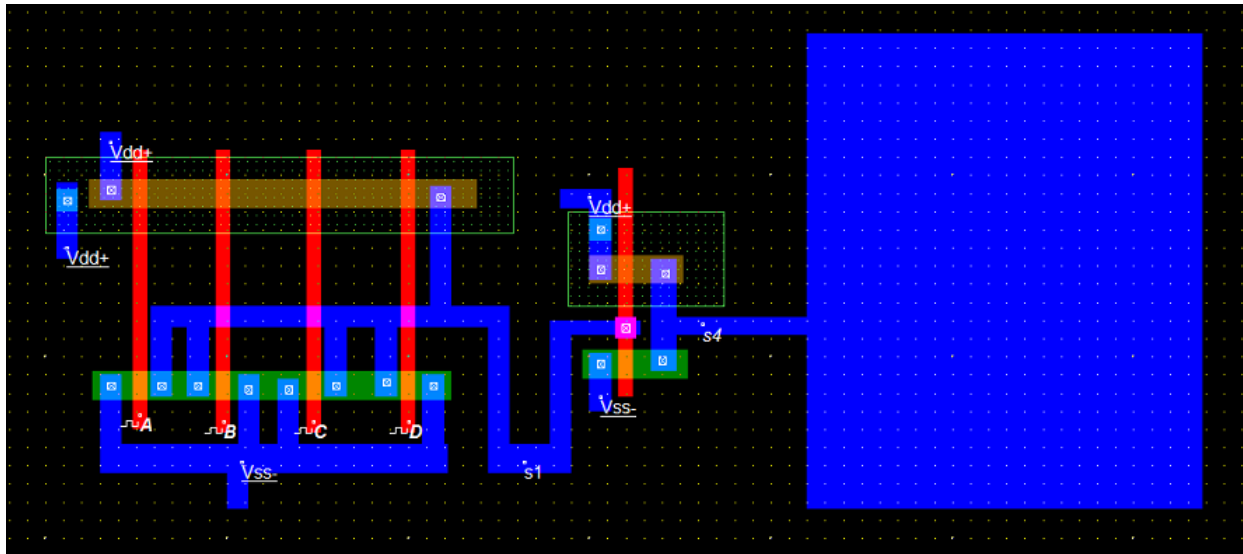
Σχεδιάζουμε την πύλη OR-4 εισόδων (A,B,C,D) με δύο τρόπους:

- **A' τρόπος:  $Y=(A+B+C+D)'$  και  $X=Y'$ :**

Για την πρώτη υλοποίηση χρειαζόμαστε απλά μια NOR 4 εισόδων και έναν αντιστροφέα για να λάβουμε συμπληρωμένη την έξοδο. Προσθέτουμε μια μεγάλη μεταλλική πλάκα για να μελετήσουμε την συμπεριφορά του κυκλώματος με οδήγηση φορτίου. Η μεταλλική πλάκα έχει κατάλληλο μέγεθος ώστε να δημιουργεί χωρητικότητα  $20.02\text{fF} = 0.02002\text{nF}$ , όπως παρατηρούμε από το κουμπί εντοπισμού βραχυκυκλωμάτων:

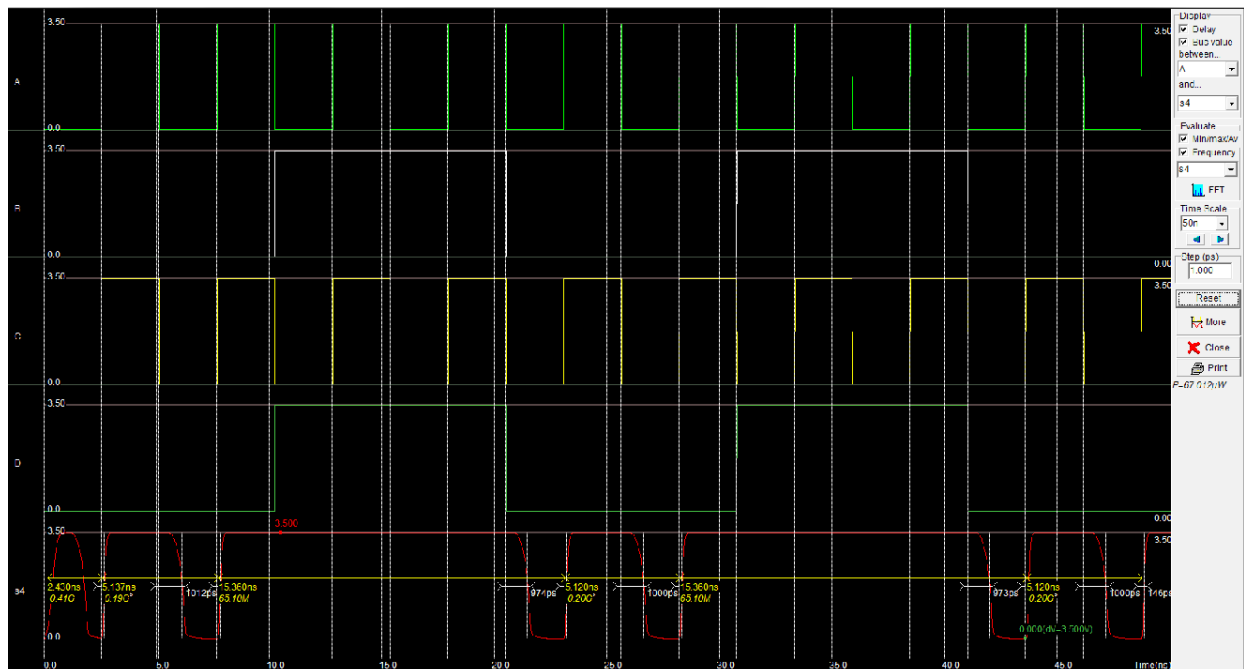


Έτσι, το layout που προκύπτει από την παραπάνω υλοποίηση είναι:



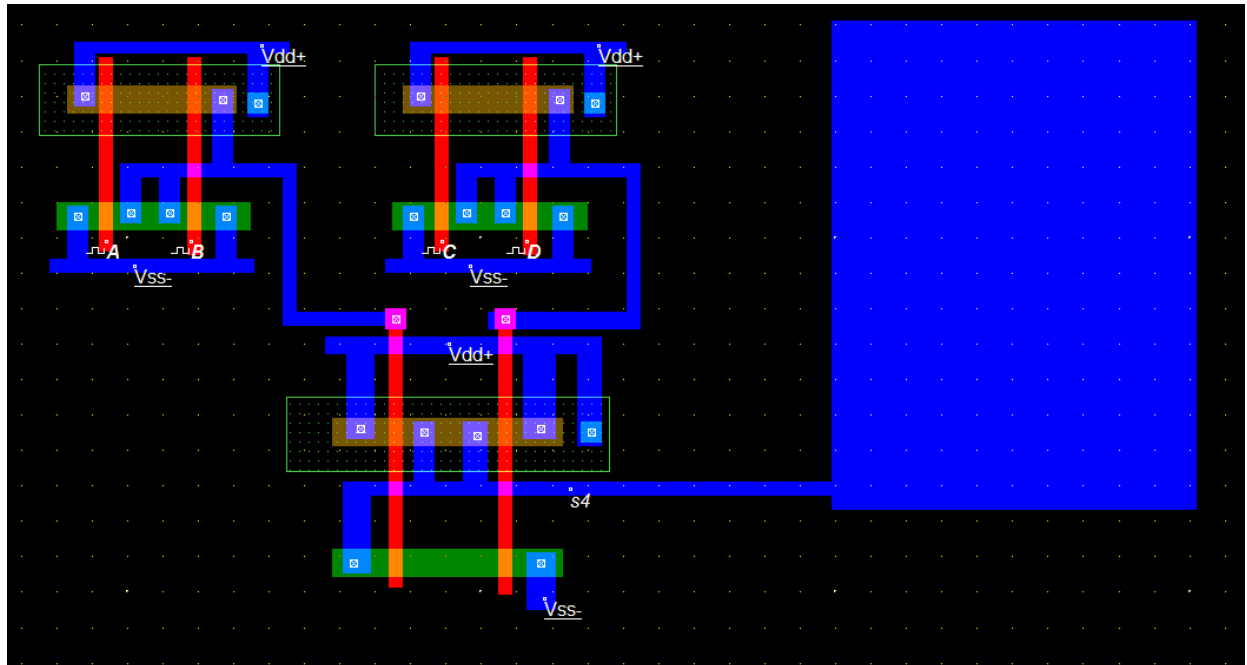
Δίνοντας ως εισόδους στα A, B, C, D παλμούς με διαφορετική συχνότητα, παρατηρούμε την έξοδο, και τις προκύπτουσες καθυστερήσεις. Η καθυστέρηση που παρατηρείται κατά την κάθοδο του παλμού είναι της τάξεως των 1000psec ενώ κατά την άνοδο των 300psec.

#### Προσομοιώσεις – Καθυστέρηση:



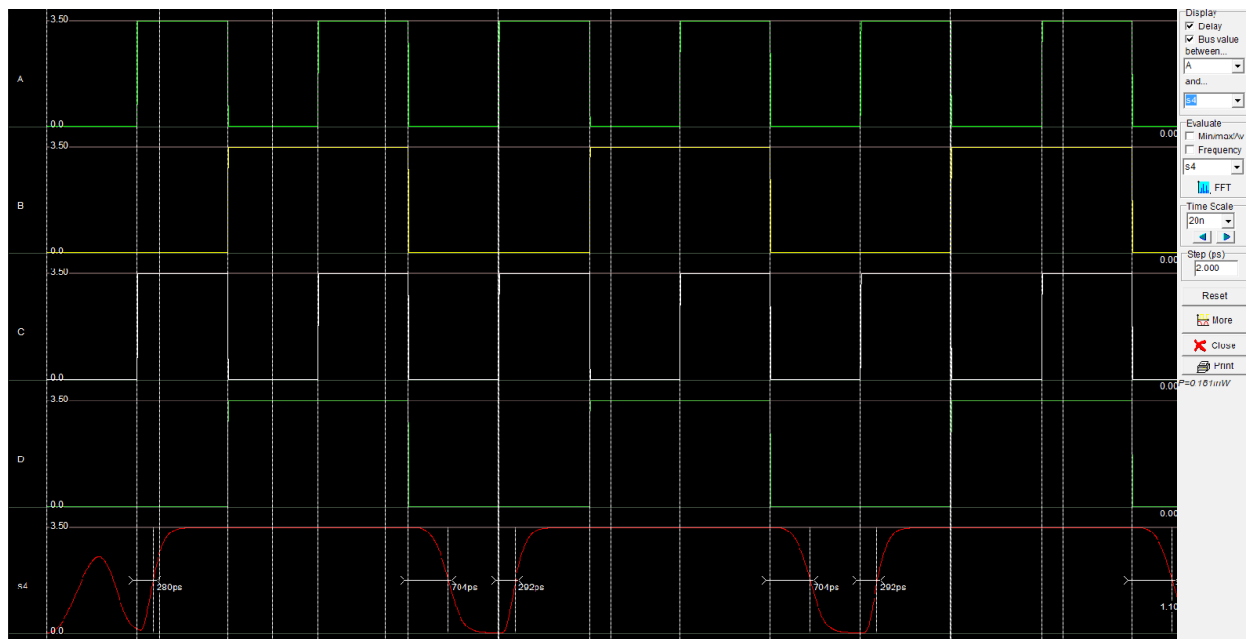
- B' τρόπος:  $Y_1=(A+B)'$ ,  $Y_2=(C+D)'$  και  $X=(Y_1Y_2)'$ :

Για την δεύτερη υλοποίηση χρησιμοποιήσαμε δύο πύλες NOR των δύο εισόδων, και μια NAND στις οποίες δίνεται ως είσοδο η έξοδος τους. Έτσι προκύπτει η πύλη OR που δίνεται στο παρακάτω σχήμα, μαζί με την πλάκα φορτίου, η οποία έχει χωρητικότητα 0.01997nF:



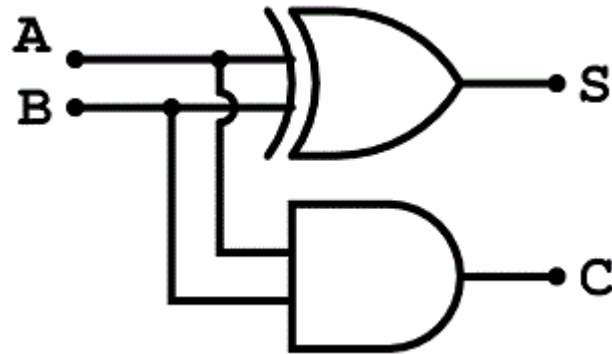
Μέσω της προσομοίωσης παρατηρούμε την καθυστέρηση των πυλών να μειώνεται για το δεύτερο κύκλωμα κυρίως για την καθυστέρηση καθόδου, με τιμές της τάξεως των 700psec για την κάθοδο και των 250psec για την άνοδο:

#### Προσομοιώσεις – Καθυστέρηση:

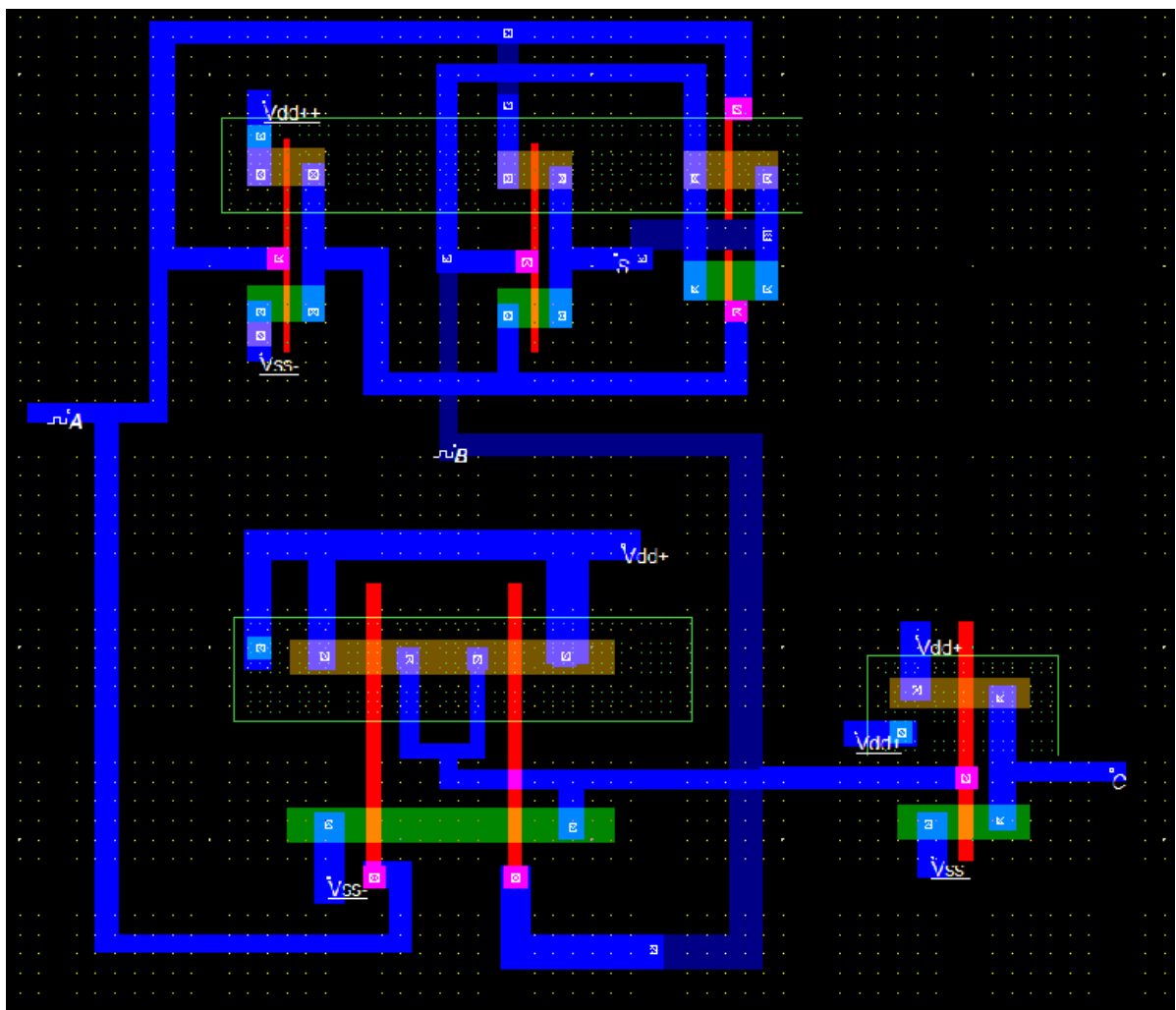


4.

- Το λογικό κύκλωμα του ημι-αθροιστή (half-adder) με εξόδους C και S φαίνεται παρακάτω:

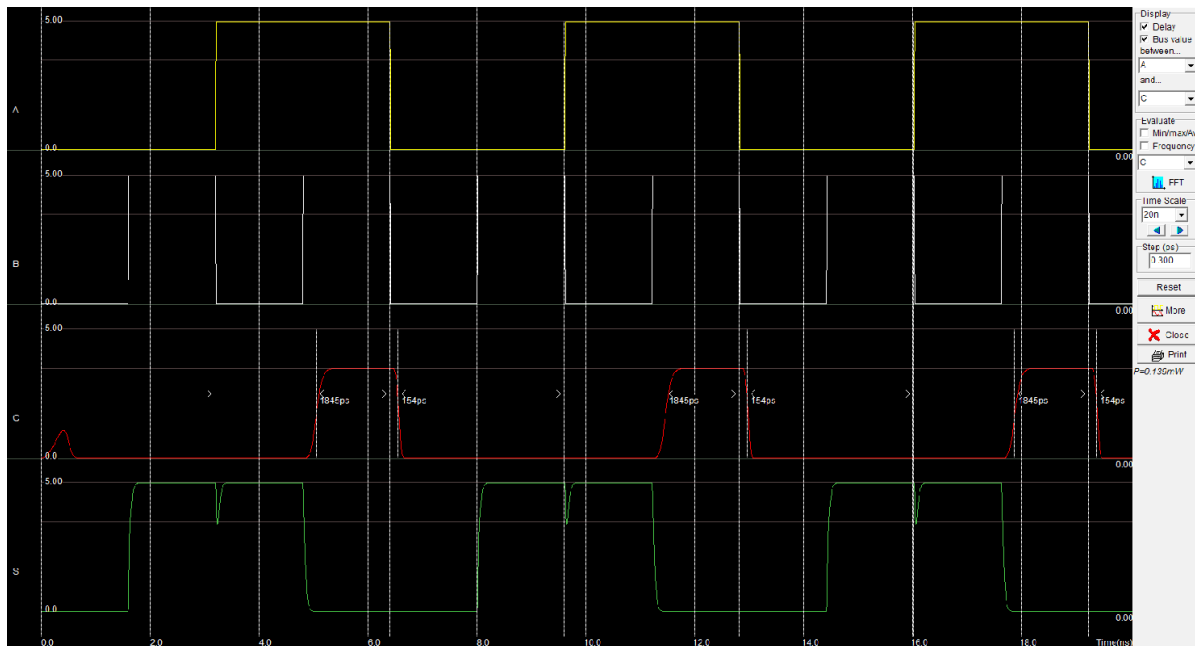


Συνεπώς, υλοποιούμε το κύκλωμα χρησιμοποιώντας την πύλη XOR του πρώτου ερωτήματος, μια πύλη NAND και έναν αντιστροφέα. Το layout που προκύπτει είναι:



Δίνοντας εισόδους X, Y παίρνουμε έξοδο για το κρατούμενο ( C ) και το άθροισμα ( S ):

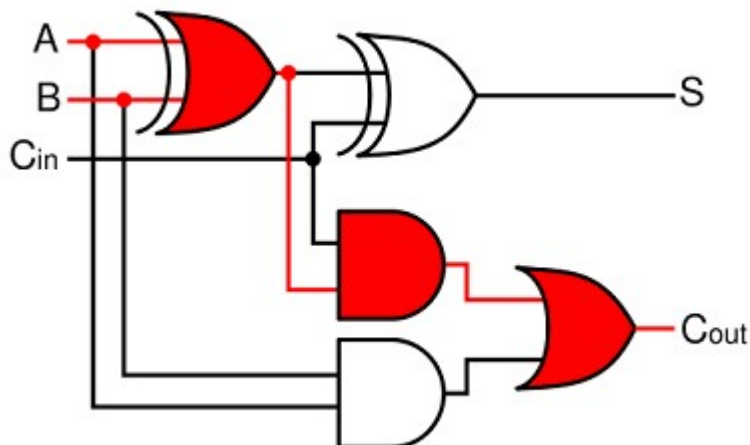
### Προσομοιώσεις – Καθυστέρηση:



Επιβεβαιώνουμε μέσω της προσομοίωσης την λειτουργία του κυκλώματος, η οποία περιγράφεται από τον λογικό πίνακα:

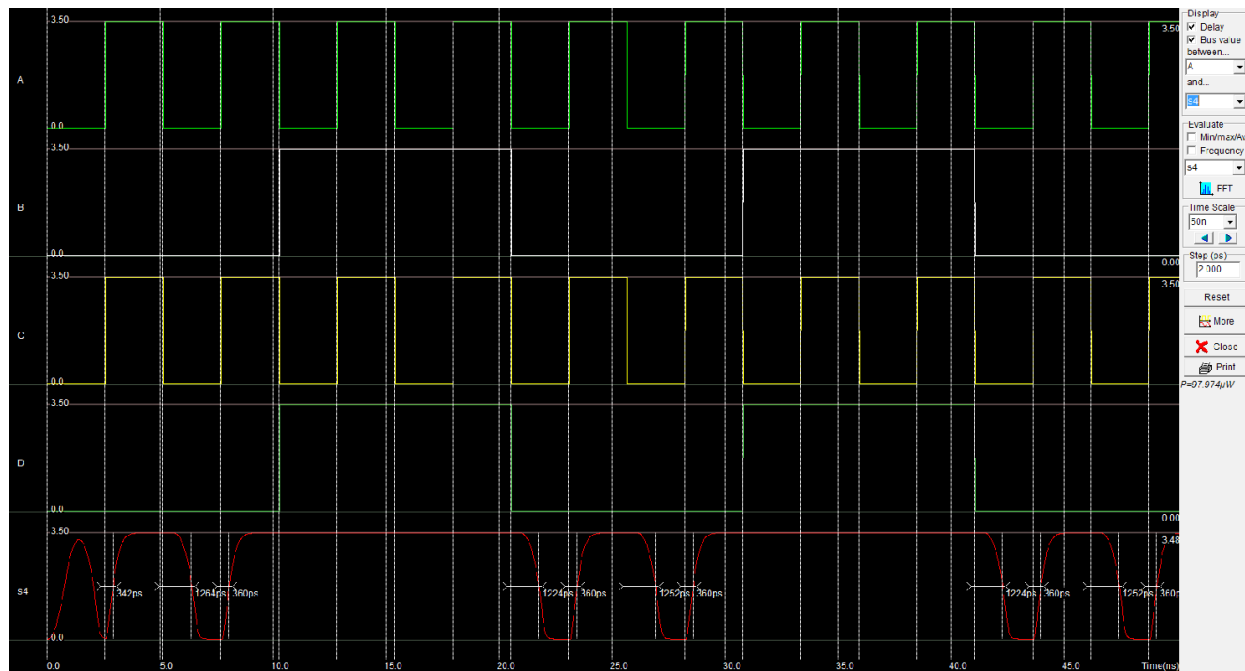
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

- Αντίστοιχα υλοποιούμε τον πλήρη αθροιστή (full-adder) με σύνδεση δύο ημιαθροιστών σε σειρά και επιπλέον είσοδο Cin, σύμφωνα με το λογικό κύκλωμα που φαίνεται στην εικόνα :



Έτσι προκύπτει το layout του κυκλώματος, που φαίνεται παρακάτω. Προσομοιώνοντας λαμβάνουμε τις απαραίτητες πληροφορίες για την είσοδο και την έξοδο του κυκλώματος και τις καθυστερήσεις. Η καθυστέρηση ανόδου και καθόδου του παλμού είναι της τάξεως των 100psec.

### Προσομοιώσεις – Καθυστερήση:



Η λειτουργία του κυκλώματος του πλήρη αθροιστή περιγράφεται από τον λογικό πίνακα:

A	B	Cin	S	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1