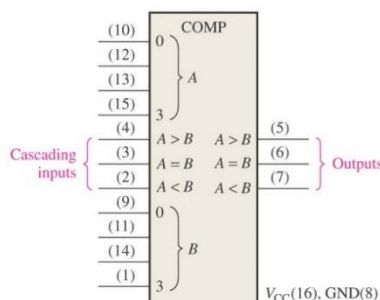
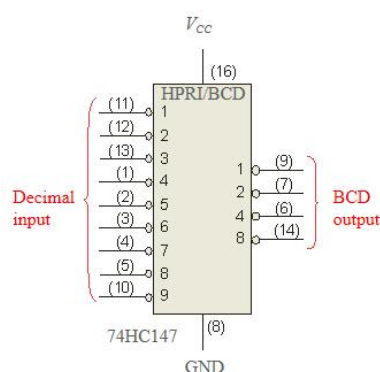


## 一、填空题 (共 10 小题, 每小题 1 分, 共 10 分)

- 1、十进制数44转换成16进制数是: 2C;
- 2、根据布尔代数的基本法则,  $(A+B)(A+C)+B = \underline{A+B}$ ;
- 3、利用狄摩根定理, 化简下列表达式  $\overline{(A+B)(C+D)} = \underline{\bar{A} \cdot \bar{B} + \bar{C} \cdot \bar{D}}$ ;
- 4、采用如下图所示的比较器芯片进行级联扩展时, 级联输入应当接较低位还是较高位比较器的输出: 低;



- 5、对于如下图所示的十进制-BCD编码器, 当输入位 1 和 7 分别为低电平, 其余为高电平时, 输出位  $\overline{A_3} \overline{A_2} \overline{A_1} \overline{A_0} = \underline{1000}$ ;

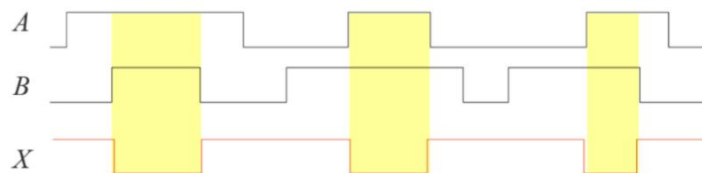


- 6、构建一个模-37同步计数器至少需要 6 个JK触发器;
- 7、假设组成一个4位异步计数器的每一个触发器都存在传输延迟, 且从时钟脉冲到输出Q的传输延迟时间都为12 ns, 当该计数器从1111再循环计数到0000时, 共产生多长时间的传输延迟: 48ns;
- 8、对74LS47 BCD-7段译码器的  $\overline{RBI}$  和  $\overline{BI}/\overline{RBO}$  级联以实现小数点后末位数字的尾部灭零操作, 需要将低位片的  $\overline{BI}/\overline{RBO}$  接入高位片的  $\overline{RBI}$ , 同时满足 8421 输入为0000;
- 9、将8位数据10111010 (开始于最右边的位) 串行输入一个8位并行输出移位寄存器中, 寄存器的初始状态为11100110, 四个时钟脉冲后, 寄存器的输出状态为: 10101110;
- 10、一个约翰逊 (扭环) 计数器共有16个计数状态, 共需要 8 个D触发器去构建它。

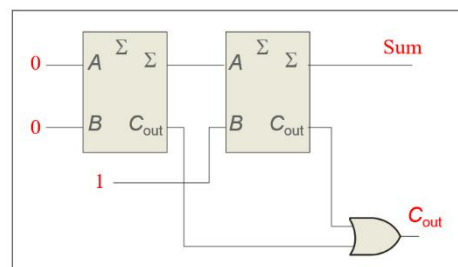
## 二、选择题 (共 10 小题, 每小题 1 分, 共 10 分)

cbddc cdabd

- 1、二进制数 1000, 数字为 1 的位的权重是:  
(a) 4; (b) 6; (c) 8; (d) 10
- 2、1000 的补码是:  
(a) 0111; (b) 1000; (c) 1001; (d) 1010
- 3、BCD 码的 1010 表示:  
(a) 8; (b) 十进制 10; (c) 十进制 12; (d) 无效
- 4、二输入 (A, B) 的门电路的输出波形如图所示 (X 表示输出), 这是一个:  
(a) 或门; (b) 与门; (c) 或非门; (d) 与非门

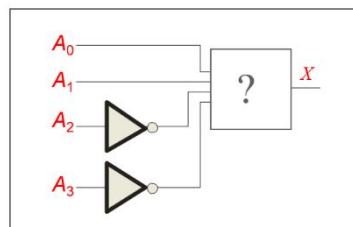


- 5、如图所示的全加器, 假设输入  $A = 0, B = 0, C_{in} = 1$ , 和 Sum 和进位  $C_{out}$  为  
(a) Sum = 0,  $C_{out} = 0$ ; (b) Sum = 0,  $C_{out} = 1$ ;  
(c) Sum = 1,  $C_{out} = 0$ ; (d) Sum = 1,  $C_{out} = 1$

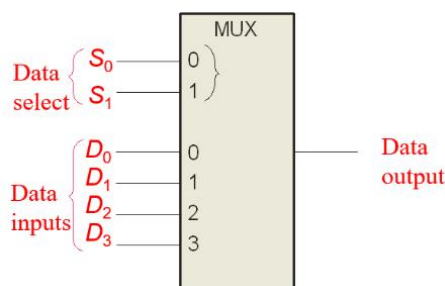


- 6、如下图, 如果要对二进制数 0011 进行低电平有效译码, 图中的问号处的门需要用:

(a) 与门; (b) 或门; (c) 与非门; (d) 或非门

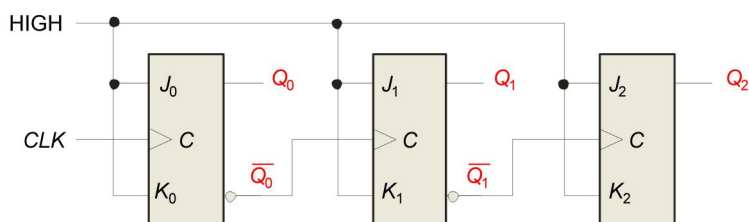


- 7、下图中 MUX 的数据选择  $S_1S_0 = 11$ , 输出为:  
(a) 低电平; (b) 高电平; (c) 等于  $D_0$ ; (d) 等于  $D_3$



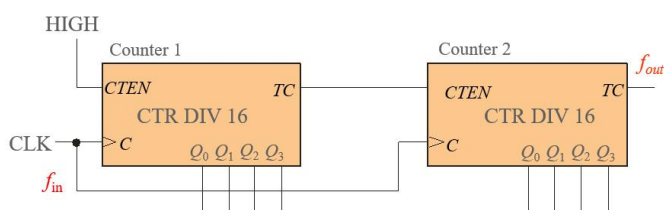
8、如下图所示的计数器是：

- (a) 异步计数器； (b) BCD 计数器； (c) 同步计数器； (d) 以上均不是



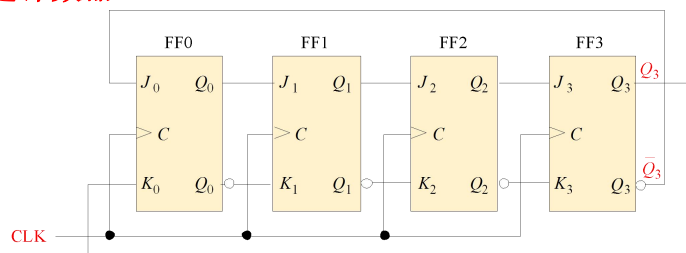
9、下图，假设输入频率 ( $f_{in}$ ) 为 256 Hz，输出频率( $f_{out}$ )为

- (a) 16 Hz； (b) 1 Hz； (c) 65 kHz； (d) none of the above



10、下图的电路为：

- (a) 串行输入/并行输出移位寄存器；  
(b) 串行输入/串行输出移位寄存器；  
(c) 环形计数器；  
(d) 约翰逊计数器



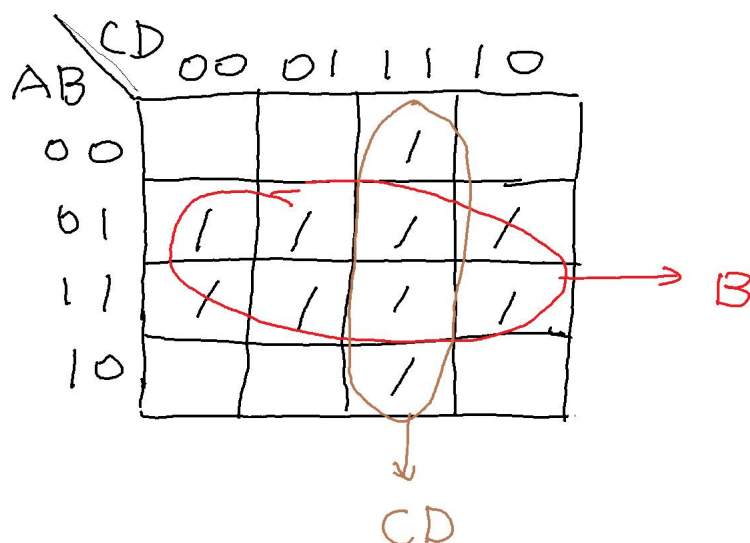
### 三、判断题 (共 10 小题，每小题 1 分，共 10 分)

- 1、异或函数与同或函数在逻辑上互为反函数。(√)
- 2、因为逻辑表达式  $A + B + AB = A + B$  成立，所以  $AB = 0$  成立。(X)
- 3、把一个 5 进制计数器与一个 10 进制计数器串联可得到 15 进制计数器。(X)
- 4、若两个逻辑具有不同的真值表，这两个逻辑函数有可能相等。(X)
- 5、储存 8 位二进制数需要 8 个触发器。(√)

- 6、组合逻辑电路中产生竞争冒险的主要原因是输入信号受到尖峰干扰。(X)
- 7、编码和译码是互逆的过程。(√)
- 8、D/A 转换器的位数越多，能够分辨的最小输出电压变化量就越小。(√)
- 9、计数器、寄存器和译码器都是时序逻辑电路。(X)
- 10、PAL 可以重复编程。(X)

#### 四、逻辑化简题 (共 1 小题, 每小题 5 分, 共 5 分)

$$Y = ABC + ABD + \bar{A}BC + CD + B\bar{D}$$



$$Y = B + CD$$

#### 五、组合电路设计题 (共 1 小题, 每小题 10 分, 共 10 分)

由题可设计一个 3 输入组合逻辑电路, 采用相邻码 (格雷码) 设计改变相应输出状态, 真值表如下:

A (0 关 1 开)	B	C	X (0 表示灭, 1 表示亮)
0	0	0	0
0	0	1	1
0	1	1	0
0	1	0	1
1	1	0	0
1	1	1	1

1	0	1	0
1	0	0	1

$$X = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + A\overline{B}C, \text{ 电路略}$$

## 六、组合集成电路应用题 (共 1 小题, 每小题 10 分, 共 10 分)

(a)

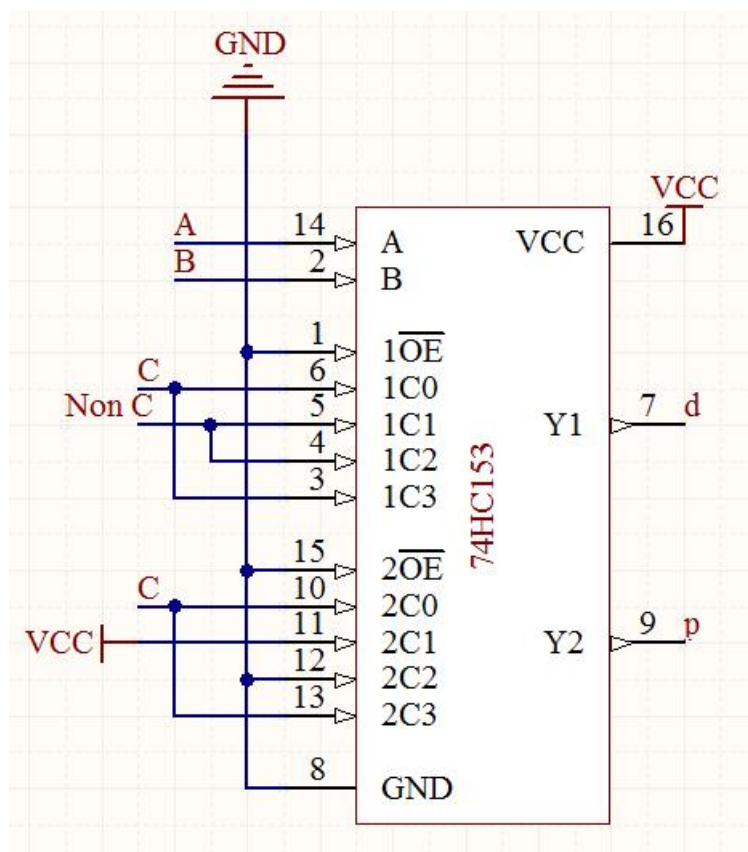
The truth table for the full subtractor is as follows:

a	b	c	p	d
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

$$d = \overline{a}\overline{b}c + \overline{a}b\overline{c} + a\overline{b}\overline{c} + abc$$

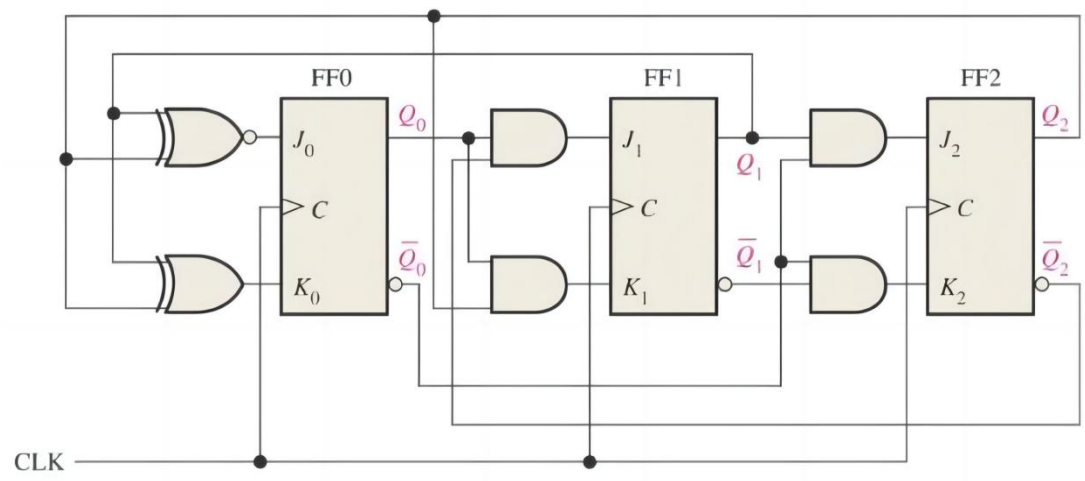
$$p = \overline{a}\overline{b}c + \overline{a}b\overline{c} + \overline{a}bc + abc = b\overline{c} + \overline{a}c + \overline{a}b$$

(b)



七、时序电路分析题（共 1 小题，每小题 10 分，共 10 分）

分析如图所示时序逻辑电路的功能；要求依次写出激励方程、状态转移方程，构建次态表/图，并说明电路功能。



答案：

第一步（3 分）：依次写出每个 JK 触发器的激励方程（输入条件表达式）；

$$J_0 = Q_2 Q_1 + \overline{Q_2} \overline{Q_1} \quad K_0 = Q_2 \overline{Q_1} + \overline{Q_2} Q_1$$

$$J_1 = \overline{Q_2} Q_0 \quad K_1 = Q_2 Q_0$$

$$J_2 = Q_1 \overline{Q_0} \quad K_2 = \overline{Q_1} \overline{Q_0}$$

第二步（3 分）：根据 JK 触发器的标准状态转移方程推导每个触发器的状态转移方程（输出次态表达式）；

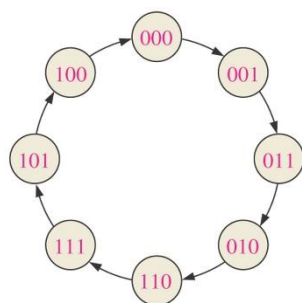
$$Q_0^{n+1} = (Q_2^n Q_1^n + \overline{Q_2^n} \overline{Q_1^n}) Q_0^n + (\overline{Q_2^n} Q_1^n + Q_2^n \overline{Q_1^n}) \overline{Q_0^n}$$

$$Q_1^{n+1} = \overline{Q_2^n} Q_0^n \overline{Q_1^n} + Q_2^n Q_0^n Q_1^n$$

$$Q_2^{n+1} = Q_1^n \overline{Q_0^n} \overline{Q_2^n} + \overline{Q_1^n} Q_0^n Q_2^n$$

第三步（2 分）：构建次态表/状态图；

PRESENT STATE			NEXT STATE		
$Q_2$	$Q_1$	$Q_0$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	0	1	0
0	1	0	1	1	0
1	1	0	1	1	1
1	1	1	1	0	1
1	0	1	1	0	0
1	0	0	0	0	0



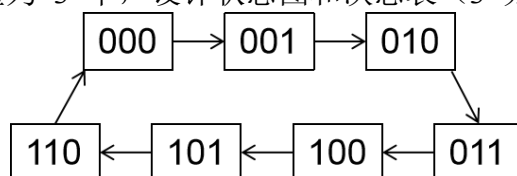
第四步（2分）：说明电路功能——3 位格雷码计数器。

## 八、时序电路设计题（共 1 小题，每小题 15 分，共 15 分）

使用 JK 触发器设计一个从 0 至 6 顺序循环计数的同步七进制计数器，要求能够自启动。写出详细设计过程。

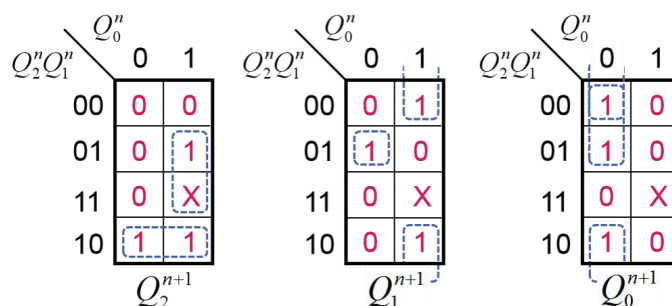
答案：（方法不唯一）

确定 JK 触发器数量为 3 个，设计状态图和次态表（3 分）：



初态			次态		
Q2	Q1	Q0	Q2	Q1	Q0
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	0	0	0

输出次态卡诺图（3 分）：



化简后得到每一级触发器的输出次态表达式（3 分）：

$$Q_2^{n+1} = Q_2^n \overline{Q_1^n} + Q_1^n Q_0^n$$

$$Q_1^{n+1} = \overline{Q_2^n} Q_1^n \overline{Q_0^n} + \overline{Q_1^n} Q_0^n$$

$$Q_0^{n+1} = \overline{Q_2^n} \overline{Q_0^n} + \overline{Q_1^n} Q_0^n$$

与 JK 触发器的次态输出标准形式对应，并确定激励条件（3 分）：

$$Q_2^{n+1} = Q_2^n \overline{Q_1^n} + Q_1^n Q_0^n (Q_2^n + \overline{Q_2^n}) = (Q_1^n Q_0^n) \overline{Q_2^n} + (\overline{Q_1^n} + Q_1^n Q_0^n) Q_2^n$$

$$Q_1^{n+1} = \overline{Q_2^n} Q_1^n \overline{Q_0^n} + \overline{Q_1^n} Q_0^n = (\overline{Q_0^n}) Q_1^n + (\overline{Q_2^n} \overline{Q_0^n}) Q_1^n$$

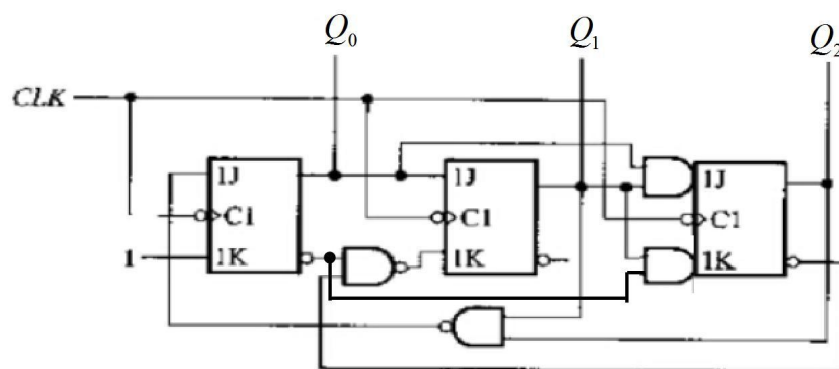
$$Q_0^{n+1} = \overline{Q_2^n} \overline{Q_0^n} + \overline{Q_1^n} Q_0^n = (\overline{Q_2^n} + \overline{Q_1^n}) \overline{Q_0^n} + (0) Q_0^n$$

$$J_2 = Q_1^n Q_0^n, K_2 = Q_1^n \overline{Q_0^n}$$

$$J_1 = Q_0^n, K_1 = Q_2^n + Q_0^n$$

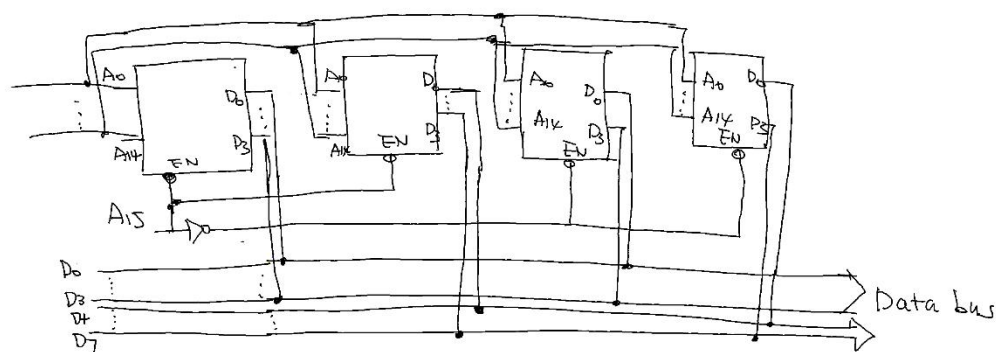
$$J_0 = \overline{Q_2^n} + \overline{Q_1^n}, K_0 = 1$$

绘制电路图，并讨论无效状态自启动问题：当进入 111，下一状态为 100（有效）（3 分）：



## 九、存储器系统设计题（共 1 小题，每小题 10 分，共 10 分）

采用 16k×4 位的 DRAM 芯片扩展成 32k×8 位 DRAM，画出逻辑图。



（勘误：图中 A14 应为 A13，而 A15 应为 A14）



## 十、模数转换/数模转换题 (共 1 小题, 每小题 10 分, 共 10 分)

如图 (a) 的 4 位数据加到如图(b)所示的 DAC 的输入时, 求出每一时刻 DAC 的输出电压, 画出 DAC 的 output 波形。注意, 输入的高电平为 5 V, 低电平为 0 V。

答案:

$$k = -\frac{V_{\text{REF}} R_f}{2^{n-1} R} = -\frac{5V \times 10k\Omega}{8 \times 25k\Omega} = -0.25V/\text{LSB}$$

