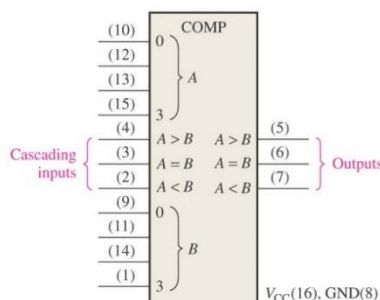
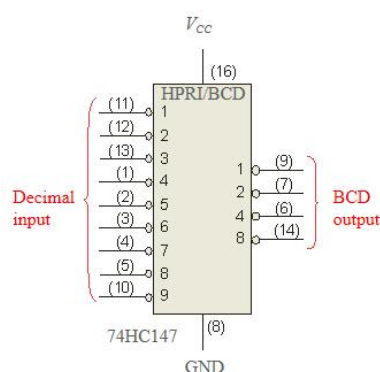


一、填空题 (共 10 小题, 每小题 1 分, 共 10 分)

- 1、十进制数44转换成16进制数是: _____;
- 2、根据布尔代数的基本法则, $(A+B)(A+C)+B =$ _____;
- 3、利用狄摩根定理, 化简下列表达式 $\overline{(A+B)(C+D)} =$ _____;
- 4、采用如下图所示的比较器芯片进行级联扩展时, 级联输入应当接较低位还是较高位比较器的输出: _____;



- 5、对于如下图所示的十进制-BCD编码器, 当输入位 1 和 7 分别为低电平, 其余为高电平时, 输出位 $\overline{A_3} \overline{A_2} \overline{A_1} \overline{A_0} =$ _____;



- 6、构建一个模-37同步计数器至少需要_____个JK触发器;
- 7、假设组成一个4位异步计数器的每一个触发器都存在传输延迟, 且从时钟脉冲冲到输出Q的传输延迟时间都为12 ns, 当该计数器从1111再循环计数到0000时, 共产生多长时间的传输延迟: _____;
- 8、对74LS47 BCD-7段译码器的 \overline{RBI} 和 $\overline{BI}/\overline{RBO}$ 级联以实现小数点后末位数字的尾部灭零操作, 需要将低位片的_____接入高位片的_____, 同时满足_____;
- 9、将8位数据10111010 (开始于最右边的位) 串行输入一个8位并行输出移位寄存器中, 寄存器的初始状态为11100110, 四个时钟脉冲后, 寄存器的输出状态为: _____;
- 10、一个约翰逊 (扭环) 计数器共有16个计数状态, 共需要_____个D触发器去构建它。

二、选择题 (共 10 小题, 每小题 1 分, 共 10 分)

1、二进制数 1000, 数字为 1 的位的权重是:

(a) 4; (b) 6; (c) 8; (d) 10

2、1000 的补码是:

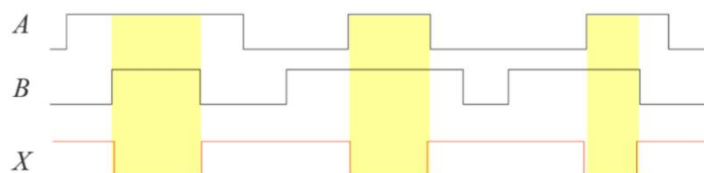
(a) 0111; (b) 1000; (c) 1001; (d) 1010

3、BCD 码的 1010 表示:

(a) 8; (b) 十进制 10; (c) 十进制 12; (d) 无效

4、二输入 (A, B) 的门电路的输出波形如图所示 (X 表示输出), 这是一个:

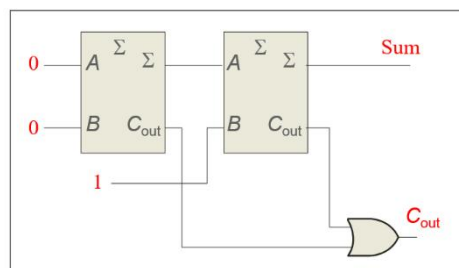
(a) 或门; (b) 与门; (c) 或非门; (d) 与非门



5、如图所示的全加器, 假设输入 $A = 0, B = 0, C_{in} = 1$, 和 Sum 和进位 C_{out} 为

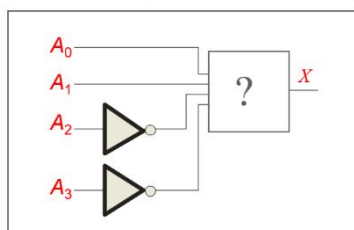
(a) Sum = 0, $C_{out} = 0$; (b) Sum = 0, $C_{out} = 1$;

(c) Sum = 1, $C_{out} = 0$; (d) Sum = 1, $C_{out} = 1$



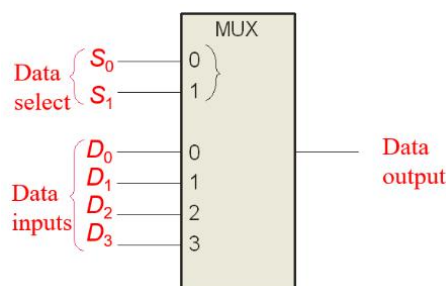
6、如下图, 如果要对二进制数 0011 进行低电平有效译码, 图中的问号处的门需要用:

(a) 与门; (b) 或门; (c) 与非门; (d) 或非门



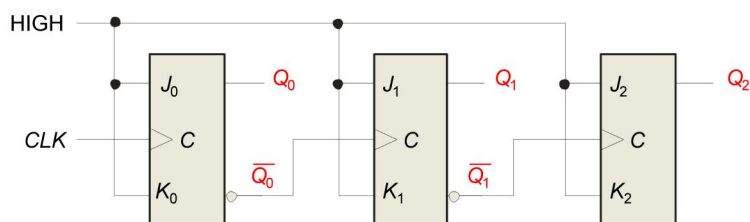
7、下图中 MUX 的数据选择 $S_1S_0 = 11$, 输出为:

(a) 低电平; (b) 高电平; (c) 等于 D_0 ; (d) 等于 D_3



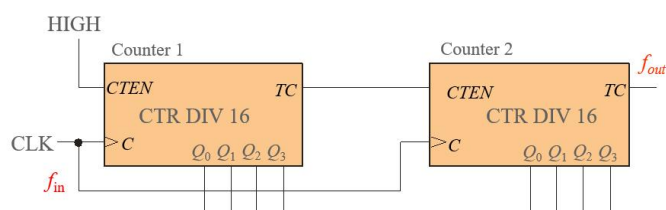
8、如下图所示的计数器是：

- (a) 异步计数器； (b) BCD 计数器； (c) 同步计数器； (d) 以上均不是



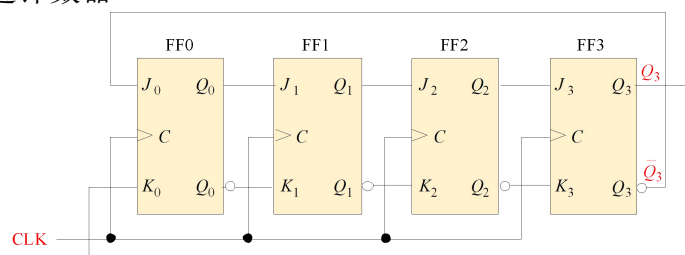
9、下图，假设输入频率 (f_{in}) 为 256 Hz，输出频率(f_{out})为

- (a) 16 Hz； (b) 1 Hz； (c) 65 kHz； (d) none of the above



10、下图的电路为：

- (a) 串行输入/并行输出移位寄存器；
(b) 串行输入/串行输出移位寄存器；
(c) 环形计数器；
(d) 约翰逊计数器



三、判断题 (共 10 小题 , 每小题 1 分 , 共 10 分)

- 1、异或函数与同或函数在逻辑上互为反函数。()
- 2、因为逻辑表达式 $A + B + AB = A + B$ 成立，所以 $AB = 0$ 成立。()
- 3、把一个 5 进制计数器与一个 10 进制计数器串联可得到 15 进制计数器。()
- 4、若两个逻辑具有不同的真值表，这两个逻辑函数有可能相等。()
- 5、储存 8 位二进制数需要 8 个触发器。()

- 6、组合逻辑电路中产生竞争冒险的主要原因是输入信号受到尖峰干扰。()
- 7、编码和译码是互逆的过程。()
- 8、D/A 转换器的位数越多，能够分辨的最小输出电压变化量就越小。()
- 9、计数器、寄存器和译码器都是时序逻辑电路。()
- 10、PAL 可以重复编程。()

四、逻辑化简题 (共 1 小题, 每小题 5 分, 共 5 分)

$$Y = ABC + ABD + \overline{A}B\overline{C} + CD + B\overline{D}$$

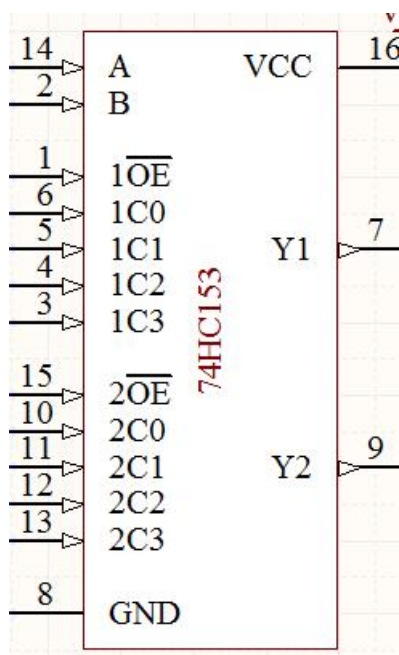
五、组合电路设计题 (共 1 小题, 每小题 10 分, 共 10 分)

设计一个长走廊灯电路，由走廊两端和中间共三个开关控制顶部的照明灯，要求任意一个开关有动作（开或关）都将导致灯改变状态（从亮到灭或从灭到亮）。用门电路方法实现。（要求写出具体设计过程，并绘制电路）

六、组合集成电路应用题 (共 1 小题, 每小题 10 分, 共 10 分)

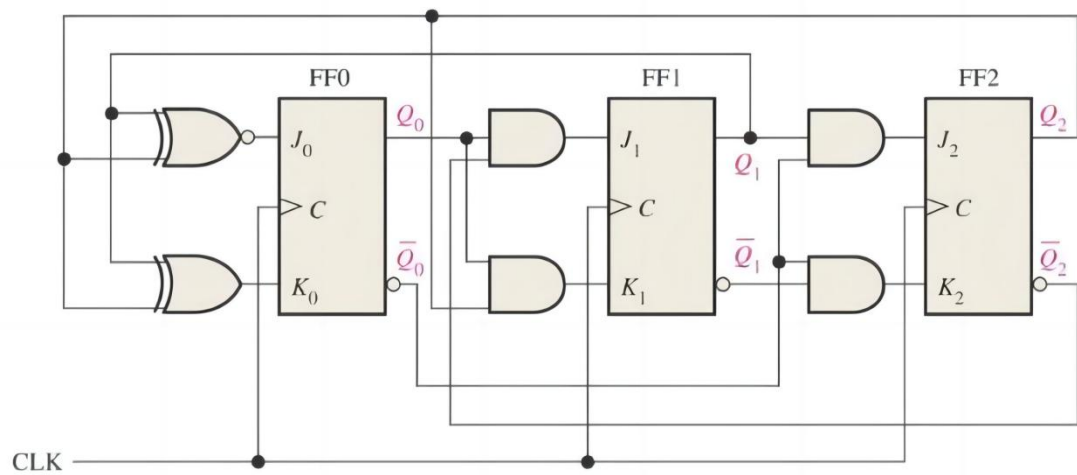
设计一个一位全减器来计算 $A-B-C$ ，其中 C 是来自低位的借位。它将得到差 D 和对高位的借位 P 。

- (a) 采用逻辑门实现这个全减器，只需写出 D 和 P 的逻辑表达式，不需要画出电路图。
- (b) 采用 74LS153 和逻辑门来实现这个全减器，需画出具体电路图，其中 74HC153 包含两个四输入多路复用器。



七、时序电路分析题（共 1 小题，每小题 10 分，共 10 分）

分析如图所示时序逻辑电路的功能；要求依次写出激励方程、状态转移方程，构建次态表/图，并说明电路功能。



八、时序电路设计题（共 1 小题，每小题 15 分，共 15 分）

使用 JK 触发器设计一个从 0 至 6 顺序循环计数的同步七进制计数器，要求能够自启动。写出详细设计过程。

九、存储器系统设计题（共 1 小题，每小题 10 分，共 10 分）

采用 16k×4 位的 DRAM 芯片扩展成 32k×8 位 DRAM，画出逻辑图。

十、模数转换/数模转换题（共 1 小题，每小题 10 分，共 10 分）

如图 (a) 的 4 位数据加到如图(b)所示的 DAC 的输入时，求出每一时刻 DAC 的输出电压，画出 DAC 的输出波形。（高电平+5V，低电平 0V）

