

УДК 681.51

## РОЗПОДІЛЕНА АПАРАТНО-ПРОГРАМНА АРХІТЕКТУРА ДЛЯ РЕАЛІЗАЦІЇ НЕЙРОМЕРЕЖЕВИХ СТРУКТУР ТА АЛГОРИТМІВ

П.І.Кравець, В.А.Жеребко, Х.С.Василевська.

Національний технічний університет України «Київський політехнічний інститут».

*В роботі пропонується розподілена апаратно-програмна архітектура реалізації нейромережових структур систем управління, яка включає методику синтезу та реалізації нейромережової структури на апаратній платформі CompactRIO мовою G в середовищі LabVIEW. Нейромережова структура інтегрується у FPGA-контролер, а алгоритми синтезу виконуються на RT-контролері. Реалізовано механізм динамічної заміни нейромережових структур на FPGA.*

**Ключові слова:** апаратно-програмна архітектура, штучна нейронна мережа, нейромережова структура, LabVIEW, FPGA, CompactRIO, Real-Time.

### Вступ

Синтез та реалізація сучасних складних систем управління потребує використання дорогих апаратно-програмних засобів та спеціалізованого програмного забезпечення, що в свою чергу передбачає значні грошові затрати. Виходячи з того, що економічні витрати досить часто є чинником, який визначає можливість реалізації системи управління, постає важливе питання вибору оптимальної технології синтезу та реалізації систем управління, що може забезпечити мінімізацію економічних витрат шляхом мінімізації кількості необхідних програмно-апаратних засобів та використання доступного програмного забезпечення при умові ефективної та якісної реалізації синтезованих систем управління.

Як відомо, одним з універсальних методів реалізації складних систем управління та їх елементів (різноманітних обчислювальних структур, моделей, регуляторів та ін.) є структури на основі штучних нейронних мереж (ШНМ). Для реалізації таких нейромережових систем управління [1] передбачається вибір та обґрунтування апаратно-програмної архітектури (АПА) та цільової платформи.

Класичний підхід до апаратно-програмної реалізації нейромережових структур (НМС) та алгоритмів (НМА) полягає у початковому математичному моделюванні [2] та подальшому завантаженню опрацьованих моделей на вибрану цільову платформу. Під термінами НМС та НМА маються на увазі дві головні складові будь-якої нейромережової системи, що синтезується: НМС – це власне об'єкт синтезу (ШНМ або їх набір), та НМА – алгоритмічний базис для синтезу НМС.

На даний час однією з найбільш популярних цільових платформ для синтезу, моделювання та реалізації різноманітних структур є сучасна платформа промислового контролера автоматизації (ПКА, англ. PAC) серії CompactRIO, що програмується в середовищі LabVIEW.

Мета даної роботи – розробка концепції і методики проектування та реалізації елементів та структур нейромережових систем управління на основі використання можливостей вище згаданої платформи.

### 1. Основний матеріал та результати

Складовими елементами платформи CompactRIO є два контролери: REAL-TIME (RT) та FPGA, що взаємопов'язані паралельною шиною даних PCI. На RT-контролері встановлено операційну систему реального часу (ОСРЧ) та ядро LabVIEW. FPGA-контролер являє собою шасі із кристалом FPGA (ПЛІС) та модулями введення-виведення.

Загальна структура розподіленої АПА платформи CompactRIO для реалізації НМС та НМА наведена на рис. 1.

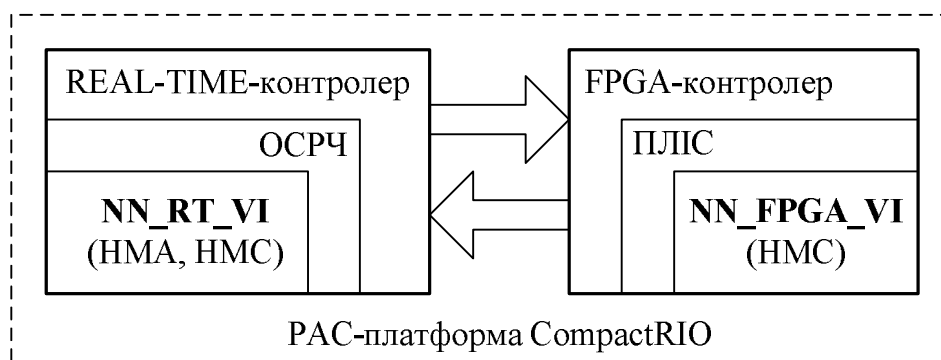


Рис. 1. Апаратно-програмна архітектура платформи CompactRIO для реалізації НМС та НМА

Перевагою такої АПА є ефективний розподіл обчислювальних операцій та ресурсів. Розробка управляючих програм для контролерів RT та FPGA здійснюється графічною мовою G в середовищі LabVIEW у вигляді так званих віртуальних пристроїв (файли VI). VI-програма NN\_RT\_VI, що працює на RT-контролері, виконує алгоритми навчання (НМА), генерацію початкових параметрів навчання і найголовніше – завантаження ШНМ у ПЛІС. VI-програма NN\_FPGA\_VI, що містить лише структуру ШНМ (HMC), власне завантажується на виконання у ПЛІС. Тобто, відбувається логічне розмежування між RT- та FPGA-контролерами за витратами об'ємів пам'яті та обчислювальних ресурсів, що витратяться на виконання VI-програм.

Для експериментальних досліджень АПА для реалізації НМС на платформі CompactRIO, у якості прикладу, була використана модель одношарової ШНМ прямого розповсюдження [1], яка має шар з 8 повноцінних нейронів та шар з 8 сенсорних. Функціональна схема навчання та завантаження такої ШНМ у ПЛІС показана на рис. 2.

Навчальна вибірка у вигляді пар вхідного вектору  $X(n)$  та відповідного бажаного вихідного вектору  $D(n)$ ,  $n$  – номер кроку епохи навчання, зчитується з файлу, що знаходиться на RT-контролері. Процес навчання проходить за «дельта-правилом» і описується наступним чином:

$$\Delta w_{ij}(n) = h \cdot (d_i(n) - y_i(n)) \cdot x_j(n), \quad (1)$$

де  $\Delta w_{ij}(n)$  – зміна вагового коефіцієнту зв'язку між  $i$ -тим нейроном та  $j$ -тим входом,  $h$  – додатна константа з проміжку (0..1), яка визначає швидкість навчання,  $d_i(n)$  – бажаний вектор виходу  $i$ -го нейрону,  $y_i(n)$  – наявний вектор виходу  $i$ -го нейрону,  $x_j(n)$  – елемент вектору вхідного сигналу, що подається на  $j$ -ий вхід нейрону,  $i$  та  $j$  змінюються від 1 до  $k$  (в нашому випадку  $k = 8$ ).

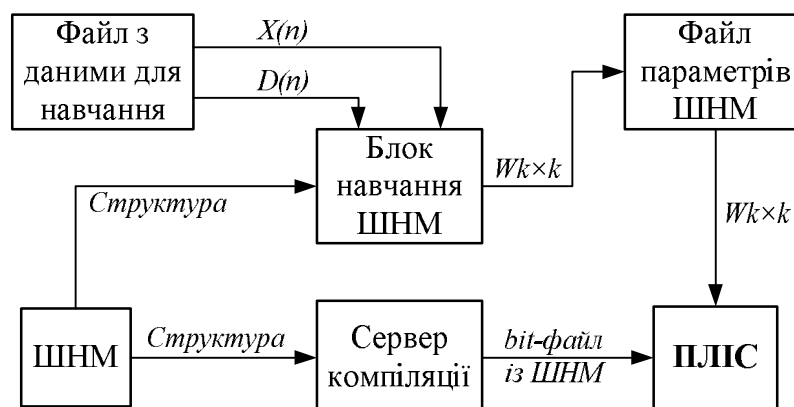


Рис. 2. Функціональна схема навчання та завантаження ШНМ у ПЛІС

У результаті навчання отримуються вагові коефіцієнти ШНМ ( $W_k \times k$ ). Масив вагових коефіцієнтів зберігається в окремому файлі на RT-контролері. А після завершення проектування та навчання НМС, готова синтезована структура ШНМ компілюється на сервері Xilinx для подальшого завантаження отриманого bit-файлу в кристал ПЛІС FPGA-контролера.

Розподілена АПА платформи CompactRIO надає можливість побудови таких систем, коли необхідно, у реальному масштабі часу RT-контролера, динамічно змінювати НМС, що міститься у ПЛІС, із повним циклом перезавантаження структури та параметризацією мережі. Приклад алгоритму роботи однієї ітерації такої системи наведений на рис. 3.

Блоки схеми алгоритму 3 та 4 виконують ініціалізацію обраної НМС: запам'ятовується розмірність, кількість нейронів, зважені зв'язки, функція активації тощо. Блок 5 обирає шлях або навчання НМС (блок 7) та збереження у файлі вагових коефіцієнтів (блок 10), або тестування (блок 9). У випадку динамічної зміни НМС на нову – алгоритм виконує блоки 8 (зчитування коефіцієнтів нової НМС з файлу) та 11 (перезавантаження структури нової мережі у ПЛІС).

Алгоритмічний базис та специфіка техніки проектування НМС із ШНМ мовою G в середовищі LabVIEW були відпрацьовані у [3, 4]. На рисунку 4 представлено VI-файл, що містить реалізацію ШНМ 8x8.

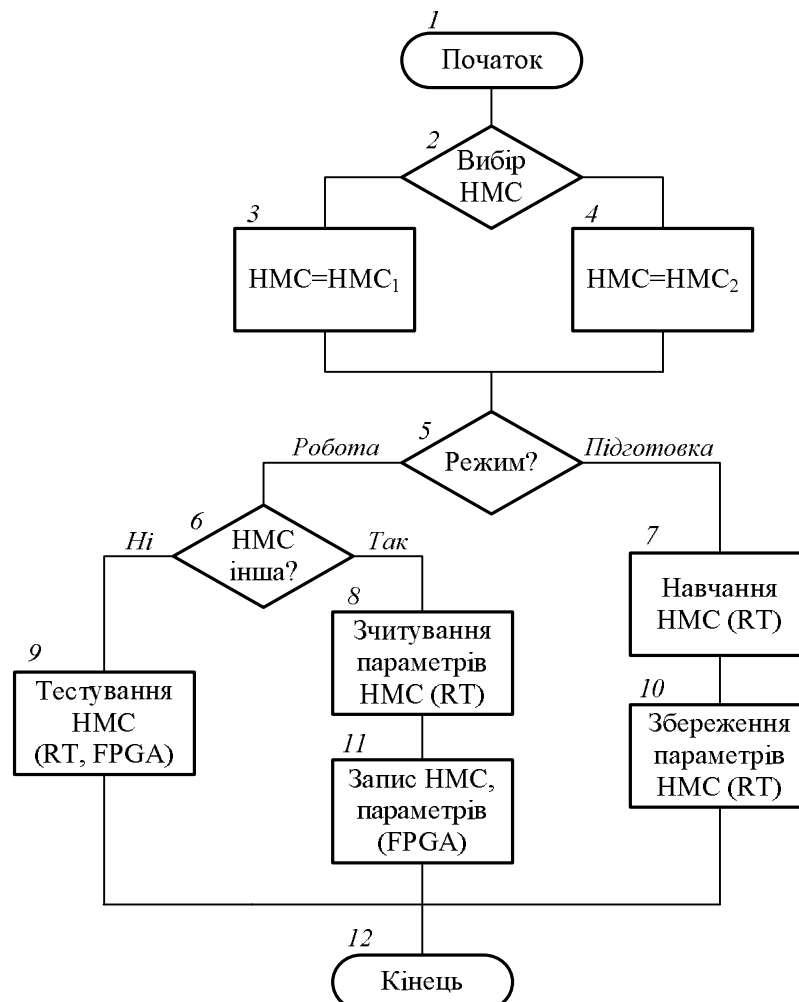


Рис. 3. Схема алгоритму динамічної заміни НМС у ПЛІС на CompactRIO

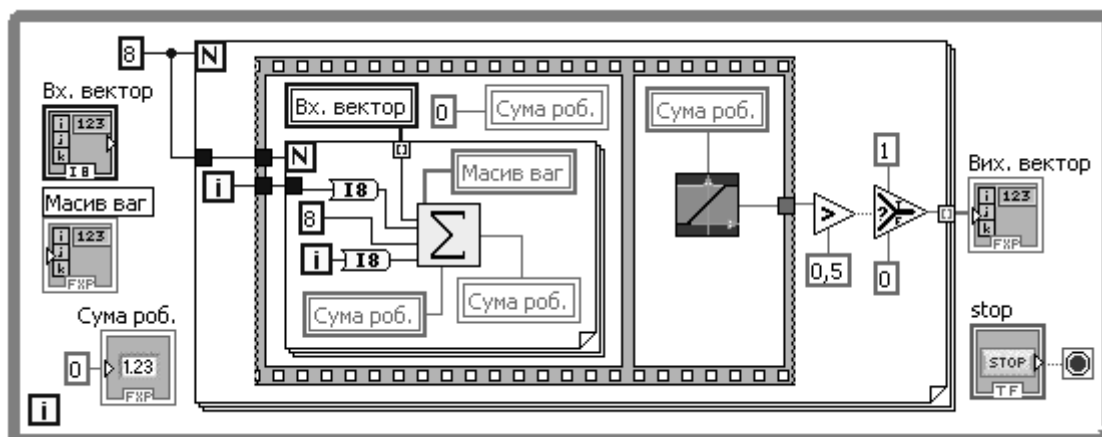


Рис. 4. VI реалізації ШНМ (платформа FPGA)

Практична реалізація НМС та НМА на базі розподіленої АПА цільової платформи CompactRIO [5] мовою G в LabVIEW приведена на рис. 5–6.

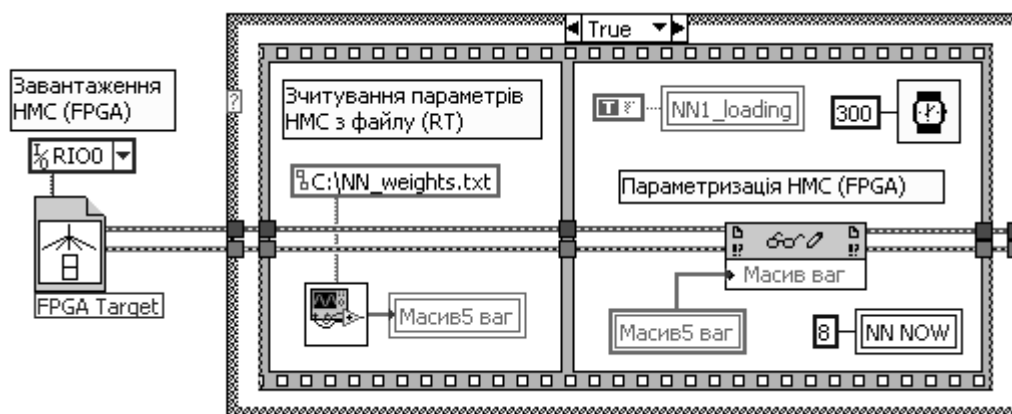


Рис. 5. Фрагмент VI завантаження та параметризації ШНМ у ПЛІС

Функціонально передбачений взаємозв'язок та обмін даними у реальному часі між VI, які розміщено на RT та FPGA платформах. Запис та зчитування виконується за допомогою VI-блоків Read/Write Control (див. рис. 6).

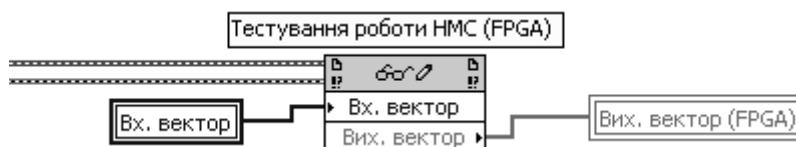


Рис. 6. Фрагмент VI тестування роботи ШНМ (на FPGA)

При розробці VI-програм для ПЛІС існують деякі обмеження на математичні операції, функції, типи та структури даних [4]. Таким чином необхідно підкреслити, що розробку НМС та нейромережових систем взагалі в LabVIEW, доцільно розпочинати, безпосередньо орієнтуючись на цільову платформу. Це зменшить кількість помилок та проблем, пов'язаних з перенесенням коду від RT до FPGA.

### Висновки

Головною перевагою запропонованої розподіленої АПА є використання єдиного інструментарію для проектування НМС та НМА у вигляді програмного комплексу LabVIEW. Це звільняє кінцевого розробника від необхідності додатково користуватись схемною мовою VHDL, оскільки трансформацію G-коду у необхідний для мікросхеми ПЛІС формат виконує сервер компіляції Xilinx, що за замовчуванням присутній в інсталяції LabVIEW FPGA Module.

Експериментальні дослідження побудови та навчання різних НМС в середовищі LabVIEW показали, що при розподіленій архітектурі досягається до 60% економії задіяних пар вентилів, в порівнянні з нерозподіленою реалізацією [4]. Це підтверджує ефективність розподілу ресурсів на базі запропонованої АПА платформи CompactRIO. RT-контролер на відміну від FPGA не має таких значних обмежень у наявній пам'яті, підтримці типів та функцій, тому при навчанні НМС можна використовувати більш складні алгоритми, реалізація яких на FPGA або неможлива, або є дуже складною та потребуватиме великої кількості ресурсів. Працездатність механізму конфігурування, параметризації НМС, а також заміни НМС цілком в кристалі ПЛІС в реальному масштабі часу, підтверджено прикладами на практиці.

### ЛІТЕРАТУРА:

1. Хайкин, С. Нейронные сети: полный курс. : 2-е издание [пер. с англ.] / Хайкин С.: – М.: Издательский дом «Вильямс», 2006. – 1104 с.
2. Егупов, Н.Д. Методы робастного, нейро-нечеткого и адаптивного управления / Под ред. Егупова Н.Д.: – М.: Изд-во МГТУ им. Н.Э. Баумана, 2002. – 744 с.
3. Pogula Sridhar Sriram. Developing Neural Network applications using LabVIEW / Pogula Sridhar Sriram. Adviser: Robert W. McLaren. Electrical Engineering, MS SS 2005. – 115 p.
4. Жеребко В.А. Підхід до побудови штучних нейронних мереж та їх реалізація на апаратній платформі CompactRIO / Жеребко В.А., Кравець П.І., Василевська Х.С.: – Вінниця: Тези доповідей IX-ї міжнародної науково-технічної конференції КУСС-2008, 21-24 жовтня 2008 р.
5. CompactRIO and LabVIEW Development Fundamentals / National Instruments, 2008. – 328 p.

*Получено редакцией 25.01.2009 г.*

© Кравець П.І., 2009.

© Жеребко В.А., 2009.

© Василевська Х.С., 2009.

**Кравець Петро Іванович** – к.т.н., Україна, м. Київ, Національний технічний університет України «КПІ», кафедра автоматики та управління в технічних системах, доцент. e-mail: [kravets@acts.kiev.ua](mailto:kravets@acts.kiev.ua), тел.: (044) 241-8646.

**Жеребко Валерій Анатолійович** – Україна, м. Київ, Національний технічний університет України «КПІ», кафедра автоматики та управління в технічних системах, асистент. e-mail: [zherebko@acts.kiev.ua](mailto:zherebko@acts.kiev.ua), тел.: (044) 241-8646.

**Василевська Христина Сергіївна** – Україна, м. Київ, Національний технічний університет України «КПІ», кафедра автоматики та управління в технічних системах, студент-магістрант. e-mail: [tritanster@gmail.com](mailto:tritanster@gmail.com), тел.: (044) 241-8646.