

# TP02 – Compteurs

Cédrine Socquet

## Rendu

Votre rapport devra contenir :

- Vos schéma RTL
- Vos résultats de simulation avec vos chronogrammes commentés
- Vos résultats de mesure ILA
- Vos résultats de synthèse (analyse de vos ressources utilisées)
- Vos résultats de STA (analyse du rapport de timing)
- Une démonstration de votre design

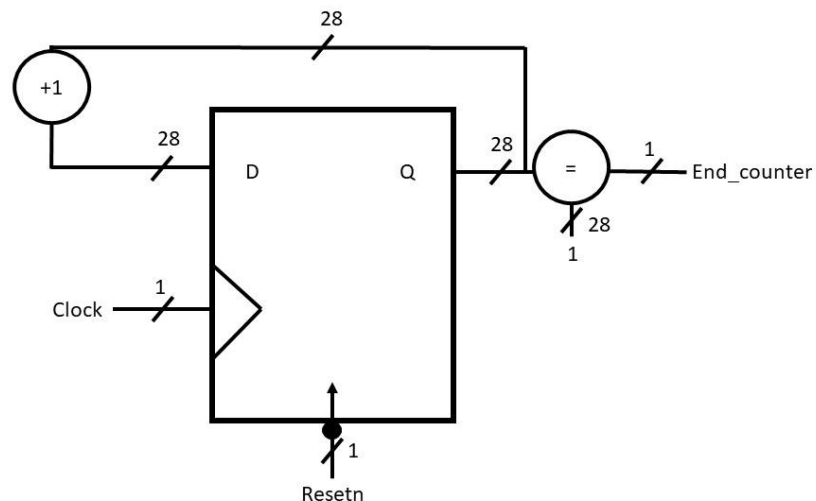
Vous fournirez également vos codes source commentés.

## Réponses

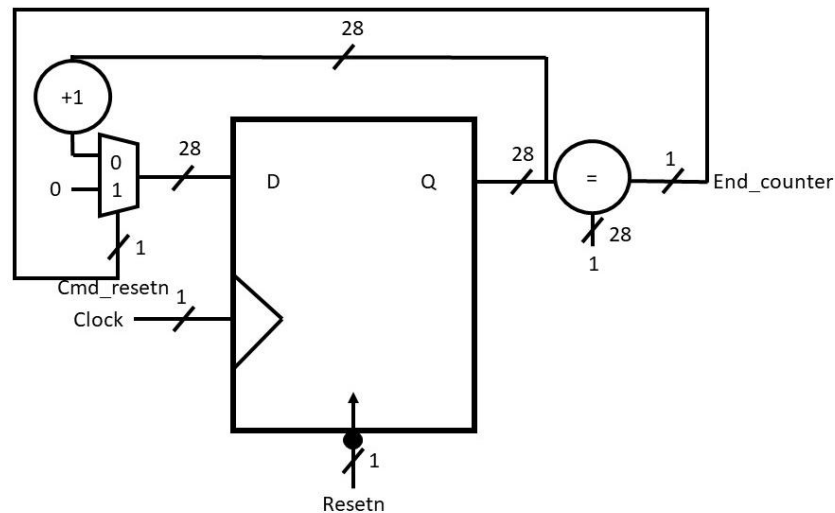
1. Le nombre de périodes pour 2 secondes à 100 MHz est de  $2 \times 10^8$ , car 100 MHz signifie qu'il y a 100 000 000 périodes dans 1 seconde, il faut donc les multiplier par 2 pour obtenir le nombre de périodes dans 2 secondes.

Pour représenter cette valeur il faut 28 bits minium, car  $\log_2(200\,000\,000) = 27,575$ .

2. Voici le schéma RTL de ce compteur.



3. Voici le schéma RTL de ce compteur avec la condition de remise à 0 lorsqu'il a atteint la valeur souhaitée.



4. Voici les signaux de mon architecture :

Les signaux d'entrée : Clock, Resetrn

Les signaux de sortie : End\_counter

Les signaux internes : D, Q, Cmd\_resetrn

5. Le compteur en VHDL : Voir fichier code source counter.vhd

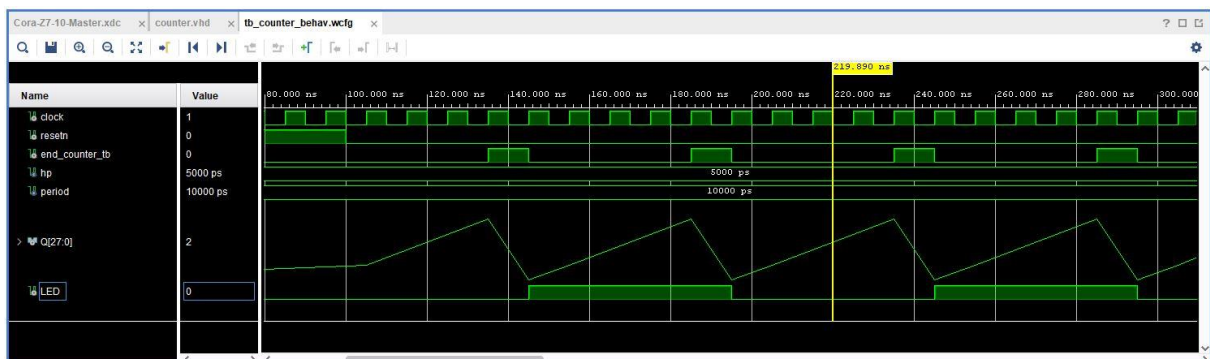
6. Testbench : Voir fichier code source tb\_counter.vhd

7. Pour vérifier que le design est valide, il faut observer sur le chronogramme que le resetrn est bien égale à 1 au début, puis que le compteur « Q » s'enclenche et s'incrémente jusqu'à arriver à sa valeur max, auquel cas end\_counter\_tb passe à 1 et le compteur est réinitialisé à 0.

On peut également vérifier que les signaux soient constants par rapport à l'horloge « clock » et ne se décalent pas.

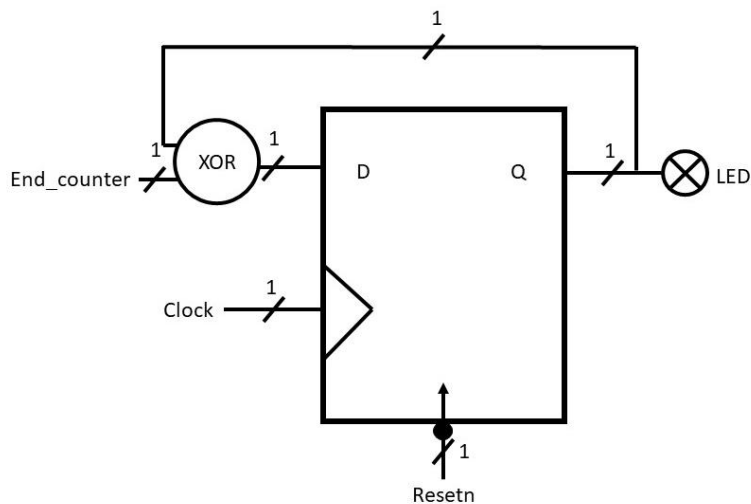
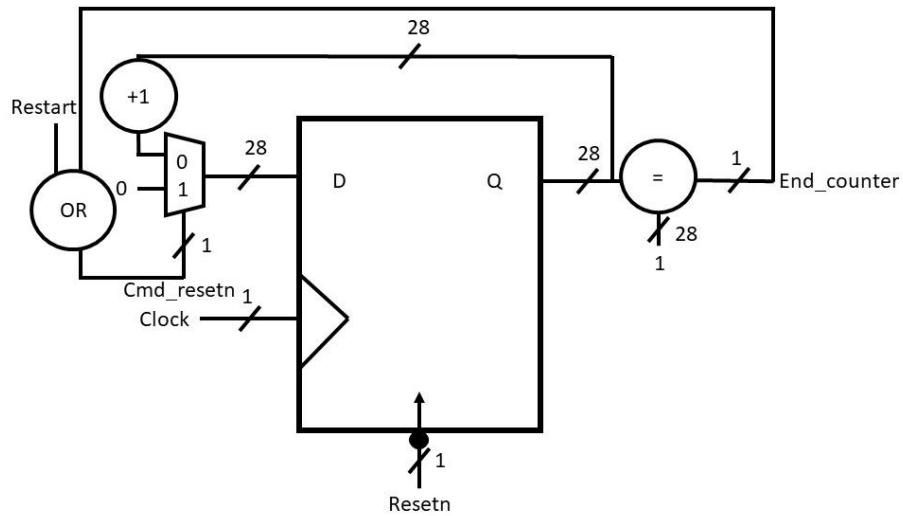
Pour les questions suivantes : On voit également que lorsque end\_counter\_tb passe à 1, la LED change d'état sur le prochain front montant, alternant ainsi de 0 à 1 (pour une durée respective de 2 secondes lorsque la valeur maximale du compteur (Q MAX) est à 200 000 000 périodes)

(Le nombre de périodes a volontairement été réduit pour pouvoir limiter les temps de calcul et avoir plusieurs répétitions sur une seule capture d'écran).



8. LED : Voir fichier code source Cora-Z7-10-Master.xdc et counter.vhd

9. Voici le schéma RTL avec une LED associée au signal de test d'arrêt du compte avec une remise à 0 lorsqu'un signal restart est à 1 et que la LED clignote telle que : allumée 2s, éteinte 2s.



10. Voici les mises à jour nécessaires sur le code VHDL pour correspondre au nouveau schéma : Voir fichier code source counter.vhd

11. Voir fichier code source Cora-Z7-10-Master.xdc et counter.vhd

12. Les signaux que nous devons observer dans le testbench sont la clock, le resetn, le end\_counter\_tb, restart, le compteur ainsi que la LED.

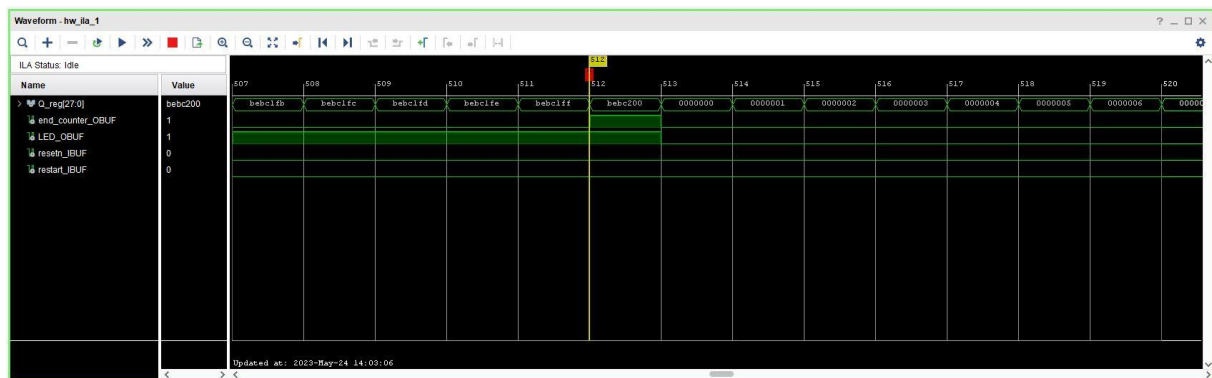
13. Les différents éléments de l'architecture RTL que l'on retrouve sur la schématique sont les 29 registres (28 pour le compteur et 1 pour la LED) ainsi que les entrées : clock, resetn, restart et les sorties : end\_counter et LED (= memoled). Les entrées et sorties ont évoluées par rapport à la question

14. Dans le rapport de synthèse, on retrouve dans les ressources utilisées 29 FDCE, 3 IBUF ainsi que 2 OBUF qui correspondent aux 29 (28 + 1 car compteur + LED) registres, aux 3 entrées (clock, resetn, restart) et 2 sorties (end\_counter et memoled) de mon architecture RTL.

15. Pour voir les sondes placées sur les signaux à observer et défini à la question 12, voir schématique des fichiers sources.

16. Vérification du rapport de timing après l'implémentation (avec sondes ILA) : il n'y a pas de violation du set up (TNS) et du hold (THS) car ils sont tous les deux à zéro. Le chemin critique quant à lui est de 25.493ns et prend sa source à state\_reg[2]/C et arrive à destination de portno\_temp\_reg[5]/D.

17. Une fois le bitstream généré, on observe le système sur carte. La LED s'allume bien pendant 2sec et s'éteint pendant 2sec ainsi de suite. Les résultats de la ILA relevés sont les suivants :



En observant end\_counter on voit que lorsqu'il passe à 1, l'état de la LED s'inverse sur le prochain front montant, alternant entre son état haut et son état bas à chaque fin de cycle du compteur (comme visible sur le chronogramme de la question 7).