

060.txt

**Jeśli w pamięci blokowej układu Spartan-3E port odczytu danych DO nie zmienia się podczas każdej operacji zapisu, atrybut WRITE\_MODE ma wartość:**

- NO\_CHANGE
- READ\_FIRST
- WRITE\_FIRST
- IGNORE

074.txt

**Aby nastąpiło poprawne przełączenie się przerzutnika synchronicznego, jego sygnał WE musi być stabilny wokół zbocza zegarowego przez czas równy:**

- sumie czasu ustawienia (set-up) przerzutnika oraz skosu zegara
- sumie czasu przełączania się oraz podtrzymania (hold) przerzutnika
- sumie czasu ustawienia (set-up) oraz podtrzymania (hold).
- sumie czasu przełączania się przerzutnika oraz czasu ustawienia (set-up)

048.txt

**Układy FPGA firmy Xilinx wykorzystują architekturę typu:**

- architektura wierszowa
- hierarchia bloków PLD
- morze bramek
- macierz symetryczna

114.txt

**Pewną funkcją 10 zmiennych po podziale udało się zrealizować w jednym bloku CLB układu Spartan-3E. Podaj minimalną ilość zasobów, jaka mogła zostać użyta w najbardziej korzystnym przypadku podziału zmiennych funkcji.**

- 1x F5MUX + 2x LUT
- 1x F6MUX + 1x F5MUX + 4x LUT
- 1x F6MUX + 2x F5MUX + 4x LUT
- 1x F7MUX + 2x F6MUX + 4x F5MUX + 8x LUT

100.txt

**W elemencie RAM16X1S rodziny XC4000:**

- odczyt i zapis następuje Synchronicznie
- odczyt następuje Asynchronicznie, natomiast zapis - Synchronicznie
- odczyt następuje Synchronicznie, natomiast zapis - Asynchronicznie
- odczyt i zapis następuje Asynchronicznie

128.txt

**Wybierz charakterystykę, z której można wyznaczyć prąd wyjściowy bramki w stanie wysokim przy zwarcu do masy:**

- wyjściowa charakterystyka prądowo-napięciowa dla bramki w stanie wysokim
- przejściowa charakterystyka napięciowa
- wejściowa charakterystyka prądowo-napięciowa
- wyjściowa charakterystyka prądowo-napięciowa dla bramki w stanie niskim

129.txt

**(NIEPOTWIERDZONE) Napięciowa charakterystyka przejściowa bramki logicznej przecina się z prostą o nachyleniu jednostkowym w 3 punktach. Punkty te ...**

- wyznaczają dopuszczalne zakresy napięć dla zera i jedynki logicznej na WE bramki
- wyznaczają napięcia WE/WY, które ustalają się w łańcuchu kaskadowo połączonych bramek tego typu
- wyznaczają dopuszczalne zakresy napięć dla zera i jedynki logicznej zarówno na WE, jak i na WY bramki
- wyznaczają dopuszczalne zakresy napięć dla zera i jedynki logicznej na WY bramki

101.txt

**W układzie Spartan-3E magistrale adresowe o szerokościach 11b oraz 9b ma element:**

- RAMB16\_S18\_S36
- RAMB16\_S9\_S36
- RAMB16\_S9\_S18
- RAMB16\_S36\_S9

115.txt

**Podaj minimalne zasoby niezbędne do realizacji modułu RAM16X3D w układzie Spartan-3E:**

- 8x LUT
- 6x LUT
- 6x LUT + 3x F5MUX
- 8x LUT + 4x F5MUX

049.txt

**Jesli przerzutnik próbkuje pewien (nieskorelowany z nim) sygnał D z częstotliwością  $F_s=100\text{MHz}$ , a jego przedział metastabilny ma długość  $W = 100\text{ps}$ , to prawdopodobieństwo wystąpienia metastabilności przy każdej zmianie D wynosi:**

- 0.1%
- 0.001%
- 0.01%
- 1%

075.txt

**Blok pamięci RAM w układzie Spartan-3E został skonfigurowany w trybie jedno portowym z 11-bitową magistralą adresową. Magistrale danych (DI oraz DO) będą miały szerokość:**

- [8b + 1b parzystości](#)
- 2b
- 8b
- 4b

061.txt

**W układzie scalonym zawierającym przerzutnik, którego porty (Clk, D, Q) są dołączone do wyprowadzeń zewnętrznych obudowy poprzez bufory, wzrost czasu ustawienia (set-up) wymaganego na wyprowadzeniu pinD nastąpi wskutek:**

- [wzrostu opóźnienia w wejściowej ścieżce D](#)
- wzrostu opóźnienia w wyjściowej ścieżce Q
- spadku opóźnienia w wejściowej ścieżce D
- wzrostu opóźnienia w wejściowej ścieżce Clk

088.txt

**Moduł Digital Clock Manager w układach Spartan-3E uzyskuje synchronizację wewnętrznego sygnału zegarowego z zewnętrznym źródłem referencyjnym poprzez**

- sterowanie częstotliwością oraz wyprzedzeniem fazowym
- [sterowanie tylko wyprzedzeniem fazowym](#)
- sterowanie tylko współczynnikiem wypełnienia
- sterowanie tylko częstotliwością

077.txt

**Czy zmniejszanie częstotliwości sygnału zegarowego pomaga eliminować problemy w przełączaniu się przerzutników spowodowane jego dużym skosem?**

- Prawda
- [Fałsz](#)

063.txt

**Wejściowa charakterystyka prądowo-napięciowa bramki logicznej pozwala wyznaczyć:**

- [prąd wejściowy bramki przy zwarcu WE do masy](#)
- stałoprądowy margines szumów
- rezystancję wyjściową bramki w stanie niskim oraz wysokim
- wzmocnienie logiczne bramki

103.txt

**W układach Spartan-3E pamięć blokowa skonfigurowana dwuportowo ma porty, które przy jednoczesnym dostępie do tej samej komórki...**

- mają różny priorytet - zawsze port A przed portem B
- [mają ten sam priorytet](#)
- mają różny priorytet - zawsze port B przed portem A

- mają różny priorytet ustalany atrybutem

117.txt

**W układzie Spartan-3E został optymalnie zrealizowany multiplexer 16:1. Ile zasobów zostało użytych?**

- 4x LUT + 2x F5MUX + 1x F6MUX
- 2x LUT + 2x F5MUX + 1x F6MUX
- 8x LUT + 4x F5MUX + 2x F6MUX + 1x F7MUX
- 16x LUT + 8x F5MUX + 4x F6MUX + 2x F7MUX + 1x F8MUX

116.txt

**Podaj, ile bitów parzystości oferuje pamięć blokowa w układach Spartan-3E w zależności od rozmiaru komórki danych:**

- 1b - 0
- 2b - 0
- 4b - 0
- 8b - 1
- 16b - 2
- 32b - 4

102.txt

**W pewnym układzie występują problemy powodowane przez duży skos sygnału zegarowego. Czy można je eliminować prowadząc sygnały zegarowe wszystkich przerzutników przez dedykowane sieci ich dystrybucji?**

- Prawda
- Fałsz

062.txt

**W szczegółowym modelu czasowym układów rodziny XC9500, maksymalna częstotliwość pracy układu przy wyłącznie wewnętrznych pętlach sprzężenia zwrotnego ...**

- zależy od opóźnienia wnoszonego przez wyjściowy bufor danych (Tout)
- nie zależy od opóźnienia matrycy PLD (Tlogi)
- nie zależy od opóźnienia wnoszonego przez bufor globalnego sygnału zegarowego (Tgck).
- zależy od opóźnienia wnoszonego przez wejściowy bufor danych (Tin)

076.txt

**Czy implementacje stosujące szybkie ścieżki propagacji danych pomiędzy przerzutnikami potęguje problemy w ich przełączaniu powodowane dużym skosem sygnału zegarowego?**

- Prawda
- Fałsz

089.txt

**Minimalny okres zegara (wyznaczający maksymalną częstotliwość pracy układu cyfrowego) jest obliczany jako suma ...**

- czasu przełączania się oraz ustawienia (set-up) przerzutników plus najdłuższy czas propagacji kombinacyjnej występującej pomiędzy przerzutnikami w układzie
- czasu przełączania się oraz podtrzymania (hold) przerzutników plus najdłuższy czas propagacji kombinacyjnej występującej pomiędzy przerzutnikami w układzie
- czasu przełączania się oraz ustawienia (set-up) przerzutników plus najkrótszy czas propagacji kombinacyjnej występującej pomiędzy przerzutnikami w układzie
- czasu przełączania się oraz podtrzymania (hold) przerzutników plus najkrótszy czas propagacji kombinacyjnej występującej pomiędzy przerzutnikami w układzie

099.txt

**Pewien przerzutnik w bloku WE/Wy próbkuje (nie zsynchronizowany) sygnał wejściowy D z częstotliwością 500Mhz, Podaj prawdopodobieństwo wystąpienia w nim metastabilności przy każdej zmianie D, jeśli długość jego przedziału metastabilnego W wynosi 100ps.**

- 2.0%
- 5.0%
- 0.5%
- 0.2%

072.txt

**Wyjściowa charakterystyka prądowo-napięciowa bramki logicznej w stanie wysokim pozwala wyznaczyć:**

- dopuszczalny zakres napięć jedynki logicznej dla WY bramki
- dynamiczną rezystancję WY bramki w tym stanie
- margines szumów bramki w tym stanie
- wzmocnienie logiczne bramki

066.txt

**Prąd wejściowy bramki w stanie wysokim przy zwarcu do masy można wyznaczyć z:**

- wejściowej charakterystyki prąd/napięcie
- wyjściowej charakterystyki prąd/napięcie dla bramki w stanie wysokim
- wyjściowej charakterystyki prąd/napięcie dla bramki w stanie niskim
- przejściowej charakterystyki napięciowej

106.txt

**W układzie Spartan-3E moduł pamięci blokowej został skonfigurowany w trybie pracy dwuportowej. Jeśli oba porty wykonują w tym samym momencie odczyt jednej komórki ...**

- na obu portach pojawi się poprawny wynik odczytu
- port B pokaże poprawny wynik odczytu, a port A - błędny

- na obu portach pojawią się nieokreślone dane z powodu konfliktu dostępu
- port A pokaże poprawny wynik odczytu, a port B - błędny

112.txt

**Pewien układ cyfrowy składa się z dwóch identycznych przerzutników (czas przełączania 2.5ns, czas ustawienia 1.0ns, czas podtrzymania 0.5 ns) połączonych ścieżką kombinacyjną . Jaki może być maksymalny czas propagacji ścieżki, aby układ ten mógł pracować z częstotliwością 100Mhz?**

- 7.0ns
- 7.5ns
- 6.5ns
- 6.0ns

113.txt

**Para przerzutników sekwencyjnie sąsiednich ma następujące parametry: czas przełączania 3.0ns, czas ustawienia 2.0ns, czas podtrzymania 1.0ns. Jeśli wiadomo, że skos zegara pomiędzy tymi przerzutnikami może osiągnąć 5.0ns, jakie opóźnienie trzeba wprowadzić do łączącej je ścieżki danych, aby zapewnić ich poprawną pracę?**

- 2.0ns
- 5.0ns
- 3.0ns
- 4.0ns

107.txt

**W parametrach przerzutnika czas ustawienia (set-up) to ...**

- czas zmiany sygnału WY z 0 na 1 log.
- wymagany czas stabilności WE przed zboczem zegara
- czas zmiany sygnału WY z 1 na 0 log.
- wymagany czas stabilności WE po zboczu zegara

067.txt

**Synchronizator pojedynczy próbkuje pewien sygnał D z częstotliwością  $F_s = 100\text{MHz}$ , a parametry przerzutników (w synchronizatorze oraz w układzie) wynoszą: czas przełączania 3.5ns, czas ustawienia 1.5ns oraz czas podtrzymania 0.5ns. Aby stan metastabilny, który pojawił się w synchronizatorze, zakłócił pracę układu, musi trwać co najmniej:**

- 4.5ns
- 3.5ns
- 5ns
- 4.0ns

073.txt

**Aby wyznaczyć stałoprądowy margines szumów bramki, potrzebna jest / potrzebne są ...**

- prądowo-napięciowe charakterystyki wejściowe oraz wyjściowe bramki
- prądowo-napięciowe charakterystyki wyjściowe bramki w stanie wysokim oraz niskim
- [przejściowa charakterystyka napięciowa](#)
- prądowo-napięciowa charakterystyka wejściowa bramki

098.txt

**Wybierz metodę generacji sygnału zegarowego, która daje lepszą stabilność przy przejściowych zakłóceniach wzorcowego sygnału WE:**

- DLL
- [PLL](#)

059.txt

**Przy częstotliwości sygnału zegarowego  $F_{clk} = 100$  MHz moduł DLL w układzie FPGA osiągnął synchronizację dla opóźnienia 27ns. Opóźnienie sieci dystrybucji sygnału zegarowego można oszacować na:**

- [3ns](#)
- 4ns
- 5ns
- 7ns

065.txt

**Czy w jednym bloku CLB układu serii XC4000 można zrealizować 2 dowolne funkcje kombinacyjne 4 zm. oraz dodatkowo jedną dowolną funkcji 3 zm.?**

- [Prawda](#)
- Fałsz

071.txt

**Z przejściowej charakterystyki napięciowej bramki logicznej można odczytać:**

- dopuszczalne zakresy napięć zera i jedynki logicznej, ale tylko dla WY bramki
- [dopuszczalne zakresy napięć zera i jedynki logicznej dla WE i WY bramki](#)
- wydajność prądową bramki w stanie niskim oraz wysokim
- czasy propagacji bramki dla przełączania się LH oraz HL

171.txt

**Oblicz czas propagacji sieci dystrybucji sygnału zegarowego jeśli wiadomo, że moduł DLL w układzie FPGA osiągnął synchronizację przy opóźnieniu 34ns dla sygnału zegarowego o częstotliwości 50Mhz.**

- 6ns
- [3ns](#)
- 4ns
- 5ns

105.txt

**W układzie Spartan-3E moduł pamięci blokowej został skonfigurowany w trybie pracy dwuportowej. Jeśli oba porty wykonują w tym samym momencie zapis jednej komórki . . .**

- nowa zawartość komórki będzie wczytana z portu B jako tego o wyższym priorytecie
- nowa zawartość komórki będzie wczytana z portu A jako tego o wyższym priorytecie
- nowa zawartość komórki będzie nieokreślona
- nowa zawartość komórki będzie wczytana z portu A lub B w zależności od ustawienia atrybutu

104.txt

**W układzie Spartan-3E element RAMB16\_Sx został skonfigurowany tak, że jego magistrala adresowa ma szerokość 10b. W tej konfiguracji magistrala DIP ma szerokość**

- 4b
- 3b
- 1b
- 2b

110.txt

**Optymalnie zrealizowany za pomocą LUT rejestr przesuwany o stałej długości 120 bitów zajmie w układzie Spartan-3E:**

- 8x LUT + 4x F5MUX + 3x F6MUX
- 8x LUT + 4x F5MUX + 2x F6MUX + F7MUX
- 9x LUT
- 8x LUT + 1 przerzutnik

070.txt

**Prądy wyjściowy bramki w stanie wysokim przy zwarcu do masy można wyznaczyć z:**

- wyjściowej charakterystyki prąd/napięcie dla bramki w stanie wysokim
- wejściowej charakterystyki prąd/napięcie
- przejściowej charakterystyki napięciowej
- wyjściowej charakterystyki prąd/napięcie dla bramki w stanie niskim

064.txt

**Czy generacja sygnału zegarowego używająca moduł PLL daje – w porównaniu do DLL – lepszą stabilność generowanego sygnału przy przejściowych zakłóceniach wzorcowego sygnału WE?**

- Prawda
- Fałsz



058.txt

**Prąd wejściowy bramki przy zwarcu do masy można wyznaczyć z:**

- wyjściowej charakterystyki prąd/napięcie dla bramki w stanie wysokim
- wyjściowej charakterystyki prąd/napięcie dla bramki w stanie niskim
- wejściowej charakterystyki prąd/napięcie
- przejściowej charakterystyki napięciowej

003.txt

**Pewien układ zawiera 5 przerzutników, a czasy propagacji sygnału zegarowego z wyprowadzenia pinClk do nich nie są jednakowe i wynoszą: 1.2ns, 1.4ns, 1.6ns, 1.8ns oraz 2.0ns. Skos sygnału zegarowego w tym układzie jest równy:**

- 1.2ns
- 0.8ns
- 1.6ns
- 2.0ns

017.txt

**Czy problemy w przełączaniu się przerzutników spowodowane dużym skosem sygnału zegarowego można eliminować zmniejszając jego częstotliwość?**

- Prawda
- Fałsz

016.txt

**Maksymalna częstotliwość pracy układu synchronicznego jest odwrotnością minimalnego okresu zegara, tj. odwrotnością sumy:**

- czasu przełączania się oraz podtrzymania (hold) przerzutników plus najkrótszy czas propagacji kombinacyjnej występującej pomiędzy przerzutnikami w układzie
- czasu przełączania się oraz ustawienia (set-up) przerzutników plus najdłuższy czas propagacji kombinacyjnej występującej pomiędzy przerzutnikami w układzie
- czasu przełączania się oraz podtrzymania (hold) przerzutników plus najdłuższy czas propagacji kombinacyjnej występującej pomiędzy przerzutnikami w układzie
- czasu przełączania się oraz ustawienia (set-up) przerzutników plus najkrótszy czas propagacji kombinacyjnej występującej pomiędzy przerzutnikami w układzie

002.txt

**W układzie Spartan-3E moduł ROM32x4 zajmie:**

- 8x LUT + 2x F6MUX
- 8x LUT + 4x F5MUX
- 4x LUT + 2x F5MUX
- 8x LUT + 4x F5MUX + 2x F6MUX

014.txt

**W pewnym układzie synchronizatora próbkującego sygnał danych o częstotliwości  $F_d = 500\text{MHz}$  średni czas pomiędzy zakłóceniami metastabilnymi**

**(MTBF) wynosi 1sec. Przy zmianie częstotliwości sygnału danych na  $F_d = 250\text{MHz}$  czas ten będzie wynosił:**

- 0.50sec
- 2.00sec
- 4.00sec
- 0.25sec

028.txt

**Wymagany czas, przez który sygnał wejściowy przerzutnika musi być stabilny przed zboczem zegarowym, nazywa się:**

- czasem przełączania
- czasem podtrzymania (hold)
- skosem
- czasem ustawienia (set-up)

029.txt

**Czy w jednym plastrze układu serii Spartan-3E można zrealizować 2 dowolne funkcje kombinacyjne 4 zm. oraz dodatkowo jedną dowolną funkcję 3 zm.?**

- Prawda
- Fałsz

001.txt

**Aby w układzie Spartan-3E zrealizować 9-bitowy rejestr przesuwany za pomocą LUT na jego wejście adresowe należy podać wektor bitowy:**

- B"1001"
- B"1000"
- B"0110"
- B"0111"

015.txt

**Wypadkowy czas propagacji bramki logicznej wyznaczany jest z czasów propagacji  $T_{lh}$  oraz  $T_{hl}$  (dla przełączeń low->high oraz high->low) jako:**

- średnia arytmetyczna  $T_{lh}$  oraz  $T_{hl}$
- $\max(T_{lh}, T_{hl})$
- $\min(T_{lh}, T_{hl})$
- średnia geometryczna  $T_{lh}$  oraz  $T_{hl}$

039.txt

**Dostępny w rodzinie XC4000 element RAM16X1S:**

- ma Synchroniczny zapis oraz Synchroniczny odczyt
- ma Asynchroniczny zapis oraz Asynchroniczny odczyt
- ma Asynchroniczny zapis oraz Synchroniczny odczyt

- [ma Synchroniczny zapis oraz Asynchroniczny odczyt](#)

011.txt

**W blokowej pamięci RAM układu Spartan-3E podaj liczbę bitów parzystości dla konfiguracji o czterobajtowej magistrali danych:**

- 1
- 0
- [4](#)
- 2

005.txt

**Czy w jednym plastrze układu serii Spartan-3E można zrealizować multiplekser 4:1?**

- [Prawda](#)
- Fałsz

004.txt

**Czy w jednym plastrze układu serii Spartan-3E można zrealizować multiplekser 8:1?**

- Prawda
- [Fałsz](#)

010.txt

**Czy problemy w przełączaniu się przerzutników spowodowane dużym skosem sygnału zegarowego nasilają się, gdy maleją czasy przełączania się przerzutników?**

- [Prawda](#)
- Fałsz

038.txt

**Czas odczytu komórki w pamięci RAM16X1S jest identyczny jak:**

- czas ustawienia sygnału adresu dla tej pamięci
- czas przełączania się przerzutnika w bloku CLB
- [czas propagacji funkcji boolowskiej generowanej w elemencie LUT](#)
- czas ustawienia dla przerzutnika w bloku CLB

006.txt

**W układzie Spartan-3E pamięć RAM16X3D zajmie:**

- 8x LUT
- 4x LUT
- 3x LUT

- [6x LUT](#)

012.txt

**W module RAM16X1D w układzie Spartan-3E:**

- zapis następuje synchronicznie oraz występuje port dualny tylko do odczytu synchronicznego
- zapis i odczyt następuje asynchronicznie oraz występuje port dualny
- zapis następuje asynchronicznie oraz występuje port dualny tylko do odczytu asynchronicznego
- [zapis następuje synchronicznie oraz występuje port dualny tylko do odczytu asynchronicznego](#)

013.txt

**Czy w jednym bloku CLB układu serii XC4000 można zrealizować dowolną funkcję kombinacyjną 5 zm.?**

- [Prawda](#)
- Fałsz

007.txt

**W modelu zastępczym pozwalającym szacować straty mocy w układzie cyfrowym, straty te zależą:**

- liniowo od różnicy pojemności obciążającej i zastępczej pojemności wewnętrznej
- liniowo od kwadratu (drugiej potęgi) częstotliwości pracy
- nieliniowo od sumarycznej pojemności obciążającej i zastępczej pojemności wewnętrznej
- [liniowo od częstotliwości pracy](#)

022.txt

**Czy użycie dedykowanych sieci dystrybucji sygnału zegarowego pomaga eliminować problem jego skosu?**

- [Prawda](#)
- Fałsz

036.txt

**Układ Spartan-II o rozmiarze matrycy 16 wierszy na 24 kolumny będzie posiadał:**

- 8 bloków pamięci RAM o łącznej pojemności 48kb
- 4 bloki pamięci RAM o łącznej pojemności 16kb
- 4 bloki pamięci RAM o łącznej pojemności 24kb
- [8 bloków pamięci RAM o łącznej pojemności 32kb](#)

037.txt

**Ile elementów FiMUX występuje w jednym bloku CLB układu Spartan-3E?  
Dopasuj podane liczby: (COMBOBOX)**

- [F5MUX - 4](#)
- [F8MUX - 0.5 \(jeden na dwa bloki\)](#)
- [F7MUX - 1](#)
- [F6MUX - 2](#)

023.txt

**Całkowity czas, przez który sygnał wejściowy przerzutnika musi być stabilny wokół zbocza zegarowego, oblicza się jako:**

- sumę czasu przełączania się przerzutnika oraz skosu zegara
- sumę czasu przełączania się oraz podtrzymania (hold) przerzutnika
- [sumę czasu ustawienia \(set-up\) oraz podtrzymania \(hold\)](#)
- sumę czasu ustawienia (set-up) przerzutnika oraz skosu zegara

035.txt

**Globalne sieci dystrybucji sygnałów zegarowych w układach FPGA są konstruowane tak, aby w pierwszej kolejności:**

- zredukować zajmowaną przez nie powierzchnię układu
- zredukować generowane przez nie straty mocy w układzie
- zapewnić jak najkrótsze czasy propagacji od PinClk do najbliższych przerzutników w matrycy, nawet kosztem wydłużenia propagacji do pozostałych
- [zapewnić jak najbardziej wyrównane czasy propagacji od PinClk do wszystkich przerzutników w matrycy, nawet kosztem ich zwiększenia](#)

021.txt

**Aby w pamięci blokowej układu Spartan-3E podczas każdej operacji zapisu można było odczytać nadpisywaną (traconą) wartość, atrybut WRITE\_MODE musi być ustawiony na:**

- IGNORE
- NO\_CHANGE
- WRITE\_FIRST
- [READ\\_FIRST](#)

009.txt

**Jeden moduł blokowej pamięci RAM układu Spartan-3E udostępnia całkowitą pojemność wynoszącą:**

- [w zależności od konfiguracji 16kb \(przy rozmiarze słowa poniżej 8b\) lub 18kb \(dla pozostałych przypadków\)](#)
- zawsze 16kb
- w zależności od konfiguracji 16kb (przy rozmiarze słowa poniżej 8b) lub 20kb (dla pozostałych przypadków)
- zawsze 20kb

008.txt

**Czy w jednym bloku CLB układu serii XC4000 można zrealizować 3 dowolne funkcje kombinacyjne 4 zm.?**

- Prawda
- [Fałsz](#)

020.txt

**W pamięci blokowej układu Spartan-3E, parametr clock-to-clock set-up określa ...**

- minimalny wymagany odstęp w czasie pomiędzy dwiema kolejnymi operacjami danego portu
- w trybie dwuportowym minimalny wymagany odstęp w czasie pomiędzy dwiema kolejnymi jednoczesnymi operacjami portów A i B
- w trybie dwuportowym minimalny wymagany odstęp w czasie pomiędzy dwiema kolejnymi operacjami portów A i B
- [w trybie dwuportowym maksymalny odstęp w czasie pomiędzy operacjami portu A oraz B uważanymi za jednoczesne](#)

034.txt

**Czy problemy w przełączaniu się przerzutników spowodowane dużym skosem sygnału zegarowego eliminuje się wprowadzając dodatkowe opóźnienia w ścieżkach propagacji danych?**

- [Prawda](#)
- Fałsz

018.txt

**W trybie dwuportowym pamięci blokowej układu Spartan-3E, jeśli ta sama komórka jest jednocześnie odczytywana przez oba porty . . .**

- poprawny odczyt wykona tylko jeden port, określony ustawieniem atrybutu WRITE\_MODE
- nastąpi konflikt dostępu i oba odczyty będą błędne
- odczyt portu A będzie poprawny, natomiast portu B błędny
- [oba odczyty wykonają się poprawnie](#)

030.txt

**Czy w jednym bloku CLB układu serii XC4000 można zrealizować pewną (spełniającą określone warunki) funkcję kombinacyjną 10 zm.?**

- Prawda
- [Fałsz](#)

024.txt

**W trybie dwuportowym pamięci blokowej układu Spartan-3E, jeśli oba porty jednocześnie wykonują operację zapisu tej samej komórki ...**

- do komórki zostanie wpisana wartość będąca bitowym iloczynem (AND) obu portów
- do komórki zostanie wpisana wartość będąca bitową sumą (OR) obu portów
- zapisana zostanie wartość z portu A jako tego o wyższym priorytecie
- [zapisana zostanie wartość błędna \(nieokreślona\)](#)

025.txt

**Dla blokowej pamięci RAM układu Spartan-3E dopasuj liczbę bitów parzystości do szerokości magistrali danych: (COMBOBOX)**

- [dane 32b – 4 bity parzystości](#)
- [dane 4b – 0 bitów parzystości](#)
- [dane 16b – 2 bity parzystości](#)
- [dane 8b – 1 bit parzystości](#)

031.txt

**Czy generacja sygnału zegarowego używająca moduł DLL daje – w porównaniu do PLL – lepszą stabilność generowanego sygnału przy przejściowych zakłóceniach wzorcowego sygnału WE?**

- Prawda
- [Fałsz](#)

019.txt

**Czy problemy w przełączaniu się przerzutników spowodowane dużym skosem sygnału zegarowego nasilają się, gdy maleją czasy propagacji ścieżek danych pomiędzy przerzutnikami?**

- [Prawda](#)
- Fałsz

027.txt

**Czy problemy w przełączaniu się przerzutników spowodowane dużym skosem sygnału zegarowego można eliminować stosując przerzutniki o jak najmniejszym (np. zerowym) czasie ustawienia (set-up)?**

- Prawda
- [Fałsz](#)

033.txt

**Czy w jednym bloku CLB układu serii XC4000 można zrealizować określoną funkcję kombinacyjną 6 zm. oraz dowolną funkcję 4 zm.?**

- [Prawda](#)
- Fałsz

032.txt

**Pewną funkcję kombinacyjną 39 zmiennych udało się (dość szczęśliwie) zrealizować w jednym bloku CLB układu Spartan-3E. Ile elementów FiMUX zostało użytych?**

- [4x F5MUX + 2x F6MUX + 1x F7MUX](#)
- 4x F5MUX + 2x F6MUX + 1x F8MUX

- 4x F5MUX + 2x F6MUX + 2x F7MUX
- 4x F5MUX + 2x F7MUX

026.txt

**Dwa przerzutniki o parametrach: czas przełączania 3ns, czas ustawienia 1.5ns oraz czas podtrzymania 0.5ns, połączone są ścieżką propagacji kombinacyjnej o opóźnieniu 4.5ns. Minimalny okres zegara, przy którym taki układ będzie pracować poprawnie, wynosi:**

- 8.0ns
- 9.5ns
- 9.0ns
- 7.5ns

082.txt

**Dla pewnej bramki dana jest charakterystyka napięciowa (prześciowa). Parametry, jakie z niej można odczytać, to:**

- czas reakcji bramki przy przełączaniu się z 0 na 1
- zakresy napięć definiujące zero i jedynkę logiczną, ale tylko na WE bramki
- zakresy napięć definiujące zero i jedynkę logiczną na WE i WY bramki
- czasy reakcji bramki przy przełączaniu się z 0 na 1 oraz z 1 na 0

096.txt

**Wybierz, co jest głównym kryterium konstrukcji globalnych sieci dystrybucji sygnałów zegarowych w układach cyfrowych:**

- redukcja zajmowanej powierzchni układu
- uzyskanie jak najkrótszych czasów propagacji od pinClk do przerzutników
- uzyskanie jak najbardziej wyrównanych czasów propagacji od pinClk do wszystkich przerzutników w układzie, nawet kosztem wydłużenia tych czasów
- redukcja strat mocy w układzie

041.txt

**Dopasuj ideę pracy układu generacji sygnału zegarowego przy wykorzystaniu modułów DLL oraz PLL: (COMBOBOX)**

- DLL - zestrojenie tylko wyprzedzenia fazowego
- PLL - zestrojenie częstotliwości oraz wyprzedzenia fazowego

055.txt

**Tryb dwuportowy pamięci blokowej układu Spartan-3E umożliwia dostęp do komórek pamięci ...:**

- Przez dwa niezależne i w pełni równoważone porty, bez rozróżnienia ich priorytetu
- Przez dodatkowy port dualny, ale mogący pracować tylko w trybie odczytu
- Przez dwa niezależne i w pełni równoważone porty, przy czym port podstawowy A ma wyższy priorytet niż port dualny B
- Przez dodatkowy port dualny, ale tylko gdy port podstawowy jest nieaktywny



069.txt

**Wyjściowa charakterystyka prądowo-napięciowa bramki logicznej w stanie wysokim pozwala wyznaczyć:**

- dynamiczną rezystancję wejściową bramki
- [maksymalną obciążalność bramki w tym stanie](#)
- stałoprądowy margines szumów dla stanu wysokiego
- dopuszczalny zakres napięć jedynek logicznej dla WY bramki

121.txt

**Czy stosowanie szybko przełączających się przerzutników potęguje problemy spowodowane dużym skosem sygnału zegarowego?**

- [Prawda](#)
- Fałsz

109.txt

**Z jakiego wykresu można wyznaczyć margines szumów (stałoprądowy) bramki logicznej?**

- z wyjściowej charakterystyki prądowo-napięciowej dla bramki w stanie wysokim
- [z przejściowej charakterystyki napięciowej](#)
- z wejściowej charakterystyki prądowo-napięciowej
- z wyjściowej charakterystyki prądowo-napięciowej dla bramki w stanie niskim

108.txt

**Zmierzono czasy opóźnień pewnej bramki logicznej i wyniosły one 1.0ns przy przełączaniu 0->1 oraz 1.5ns przy przełączaniu 1->0. Czas propagacji tej bramki wynosi ...**

- 1.75ns
- 1.25ns
- 1.00ns
- [1.50ns](#)

120.txt

**Oblicz minimalny czas trwania stanu metastabilnego w przerzutniku wejściowym synchronizatora pojedynczego, który zakłóci pracę układu, tzn. nie zostanie wygaszony w synchronizatorze. Częstotliwość próbkowania jest równa 200MHz, a parametry przerzutników w synchronizatorze wynoszą: czas ustawienia  $T_s = 1.0ns$ , czas przełączania  $T_{co} = 1.5ns$ , a czas podtrzymania  $T_h = 0.5ns$ .**

- [2.5ns](#)
- 3.0ns
- 2.0ns
- 3.5ns

068.txt

**Stałoprądowy margines szumów bramki można wyznaczyć z:**

- wyjściowej charakterystyki prądowo-napięciowej dla bramki w stanie wysokim
- wyjściowej charakterystyki prądowo-napięciowej dla bramki w stanie niskim
- przejściowej charakterystyki napięciowej
- wejściowej charakterystyki prądowo-napięciowej

054.txt

**Blokowa pamięć RAM układu Spartan-3E o 12-bitowej magistrali adresowej będzie miała:**

- 1-bitowe magistrale danych (WE+WY) bez bitów parzystości
- 8-bitowe magistrale danych (WE+WY) z jednym bitem parzystości
- 4-bitowe magistrale danych (WE+WY) bez bitów parzystości
- 2-bitowe magistrale danych (WE+WY) bez bitów parzystości

040.txt

**W układzie Spartan-3E pamięć RAM32X3S zajmie:**

- 6x LUT + 2x F5MUX
- 3x LUT + 6x F5MUX
- 6x LUT + 3x F5MUX
- 3x LUT + 3x F5MUX

097.txt

**W pewnym układzie występują problemy powodowane przez duży skos sygnału zegarowego. Wybierz, która z poniższych modyfikacji może doprowadzić do ich usunięcia.**

- użycie dedykowanych elementów do generacji on-chip sygnałów zegarowych
- zmniejszenie częstotliwości sygnałów zegarowych
- użycie synchronizatorów podwójnych na WE sygnałów zegarowych
- użycie wyłącznie dedykowanych wyprowadzeń i sieci do dystrybucji sygnałów zegarowych

083.txt

**Dla pewnej bramki logicznej zakresy napięć zera log. wynoszą 0 - 1.8V na WE oraz 0 - 1.0 na WY, a jedynki log. - 2.5 - 3.3V na WE / 3.0 - 3.3V na WY. Margines szumów tej bramki jest równy:**

- 0.30V
- 0.65V
- 0.80V
- 0.50V

095.txt

**Przyjmując uproszczony model zastępczy szacujący straty mocy w układzie cyfrowym, straty te zależą:**

- liniowo od kwadratu (drugiej potęgi) częstotliwości pracy
- [liniowo od sumy pojemności obciążającej i zastępczej pojemności wewnętrznej](#)
- liniowo od kwadratu (drugiej potęgi) sumy pojemności obciążającej i zastępczej pojemności wewnętrznej
- liniowo od różnicy pojemności obciążającej i zastępczej pojemności wewnętrznej

081.txt

**Dla pewnej bramki logicznej maksymalne prądy WE wynoszą 2mA dla zera / 0.5mA dla jedynki logicznej, a maksymalne prądy WY - 12mA dla zera / 8 mA dla jedynki. Obciążalność tej bramki wynosi:**

- 10
- 16
- [6](#)
- 11

056.txt

**Któremu elementowi odpowiada funkcjonalnie 4-wejściowy generator funkcji logicznej LUT (bez dodatkowych rozszerzeń w jego strukturze)?**

- [ROM16X1](#)
- RAM16X1D
- RAM16X1S
- ROM32X1

042.txt

**Element RAMB16\_S4\_S36 ma magistrale adresowe o szerokościach:**

- [12b oraz 9b](#)
- 11b oraz 9b
- 11b oraz 10b
- 12b oraz 10b

122.txt

**Dana jest wejściowa charakterystyka prądowo-napięciowa pewnej bramki logicznej. Korzystając tylko z niej można wyznaczyć:**

- zakresy napięć definiujące zero i jedynkę logiczną na WE bramki
- [dynamiczną rezystancję wejściową bramki](#)
- margines szumów na WE bramki
- obciążalność wejściową bramki

123.txt

**Pewien układ scalony zawiera przerzutniki typu T, którego porty (Clk, T, Q) są dołączone do wyprowadzeń zewnętrznych obudowy poprzez bufor. Aby uzyskać spadek wymaganego czasu ustawienia (set-up) na wyprowadzeniu pinT względem pin CLK, należy:**

- zwiększyć opóźnienie bufora w wyjściowej ścieżce Q

- zmniejszyć opóźnienie bufora w wejściowej ścieżce T
- zmniejszyć opóźnienie bufora w wejściowej ścieżce Clk
- zwiększyć opóźnienie bufora w wejściowej ścieżce T

043.txt

**Zrealizowany za pomocą LUT 59-bitowy rejestr przesuwany zajmie w układzie Spartan-3E:**

- 6x LUT + 3x F5MUX + F6MUX
- 4x LUT + 2x F5MUX
- 4x LUT + 4x F5MUX + 2x F6MUX + 1x F7MUX
- 4x LUT + 2x F5MUX + F6MUX

057.txt

**Problemy czasowe w układach, w których występuje duży skos zegara, można eliminować:**

- Wydłużając czas propagacji połączeń na ścieżce zegara
- Stosując przerzutniki o małym czasie propagacji Clk->Q
- Ustalając współczynnik wypełniania sygnału zegarowego na dokładnie 50%
- Odwracając kierunek propagacji sygnału zegarowego w rejestrze przesuwającym przeciwnie do kierunku propagacji.
- Stosując przerzutniki o jak najkrótszym czasie ustawiania t<sub>SET-UP</sub>

080.txt

**Dwuportowy tryb pracy modułu RAM16X1D układu Spartan-3E umożliwia ...**

- synchroniczny zapis oraz asynchroniczny odczyt na obu portach (podstawowym i dualnym)
- synchroniczny zapis oraz odczyt na porcie podstawowym + asynchroniczny odczyt na porcie dualnym
- synchroniczny zapis oraz asynchroniczny odczyt na porcie podstawowym + asynchroniczny odczyt na porcie dualnym
- synchroniczny zapis oraz odczyt na porcie podstawowym + synchroniczny odczyt na porcie dualnym

094.txt

**Poniżej podano różne liczby dedykowanych multiplekserów określonego typu występujących w obrębie jednego bloku CLB układu Spartan-3E = dopasuj do nich typ multipleksa:**

- 4 - F5MUX
- 1 - F7MUX
- 2 - F6MUX
- 0.5 (jeden na dwa bloki) - F8MUX

090.txt

**Organizacja matrycy Logic Cell Array (LCA) to ...**

- hierarchia bloków PLD
- [macierz symetryczna](#)
- morze bramek
- architektura wierszowa

084.txt

**Dopasuj opis najlepiej pasujący do typu architektury:**

- [architektura hierarchiczna - najbardziej złożone bloki konfigurowalne](#)
- [morze bramek - brak wyróżnionych globalnych zasobów połączeniowych](#)
- [macierz symetryczna - połączenia biegnące przez globalną matrycę połączeniową](#)
- [architektura wierszowa - zasoby połączeniowe biegnące w jednym kierunku](#)

053.txt

**Czy w jednym plastrze układu serii Spartan-3E można zrealizować 2 dowolne funkcje kombinacyjne 4 zm.?**

- [Prawda](#)
- Fałsz

047.txt

**Generacja on-chip sygnału zegarowego ma na celu przede wszystkim:**

- eliminację problemu skosu zegara
- kompensację czasów propagacji wnoszonych przez rozległe sieci dystrybucji sygnału zegarowego w matrycy FPGA
- uproszczenie organizacji systemu cyfrowego (układ FPGA jako źródło globalnego sygnału synchronizującego)
- [umożliwienie osiągnięcia wyższych częstotliwości pracy niż przy generacji zewnętrznej](#)

127.txt

**W układzie odbiornika transmisji szeregowej z synchronizatorem pojedynczym zakłócenia metastabilne występują średnio co 3sec przy częstotliwości sygnału danych  $F = 200\text{MHz}$ . Co jaki czas będą one występowały, jeśli częstotliwość ta zmieni się na  $F = 400\text{MHz}$ ?**

- co 5.00sec
- co 0.50sec
- [co 1.50sec](#)
- co 0.75sec

133.txt

**W układzie Virtex-5 generator funkcji logicznej LUT odpowiada wprost elementowi ...**

- [ROM64X1](#)
- ROM32X1
- RAM32X1S

- RAM64X1D

132.txt

**(NIEPOTWIERDZONE)** W pewnym projekcie zaimplementowanym w układzie Spartan-3E występuje jeden globalny sygnał zegarowy o częstotliwości 100MHz, a sieć jego dystrybucji ma łączny czas propagacji 16ns. Które opóźnienia linii DLL poprawnie je skompensują? Wybierz jedną z poniższych opcji.

- np. 16ns
- np. 4ns i 6ns
- np. 6ns
- np. 4ns i 24ns

126.txt

**W układzie Spartan-3E zrealizowano rejestr przesuwany przy użyciu 1 generatora LUT oraz 1 przerzutnika. Jaką wartość należy podać na WE adresowe LUT, aby ten miał długość 12 bitów?**

- B"0111"
- B"1011"
- B"1010"
- B"1110"

046.txt

**Atrybut WRITE\_MODE pamięci blokowej układu Spartan-3E określa:**

- zachowanie się komórek pamięci podczas operacji zapisu
- synchroniczny bądź asynchroniczny tryb zapisu
- zachowanie się komórek pamięci podczas operacji odczytu
- zachowanie się portu odczytu danych (DO) podczas operacji zapisu

052.txt

**Ile elementów zostanie użytych do realizacji multiplexera 8:1 w jednym bloku CLB układu Spartan-3E?**

- 2x LUT + 1x F5MUX
- 4x LUT + 4x F5MUX + 2x F6MUX + 1x F7MUX
- 4x LUT + 2x F5MUX + 1x F6MUX
- 2x LUT + 2x F5MUX + 1x F6MUX

085.txt

**Funkcję  $f = (\text{not } x1) \text{ or } (x2 \text{ and } x3 \text{ and } x4)$  zaprogramowano w generatorze LUT układu Spartan-3E. Jakie wartości wpisano do komórek tablicy LUT pod na młodszy i najstarszy adres?**

- zero (adres najmłodszy) oraz zero (adres najstarszy)
- jeden (adres najmłodszy) oraz jeden (adres najstarszy).
- jeden (adres najmłodszy) oraz zero (adres najstarszy)
- zero (adres najmłodszy) oraz jeden (adres najstarszy)

091.txt

**Obciążalność (fan-out) bramki danej rodziny zależy tylko i wyłącznie od:**

- rezystancji dynamicznych na WE oraz WY bramki
- zakresów napięć definiujących zero i jedynkę logiczną na WE oraz WY bramki
- [maksymalnych prądów WE oraz WY bramki dla 0 oraz 1 log.](#)
- minimalnych prądów WE oraz WY bramki dla 0 oraz 1 log.

087.txt

**Jaką ilość pamięci blokowej ma układ Spartan-II o rozmiarze matrycy 20 wierszy na 30 kolumn?**

- 10 bloków pamięci RAM o łącznej pojemności 180kb
- [10 bloków pamięci RAM o łącznej pojemności 40kb](#)
- 8 bloków pamięci RAM o łącznej pojemności 180kb
- 8 bloków pamięci RAM o łącznej pojemności 40kb

093.txt

**Podaj funkcjonalność, którą ustawia atrybut WRITE\_MODE dla pamięci blokowej układu Spartan-3E:**

- sposób zapisu komórek pamięci podczas operacji MEM\_WRITE
- [źródło danych, które pojawiają się na porcie odczytu \(DO\) podczas operacji zapisu](#)
- tryb zapisu synchroniczny bądź asynchroniczny
- sposób odczytu komórek pamięci podczas operacji MEM\_READ

078.txt

**Czy można zrealizować pewną funkcję kombinacyjną 6 zm. oraz dowolną funkcję 4 zm. - obie w jednym bloku CLB układu z rodziny XC4000?**

- [Prawda](#)
- Fałsz

044.txt

**Czy problemy w przełączaniu się przerzutników spowodowane dużym skosem sygnału zegarowego można eliminować stosując przerzutniki o jak najmniejszym (np. zerowym) czasie podtrzymania (hold)?**

- [Prawda](#)
- Fałsz

050.txt

**W pewnym układzie para rejestrów sekwencyjnie sąsiednich ma następujące parametry: czas przełączania 3.5ns, czas ustawienia 1.5ns, czas podtrzymania 0.5ns oraz czas propagacji danych z wyjścia Q do wejścia D 0.5ns. Maksymalny skos zegara, przy którym para ta będzie jeszcze poprawnie pracować, wynosi:**

- 3.5ns
- 2.5ns
- 5.0ns
- 4.5ns

118.txt

**W generatorach sygnałów zegarowych PLL, głównym zadaniem układu sterującego jest**

- uzgodnienie tylko współczynnika wypełnienia z sygnałem referencyjnym
- uzgodnienie częstotliwości oraz wyprzedzenia fazowego z sygnałem referencyjnym
- uzgodnienie tylko wyprzedzenia fazowego z sygnałem referencyjnym
- uzgodnienie tylko częstotliwości z sygnałem referencyjnym

130.txt

**(NIEPOTWIERDZONE) Pewien układ sekwencyjny został zaprogramowany w układzie rodziny XC9500 i jego przerzutniki przełączają się w takt jednego globalnego sygnału zegarowego. Jego czas przełączania się widziany na wprowadzeniach ( od pin GCK do pin I/O) zależy m.in. od ...**

- czasu propagacji wewnętrznych sprzężeń zwrotnych ( $T_f$ )
- czasu propagacji wejściowego bufora globalnych linii set/reset ( $T_{gsr}$ )
- czasu propagacji wejściowego bufora danych ( $T_{in}$ )
- czasu propagacji wyjściowego bufora danych ( $T_{out}$ )

124.txt

**Optymalnie zrealizowany za pomocą LUT rejestr przesuwany o zmiennej (przełączanej) długości od 1 do 60 bitów zajmie w układzie Spartan-3E:**

- 5x LUT
- 4x LUT + 2x F5MUX + 2x F6MUX
- 4x LUT + 2x F5MUX + F6MUX + 1 przerzutnik
- 4x LUT + 1 przerzutnik

125.txt

**Średni czas trwania stanu metastabilnego w pewnym przerzutniku wynosi 100ps. Prawdopodobieństwo, że stan ten - jeśli już wystąpił - będzie trwał co najmniej 200ps wynosi:**

- 0.5
- $e^{-1}$
- 0.25
- $e^{-2}$

131.txt

**(NIEPOTWIERDZONE) Pewien układ scalony zawiera przerzutniki typu D o niezerowym czasie podtrzymania (hold), którego port (Clk, D, Q) są dołączone do**



**wyprowadzeń zewnętrznych obudowy poprzez bufory. Aby uzyskać zerowy czas podtrzymania sygnału pinD, względem pinClk, należy:**

- uzyskać opóźnienie ścieżce pinD mniejsze niż w pinC o czas podtrzymania przerzutnika
- uzyskać opóźnienie ścieżce pinD mniejsze niż w pinC o czas ustawienia przerzutnika
- uzyskać opóźnienie ścieżce pinD większe niż w pinC o czas ustawienia przerzutnika
- uzyskać opóźnienie ścieżce pinD większe niż w pinC o czas podtrzymania przerzutnika

119.txt

**W pewnej matrycy programowalnej zrealizowano układ złożony z 4 przerzutników. Ile wynosi skos zegara w tej implementacji, jeśli czasy propagacji sygnału zegarowego z wyprowadzenia pinClk do przerzutników wynoszą: 0.8ns, 0.8ns, 1.0ns oraz 1.2ns?**

- 0.4ns
- 1.2ns
- 0.8ns
- 0.95ns

051.txt

**W trybie dwuportowym pamięci blokowej układu Spartan-3E, jeśli ta sama komórka jest jednocześnie zapisywana w jednym porcie oraz odczytywana w drugim ...**

- zapis wykona się poprawnie, a odczyt będzie błędny (nieokreślony).
- zapis wykona się poprawnie, a odczytana zostanie wartość poprzednia (sprzed zapisu)
- zapis wykona się poprawnie, a odczytana zostanie wartość nowa lub poprzednia w zależności od ustawienia atrybutu WRITE\_MODE
- zapis wykona się poprawnie, a odczytana zostanie wartość nowa (po zapisie)

045.txt

**Czy w jednym plastrze układu serii Spartan-3E można zrealizować dowolną funkcję kombinacyjną 6 zm.?**

- Prawda
- Fałsz

079.txt

**Dla idealnej napięciowej charakterystyki przejściowej bramki logicznej znamienne jest to, że ...**

- pokazuje jednostkowe nachylenie w obszarze przełączania się bramki pomiędzy 0 i 1 log
- pokazuje minimalne nachylenie w obszarze przełączania się bramki pomiędzy 0 i 1 log

- przecina się z prostą o nachyleniu 45 stopni w 3 punktach
- pokazuje maksymalne nachylenie w obszarze przełączania się bramki pomiędzy 0 i 1 log

092.txt

**Podaj minimalne zasoby niezbędne do realizacji modułu RAM64X3S w układzie Spartan-3E:**

- 8x LUT + 3x F6MUX
- 12x LUT + 6x F5MUX + 3x F6MUX
- 12x LUT + 3x F5MUX + 3x F6MUX
- 8x LUT + 4x F5MUX + 2x F6MUX

086.txt

**W generatorze LUT układu Spartan-3E zaprogramowano funkcję obliczaną dla argumentu  $x(3:0)$ , gdzie  $x$  jest interpretowana jak liczba w naturalnym kodzie binarnym. Funkcja zwraca wartość jeden wtedy i tylko wtedy, gdy  $3 < x < 8$ . Ile zer oraz ile jedynek wpisano do komórek pamięci generatora?**

- 12 zer oraz 4 jedynek
- 4 zera oraz 4 jedynek
- 3 zera oraz 5 jedynek
- 4 zera oraz 12 jedynek