

분류번호 :	1903060101_23v6
능력단위 명칭 :	반도체 제품기획
능력단위 정의 :	반도체 제품기획은 시장 및 고객의 다양한 요구조건에 맞는 제품을 구현하기 위해 필요한 제반사항 분석을 통해 개발 사양을 확정, 개발일정을 포함한 제품 개발계획을 수립하는 능력이다.

능력 단위 요소	수행 준거
1903060101_23v6.1 제품시장 조사하기	<p>1.1 고객의 요구사항과 진입 시장의 규모를 파악할 수 있다.      1.2 파악된 시장규모에 대한 자료와 시장조사기관의 분석자료를 통해 개발제품에 대한 전반적인 시장동향을 분석할 수 있다.      1.3 시장동향 분석결과를 바탕으로 분석보고서를 작성할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>고객사 제품 기술 동향</li> <li>고객사 제품 시장 동향</li> <li>온오프라인 시장조사기관 정보</li> <li>선행사 성공사례 분석(Case Study)</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>온오프라인 시장조사 능력</li> <li>시장동향자료 분석 기술</li> <li>분석보고서 작성 능력</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>제품의 핵심원리를 정확하게 파악하려는 의지</li> <li>주요 시장동향 자료를 빠뜨리지 않으려는 치밀함</li> </ul>
1903060101_23v6.2 기술동향 조사하기	<p>2.1 전문 세미나, 전시회, 학회 및 시장조사 기관의 정보를 통해 관련 제품의 기술동향을 수집·분석할 수 있다.      2.2 경쟁사 제품의 데이터시트를 통해 제품의 핵심 기능 및 장·단점을 분석할 수 있다.      2.3 개발 기술 관련 특허 분석을 통해 특허 침해 위험을 분석할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>제품정보 기술서 분석방법</li> <li>경쟁사 제품 데이터시트 분석방법</li> <li>특허 검색 및 해석방법</li> <li>특허 대응전략</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>정보 분석 기술</li> <li>제품 특성 파악 능력</li> <li>단위 부품별 성능 평가 기술</li> <li>특허평가 및 분석 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>제품의 핵심원리를 정확하게 파악하려는 의지</li> <li>주요 특허 내용을 빠뜨리지 않으려는 치밀함</li> </ul>
1903060101_23v6.3 제품사양 수립하기	<p>3.1 시장 및 기술 분석결과에 따라 개발하고자 하는 제품의 기능을 정의할 수 있다.      3.2 정의된 제품의 기능들에 대하여 개발 가능한 수준여부를 판단할 수 있다.      3.3 개발제품의 설계목표와 성능목표를 수립하여 제품사양서를 작성할 수 있다.</p>

1903060101_23v6.3 제품사양 수립하기	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>제품사양서의 중요 수치 도출 방법</li> <li>제품을 구성하는 단위 기능별 제약 조건</li> <li>제품 품질수준에 대한 평가방법</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>반도체 개발 환경을 고려한 개발 능력</li> <li>경쟁사의 중요 장점을 선별하는 능력</li> <li>기능목표 명세서 작성 능력</li> <li>품질 목표 수립 및 운영 관리 능력</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>주어진 정보를 객관적으로 분석하고자 하는 자세</li> <li>고객사의 요구사항을 잘 이해하고 제품사양에 반영하고자 하는 자세</li> </ul>
1903060101_23v6.4 비용 분석하기	<p>4.1 제품의 전체 개발 기간과 각 개발 단계별 세부 일정을 수립할 수 있다.</p> <p>4.2 개발 공정에 따른 개발 칩의 원가를 산정할 수 있다.</p> <p>4.3 각 개발 단계별 필요 인력과 장비, 업체별 도입 IP(Intellectual Property)에 따른 개발 비용을 도출할 수 있다.</p> <p>4.4 개발 제품의 수율과 개발 비용 결과를 비교하여 손익분기점을 도출할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>반도체 관련 전체 개발 단계</li> <li>반도체 개발, 구현에 필요한 장비</li> <li>직군/직무별 업무 난이도</li> <li>개발 공정별 공정 위험도 및 생산 수율</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>단위 단계별 개발 일정 분석 능력</li> <li>개발 제품 크기 분석 능력</li> <li>개발 단계별 필요 인력, 장비 분석 기술</li> <li>제조 공정별 수율 분석 기술</li> <li>가격 경쟁력 분석 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>독단적 판단보다는 담당자들과 의논하여 종합적으로 고려하는 자세</li> <li>적절한 투입인력을 구성하고자 하는 세밀한 자세</li> </ul>
1903060101_23v6.5 개발계획 수립하기	<p>5.1 개발 전반에 필요한 기술 및 물적, 인적 자원에 대한 개략적인 계획을 수립할 수 있다.</p> <p>5.2 자사의 보유 기술 및 개발 환경 분석을 통한 자체 개발 역량을 분석할 수 있다.</p> <p>5.3 개발 관련 단위 기능의 업무를 수행할 수 있는 협력 업체들과 협업할 수 있는 업무범위를 설정할 수 있다.</p> <p>5.4 활용 가능한 자원의 운용을 포함한 개발 전반의 일정을 토대로 주요 단계별 점검 계획, 소요 비용, 중요 산출물에 따른 부서 간 협업 계획을 수립할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>개발일정 관리 방법</li> <li>반도체 설계 단계 및 제조공정에 대한 지식</li> <li>개발, 구현 단계별 필요 인원 및 장비에 대한 지식</li> <li>주요 개발 단계별 업체 현황</li> <li>활용 정보 주요 개발 단계별 업체 현황</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>분석 기술 및 문서화 능력</li> <li>개별 단위 정보 활용을 통한 최적안 도출 능력</li> <li>주요 의사 결정 항목의 장단점 분석 기술</li> </ul>

1903060101\_23v6.5  
개발계획 수립하기

【태도】

- 평가에 대한 공정성을 유지하려는 자세
- 유관부서와의 협조 체계

## □ 적용범위 및 작업상황

### 고려사항

- 이 능력단위는 시장 및 고객의 다양한 요구조건에 맞는 제품을 구현하기 위해 고객의 수요 분석, 관련 제품의 성능 분석, 개발에 소요되는 비용 분석을 통해 구현 제품의 개발 목표 수립 및 인적·물적 자원의 운영, 개발 일정 등 전반적인 계획을 수립하는 업무에 적용한다.
- 이 능력단위는 개발 제품에 대한 시장 및 기술, 비용의 조사, 수집 및 분석을 통해 개발 목표를 설정하고, 이를 구현하기 위한 전반적인 계획을 수립하는 것을 포함한다.
- 이 능력단위는 개발자와의 의사소통 능력을 필요로 한다.
- 이 능력단위는 반도체 개발에 대한 전반적인 지식을 필요로 한다.
- 이 능력단위는 기반 인프라, 설계, 반도체 제조 공정, 그리고 인력운용에 이르는 전 과정에 대한 종합적인 사고와 지식을 필요로 한다.
- 개발제품의 목표성능은 시장과 소비자의 요구사항을 반영하고, 기술동향분석을 통해 자사가 개발 가능한 제품사양을 결정하는 것이다.
- 제품 개발에 소요되는 비용은 개발기간, 개발공정, 인력구성, 도입 IP, 단계별 재료비, 수율 등을 포함한다.
- 기존 제품의 특허를 회피할 수 있는 방법을 확보하는데 주력하여야 한다.
- 제품의 개발기간을 고려하여 제품이 완성되었을 때 그 성능이 시장의 수요를 반영할 수 있도록 충분히 검토하여 제품의 사양을 결정하여야 한다.

### 자료 및 관련 서류

- 시장조사 보고서
- 해당제품 출시정보 및 판매현황
- 업계 및 기술 동향
- 제품에 대한 기술보고서
- 전문 조사기관 보고서
- 제품 개발사양서
- 개발제품 데이터시트

### 장비 및 도구

- 통계 소프트웨어
- 일정관리 소프트웨어

### 재료

- 해당사항없음

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 반도체 제품기획의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		V
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 시장 및 기술트렌드 분석 기술 습득 여부
  - 경쟁사 제품의 핵심 특·장점과 기능, 수준, 구현방법 파악 여부
  - 선행 특허 사항 회피 전략수립 방안 습득 여부
  - 분석보고서 작성법 숙지 여부
  - 제품의 목표기능, 성능 및 품질수준 구현을 위한 개발환경 분석 방법 숙지여부
  - 반도체 설계와 공정에 대한 파악 여부
  - 일정관리 방법 PERT(Program Evaluation and Review Technique) 및 CPM(Critical Path Method)에 대한 파악 여부
  - 인원산정과 구성에 대한 이행 여부

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
3	대인관계능력	갈등관리 능력, 리더십 능력, 팀워크 능력, 협상 능력
4	정보능력	정보처리 능력, 컴퓨터활용 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

## □ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(반도체 제품기획)	
분류번호	기준	1903060101_18v5
	현재	1903060101_23v6
개발·개선연도	현재	2023
	최초(1차)	2018
버전번호	v6	
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회, 한국반도체산업협회, 한국반도체산업협회, 한국반도체산업협회
향후 보완 연도(예정)	2028	

분류번호 :	1903060102_23v5
능력단위 명칭 :	반도체 아키텍처 설계
능력단위 정의 :	반도체 아키텍처 설계란 고객의 요구 기능을 만족하는 반도체 제품을 설계하기 위해 상위수준의 모델을 구성하고 분석하여 설계 사양을 정의하고, 이를 달성하기 위한 개발 절차와 반도체 공정을 고려한 시스템 레벨 디자인을 하는 능력이다.

능력 단위 요소	수행 준거
1903060102_23v5.1 설계 사양 결정하기	<p>1.1 응용처의 사용 방법에 따라 반도체의 주요 규격을 분석할 수 있다.      1.2 기존 반도체 제품의 규격을 통해 사양을 분석 및 비교할 수 있다.      1.3 요구 사항에 따라 설계 하고자 하는 반도체 제품의 설계 사양을 결정할 수 있다.      1.4 설계 사양에 따라 반도체 공정에 대한 타당성을 확인할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>반도체 제품이 적용되는 응용처</li> <li>반도체 제품 사양 및 각 기능별 동작 특성</li> <li>반도체 소자의 동작 특성</li> <li>반도체 공정 선정</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>설계 사양 기능별 구체적 기술 능력</li> <li>경쟁제품과 설계 사양 비교분석 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>고객 요구사항에 대한 분석 및 충분한 이해</li> </ul>
1903060102_23v5.2 개발절차 결정하기	<p>2.1 전체 개발 계획에서 각 단계별 설계의 주요 내용을 작성할 수 있다.      2.2 개발 단계별로 설계 방법을 설정할 수 있다.      2.3 각 개발 단계별로 위험 요소 예측 및 대응 방안을 제시할 수 있다.      2.4 개발 부서별 또는 인원별 업무 분장을 할 수 있다.      2.5 개발 부서와 인원의 개발 계획 및 일정을 수립할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>반도체 설계 절차</li> <li>개발 목표 및 사양</li> <li>개발 단계별로 사용하는 설계 장비</li> <li>설계 흐름도에 맞춰 설계 장비 선정 방법</li> <li>각 개발 부서별의 인력 현황 및 기술 수준</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>전체 설계 흐름도 작성 기술</li> <li>각 설계 단계별 사용하는 설계 장비들에 대한 기본 기술</li> <li>각 단계별 결과물 정리 및 보고서 작성 능력</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>설계 진행상황을 구체적으로 파악하는 태도</li> <li>문제점 대응방안을 수립하려는 노력</li> </ul>
1903060102_23v5.3 아키텍처 결정하기	<p>3.1 설계 사양에 따라 반도체 제품의 전체 블록도를 결정할 수 있다.      3.2 설계 사양에 따라 사용할 반도체 공정을 결정할 수 있다.      3.3 적용할 설계 알고리즘 및 IP 확보 방안을 결정할 수 있다.      3.4 설정된 아키텍처를 분석하여 장/단점을 결정할 수 있다.      3.5 각 세부 설계 블록간의 인터페이스를 결정할 수 있다.</p>

1903060102_23v5.3 아키텍처 결정하기	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>개발할 반도체의 기능별 블록을 포함한 시스템 구성 방법</li> <li>전체 회로 설계 시 필요한 디지털 회로와 아날로그 회로간의 동작 원리</li> <li>사용할 기능 블록과 IP(Intellectual Property)</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>개발할 반도체의 기능별 블록을 포함한 시스템 구성도 작성 기술</li> <li>전체 회로 설계 시 필요한 디지털 회로와 아날로그 회로간의 동작에 대한 해석 기술</li> <li>사용할 기능 블록과 IP들에 대한 기본 적용 기술</li> <li>사용할 IP의 성능/사양/가격 검토 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>현실적으로 구현 가능한 아키텍처를 능동적으로 정의하는 태도</li> </ul>
1903060102_23v5.4 시스템 검증계획 수립하기	<p>4.1 하드웨어로 설계하는 블록과 연계되는 소프트웨어 운영 안을 결정할 수 있다.</p> <p>4.2 설계 검증에 필요한 검증 시스템을 결정할 수 있다.</p> <p>4.3 구현 기능에 따른 각 세부 블록 간의 동작 시나리오를 확정할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>설계된 반도체 제품이 사용되는 응용 분야별 동작에 대한 지식</li> <li>적용할 설계 알고리즘과 IP들의 설계 사양에 대한 지식</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>적용할 설계 알고리즘과 IP들의 설계 사양 해석능력</li> <li>각 설계 블록별 주요 레지스터 맵(Register Map) 작성기술</li> <li>반도체 제품내부 시스템 버스를 운영하는 소프트웨어 해석능력</li> <li>반도체 제품 내부 시스템을 운영하는 소프트웨어를 포함한 시스템 레벨에서의 분석 및 설계 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>반도체 제품 내부 시스템을 이해하려는 노력</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

- 이 능력단위는 고객의 요구 기능을 만족하는 반도체 제품을 설계하기 위해 상위수준의 모델을 구성하고 분석하여 설계 사양을 정의하고, 이를 달성하기 위한 개발 절차와 반도체 공정을 고려한 시스템 레벨 디자인을 하는 업무에 적용한다.
- 이 능력단위는 개발할 반도체 제품에 대한 목표사양을 정의하고 이를 구현하기 위한 구조 설계를 포함한다.
- 이 능력단위는 반도체 설계 툴(Tool)과 반도체 공정에 대한 기본적인 지식을 필요로 한다.
- 설계할 반도체 제품이 사용되는 응용처에 대한 지식이 필요로 한다.
- 개발제품의 목표성능을 달성하기 위해 사용할 설계 알고리즘과 IP들의 특성을 이해하는 능력이 요구된다.
- 개발 단계별로 설계에 필요한 개발 툴을 정의하고, 사양을 고려한 반도체 공정을 선정하기 위한 기본 지식이 필요로 한다.
- 개발할 반도체의 기능별 블록을 포함한 시스템 구성 방법에 대한 지식이 요구된다.
- 구현 기능에 따른 각 세부 블록간의 동작 시나리오를 이해하는 능력이 요구된다.

### 자료 및 관련 서류

- 설계 제품의 사양서
- 경쟁 제품과 설계 제품의 사양 비교표
- 아키텍처(Architecture)를 반영한 전체 블록도
- 설계 블록별 사용 IP 및 기능 설명서
- 설계 툴 리스트
- 반도체 공정별 라이브러리(Library) 비교표

### 장비 및 도구

- 해당 없음

### 재료

- 해당 없음

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 반도체 아키텍처 설계의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		V
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 반도체 설계와 반도체 공정에 대한 전반적인 이해 능력
  - 설계 사양에 대한 이해 능력
  - 경쟁제품과 설계 사양에 대한 비교 능력
  - 개발할 반도체 제품이 적용될 응용처에 대한 동작 이해
  - 설계에 사용될 IP와 기능 블록의 특성 파악 능력
  - 개발할 반도체 제품의 전체 블록도 작성 능력
  - 전체 개발 흐름도의 작성 능력
  - 각 설계 단계별로 사용하는 설계 장비에 대한 이해 능력

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	문제해결능력	문제처리 능력, 사고력
3	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 인적자원관리 능력
4	정보능력	정보처리 능력, 컴퓨터활용 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

## □ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(반도체 아키텍처 설계)	
분류번호	기준	1903060102_18v4
	현재	1903060102_23v5
개발·개선연도	현재	2023
	최초(1차)	2018
버전번호	v5	
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회, 한국반도체산업협회, 한국반도체산업협회
향후 보완 연도(예정)	2028	

분류번호 :	1903060118_23v5
능력단위 명칭 :	아날로그 회로 아키텍처 설계
능력단위 정의 :	아날로그 회로 아키텍처 설계란 시스템에서 요구하는 사양과 표준에 근거하여 개발 IP의 구조 및 블록 단위 설계, 공정의 소자특성 분석을 수행하는 능력이다.

능력 단위 요소	수행 준 거
	<p>1.1 설계 IP를 통해 시스템에서 구현하고자 하는 기능을 이해할 수 있다.      1.2 설계 IP의 표준 동향을 파악할 수 있다.      1.3 시스템에서 요구하는 기능을 만족할 수 있는 IP 스펙을 정의할 수 있다.      1.4 설계 IP의 입력신호, 출력신호와 제어신호의 특징을 파악할 수 있다.      1.5 주변 블록을 확인하여 잡음에 대한 영향을 확인할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 시스템 동작 시나리오</li> <li>• 시나리오 변화에 따른 칩의 동작 주파수, 사용 전원, 동작 블록 정보</li> <li>• IP 표준별 주요 변경 성능 지표</li> <li>• 개발 IP 별 일반적인 설계 구조 및 구조별 성능 제약사항</li> <li>• 동작 주파수에 따른 잡음 영향</li> <li>• 시스템 신호 흐름</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 제품의 기능을 기술적 스펙으로 변환할 수 있는 아키텍처 기술</li> <li>• 개발 IP와 관련한 시스템 시나리오를 구분하고 이를 기술적 스펙으로 변환할 수 있는 기술</li> <li>• IP의 스펙을 만족할 수 있는 블록 단위 설계 기술</li> <li>• IP 표준 동향 검색 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 개발 IP 뿐만 아니라 시스템 전반에 대한 동작과 블록 간 상호 영향을 포괄적으로 이해하고 파악하려는 관심과 열정</li> <li>• 설계 IP의 최근 동향을 꼼꼼하게 지속적으로 파악하는 꾸준함</li> <li>• 고객의 요구 기능을 기술적인 스펙으로 빠짐없이 반영하였는지 검토할 수 있는 꼼꼼함</li> </ul>
1903060118_23v5.1 시스템 사양 분석하기	<p>2.1 설계 IP를 몇 개의 기능 블록으로 나누어 설계할지 선정할 수 있다.      2.2 각 기능 블록 단위로 입·출력 신호를 정의할 수 있다.      2.3 기능 블록 간의 제어 신호를 정의할 수 있다.      2.4 각 기능 블록의 전원 및 조절 신호 조건에 따른 기능을 모델링할 수 있다.      2.5 모델링 한 기능 블록을 연결하여, 원하는 동작을 할 수 있는지 시뮬레이션을 수행할 수 있다.      2.6 시뮬레이션 결과가 주어진 스펙 대비 충분한 성능을 갖는지 확인할 수 있다.      2.7 성능 부족 시 문제점을 분석하고 개선점을 도출할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 다양한 기능의 아날로그 회로 설계 기법</li> <li>• 회로 해석과 분석 기법</li> <li>• 아날로그 회로의 모델링 기법</li> <li>• 아날로그 회로 설계를 위한 공정과 소자의 물성 특성</li> <li>• 시스템 레벨 연결 신호의 제어 조건</li> </ul>
1903060118_23v5.2 블록단위 설계하기	

1903060118_23v5.2 블록단위 설계하기	<p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 아날로그 매크로 레벨 회로 설계 기술</li> <li>• 아날로그 매크로 레벨 회로 분석 기술</li> <li>• 아날로그 기능 블록 모델링 기술</li> <li>• 아날로그 회로 시스템 설계 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 시스템과의 인터페이스를 적극적으로 반영할 수 있는 자세</li> <li>• IP의 설계 스펙을 보다 적은 소모전력, 크기, 성능으로 구현하고자 하는 도전적인 자세</li> <li>• 다른 설계 결과의 장점을 적극적으로 수용하여 더 좋은 결과를 도출하려는 자세</li> </ul>
3.1 설계 공정의 라이브러리 파일을 확인하여, 턴 온 저항 값이 다른 주요 트랜지스터와 수동소자의 성능을 개괄적으로 파악할 수 있다. 3.2 주요 트랜지스터의 전압, 전류간 특성을 시뮬레이션을 통해 확인할 수 있다. 3.3 주요 트랜지스터의 Body Effect 적용에 따른 전압, 전류간 특성을 시뮬레이션을 통해 확인할 수 있다. 3.4 트랜지스터의 On 저항 값을 확인할 수 있다. 3.5 인버터 체인을 구성하여, 트랜지스터 크기에 따른 지연시간, 상승시간, 하강시간에 대한 정보를 확인할 수 있다.	
1903060118_23v5.3 설계공정 분석하기	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 공정별 단위소자의 전기적 특성, 온도특성, 내압특성, 전류 구동 능력 등 세부 공정 특성</li> <li>• 단위 소자의 평면, 수직적 구조</li> <li>• 공정 순서 및 마스크 층별 공정 매개변수(Process Parameter)</li> <li>• 적용 패키지의 열 특성</li> <li>• 공정 파라미터를 적용한 단위 소자 시뮬레이션 기법</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 단위 소자의 전류, 전압에 따른 동작 속도 평가 기술</li> <li>• 단위 소자의 매칭 파라미터를 적용하여 설계 타당성을 평가하는 기술</li> <li>• 단위 소자의 온도 특성을 적용하여 설계 타당성을 평가하는 기술</li> <li>• 공정 매개변수 코너 값에 따른 설계 기능의 만족 여부 등을 평가하는 기술</li> <li>• 단위 소자의 주요 특성에 기반하여, 개발 IP의 스펙 만족 여부를 개략적으로 판단할 수 있는 설계 마진 평가 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 미세한 공정의 특성 값을 놓치지 않고 분석할 수 있는 세심함과 정확성</li> <li>• 설계 제약사항을 적극적으로 분석하여 개발 제품에 반영하고자 하는 적극적인 자세</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

- 이 능력단위는 시스템에서 요구하는 스펙 및 표준에 근거하여 개발 IP의 구조를 검토하고, 요구하는 소모전력, 크기, 성능목표를 설계 공정에서 달성할 수 있을지 단위 소자의 특성 분석을 수행하는 업무에 적용한다.
- 이 능력단위는 반도체 소자 및 공정에 대한 기본적인 지식을 필요로 한다.
- 이 능력단위는 개발하는 시스템의 종류에 따라 별도의 시스템에 대한 분석을 필요로 한다.
- 시스템 사양이란 개발 제품의 사용자의 필요 기능을 만족하기 위한 기술적인 성능 지표로써, SoC 칩의 성능 지표를 각각의 구분된 IP 단위의 성능 지표로 분류하며, 이때 각 IP의 성능지표를 지칭한다.
- 대표적인 아날로그 IP는 ADC, DAC, PLL, PMIC, DDRPHY, USB, HDMI 등이 있으며, 각 IP의 기능과 목표 성능을 만족하기 위한 구조에 따라 서로 다른 블록 단위 설계가 필요하다.
- ‘설계공정 분석하기’ 능력단위요소에서는 공정의 설계권고사항(Design Guide)을 숙지하고 공정의 설계 매개변수에 따라 아날로그 회로에 대한 시뮬레이션을 할 수 있도록 해야 한다.
- 툴은 설계용 프로그램을 지칭하며, 설계자가 익숙할 수 있고 반도체 산업현장에서 일반적으로 사용하는 프로그램에 적용 가능한 것을 말한다.

### 자료 및 관련 서류

- 공정규격서(Process Specification)
- 시스템/제품 규격서
- IP 개발 의뢰서
- 제품 패키지 규격서
- 툴 매뉴얼
- 계측기 매뉴얼
- IP / 셀 라이브러리(Cell Library)

### 장비 및 도구

- 시뮬레이션 툴
- 평가용 계측기
- 분석용 계측기

### 재료

- 해당사항 없음

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 아날로그 회로 아키텍처 설계의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구		
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 주어진 시스템에서 개발 IP와 관련된 주요 신호의 정의 여부
  - 개발 IP의 주요 신호들은 어떤 것이 있고, 어떤 시나리오에서 전달 받을 수 있는지 이해 여부
  - IP 설계를 위해 매크로 아키텍처로 블록 구분 및 분류에 대한 타당한 이유 제시 여부
  - 매크로 아키텍처 시뮬레이션 조건이 시스템의 동작 시나리오를 충분히 반영하였는지 여부
  - 설계 공정의 Design Guide를 충분히 숙지하였는지 여부
  - 설계 공정 소자의 시뮬레이션 결과를 다른 공정 결과와 비교하여 특이점을 제시할 수 있는지 여부
  - 소자 특성 분석 결과로부터 개발 IP의 성능 만족 여부를 예상할 수 있는지 여부

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 기초외국어 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	문제해결능력	문제처리 능력, 사고력
3	자기개발능력	경력개발 능력, 자기관리 능력, 자아인식 능력
4	대인관계능력	갈등관리 능력, 고객서비스 능력, 리더십 능력, 팀워크 능력, 협상 능력
5	정보능력	정보처리 능력, 컴퓨터활용 능력

## □ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(아날로그 회로 아키텍처 설계)	
분류번호	기준	1903060103_18v4
	현재	1903060118_23v5, 1903060119_23v5, 1903060120_23v5
개발·개선연도	현재	2023
	최초(1차)	2018
버전번호	v5	
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)	2028	

분류번호 : 1903060119\_23v5

능력단위 명칭 : 아날로그 회로 소자레벨 설계

능력단위 정의 : 아날로그 회로 소자레벨 설계란 설계 IP의 블록 단위 스펙에 근거하여 트랜지스터 레벨의 단위 소자로 회로를 구성하고, 크기 변경을 통해 원하는 기능과 성능을 만족하는지 시뮬레이션을 수행하고 출력 파형을 통해 이를 분석하는 능력이다.

능력 단위 요소	수행 준거
1903060119_23v5.1 블록별 회로 구성하기	<p>1.1 블록별 설계 스펙을 이해할 수 있다. 1.2 블록별 입출력 신호와 제어신호의 비트 수를 파악할 수 있다. 1.3 블록의 기능을 만족하기 위한 기존 회로도면, 참고 자료의 해석을 통해 회로 구조를 결정할 수 있다. 1.4 회로 구조에 맞는 단위 소자의 기본 크기 정보 입력 후 배치를 수행할 수 있다. 1.5 소자들을 서로 연결하여 회로도면을 그릴 수 있다.</p> <p>【지식】</p> <ul style="list-style-type: none"><li>다양한 기능의 아날로그 회로 설계 기법</li><li>회로 해석과 분석 기법</li><li>아날로그 회로의 모델링 기법</li><li>아날로그 회로 설계를 위한 공정과 소자의 물성 특성</li><li>아날로그 회로도면의 각 소자 심볼별 특징</li><li>회로 도면과 커스텀 레이아웃 배치 구조의 관계</li></ul> <p>【기술】</p> <ul style="list-style-type: none"><li>아날로그 회로도면 편집 툴 활용 기술</li><li>아날로그 회로 시뮬레이션 툴 활용 기술</li><li>아날로그 회로 분석 기술</li><li>아날로그 기능 블록 모델링 기술</li></ul> <p>【태도】</p> <ul style="list-style-type: none"><li>회로를 간단하게 구성하려는 노력</li><li>타 설계와 비교를 통하여 수용하고 더 좋은 설계를 도출하려는 자세</li><li>커스텀 레이아웃 설계자의 사전 이해를 배려한 회로도면의 글, 수치를 적극 활용하는 자세</li></ul>

1903060119_23v5.2 시뮬레이션하기	<p>2.1 구성한 회로도면에서 넷리스트(netlist) 정보를 추출할 수 있다.</p> <p>2.2 블록 단위 구성 회로의 기능, 성능 확인을 위한 테스트 벤치(Test Bench)를 작성할 수 있다.</p> <p>2.3 테스트 벤치를 직류(DC), 교류(AC), 시간(TR) 관점에서 모두 확인해야 하는지 검토할 수 있다.</p> <p>2.4 설계 공정에서 제공하는 라이브러리 파일과 추출한 넷리스트(netlist) 파일을 연결하여 시뮬레이션을 수행할 수 있다.</p> <p>2.5 시뮬레이션 결과를 그래픽 파일을 통해 원하는 기능과 성능을 만족하는지 확인할 수 있다.</p> <p>2.6 구성한 회로의 크기 정보 변경, 설계 구조 변경 통해 원하는 결과를 얻을 때까지 시뮬레이션을 반복 수행할 수 있다.</p> <p>2.7 공정의 제조과정에서 발생할 수 있는 변동을 고려한 코너 조건 라이브러리 파일을 연결하고, 테스트 벤치의 전압, 온도 조건을 변경하여 시뮬레이션을 수행할 수 있다.</p> <p>2.8 블록 단위 설계가 완료되면, IP 레벨에서 연결한 블록들이 기능과 성능을 만족하도록 시뮬레이션 과정을 수행할 수 있다.</p> <p>2.9 제조과정의 환경 변화에 의한 예측 수율 확인을 위한 몬테카를로(Monte-Carlo) 시뮬레이션을 수행하고, 강건 설계를 위한 개선을 할 수 있다.</p>
1903060119_23v5.3 포스트 시뮬레이션하기	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 설계규격서 분석 기법</li> <li>• 시뮬레이션 방법론(직류(DC), 교류(AC), 시간, 온도, 몬테카를로(Monte-Carlo) 해석 등)</li> <li>• 아날로그 회로 시뮬레이션 결과 분석 기법</li> <li>• 반도체 제조공정의 변동 개념, 코너 조건 시뮬레이션 방법</li> <li>• 몬테카를로(Monte-Carlo) 시뮬레이션의 개념, 변경 조건의 설정 방법</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 아날로그 회로도면 편집 툴 활용 기술</li> <li>• 아날로그 회로 시뮬레이션 툴 활용 기술</li> <li>• 시뮬레이션 결과(파형) 해석 및 분석 툴 활용 기술</li> <li>• 회로 해석 기술</li> <li>• 코너 조건, 수율 조건에 대한 안정성 해석 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 설계규격서의 세부 내용을 꼼꼼히 점검하려는 자세</li> <li>• 시뮬레이션 결과를 세부적으로 분석하려는 자세</li> <li>• 시뮬레이션 결과를 양산성 확보까지 넓게 확장하여 연계하려는 자세</li> </ul> <p>3.1 커스텀 레이아웃 검증이 완료된 GDS 파일로부터 포스트 netlist를 추출할 수 있다.</p> <p>3.2 프리 시뮬레이션을 수행한 테스트벤치에 포스트 netlist를 연결하여 소자들을 인식하는지 점검할 수 있다.</p> <p>3.3 IP 레벨의 포스트 시뮬레이션 결과가 프리 시뮬레이션 결과와 성능 차이가 발생하는지 확인할 수 있다.</p> <p>3.4 커스텀 레이아웃 회로의 성능 열화 항목을 분석할 수 있다.</p> <p>3.5 커스텀 레이아웃 회로 수정 방향을 제안하여 시뮬레이션 결과를 최적화할 수 있다.</p>

<p>1903060119_23v5.3 포스트 시뮬레이션하기</p>	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 아날로그회로 분석</li> <li>• 아날로그 회로 시뮬레이션 결과 분석 기법</li> <li>• 반도체 제조 공정의 변동 개념, 코너 조건 시뮬레이션 방법</li> <li>• 몬테카를로(Monte-Carlo) 시뮬레이션의 개념, 변경 조건의 설정 방법</li> <li>• LPE(Layout Parameter Extraction) 추출방법</li> <li>• 기생 저항, 커패시터 추출 이유 및 시뮬레이션 Vs. 정확도 검토 방법</li> <li>• 커스텀 레이아웃 설계 개선 방법</li> </ul>
	<p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 아날로그 회로도면 편집 툴 활용 기술</li> <li>• 아날로그 회로 시뮬레이션 툴 활용 기술</li> <li>• 시뮬레이션 결과(파형) 해석 및 분석 툴 활용 기술</li> <li>• 회로 해석 기술</li> <li>• 코너 조건, 수율 조건에 대한 안정성 해석 기술</li> <li>• 커스텀 레이아웃 설계 툴 활용 기술</li> </ul>
	<p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 포스트 시뮬레이션 결과를 양산성 확보까지 넓게 확장하여 연계하려는 자세</li> <li>• 포스트 시뮬레이션 전, 주요 관리 신호의 속도, 민감도의 고려 및 매칭 특성을 사전 고려하여 커스텀 레이아웃을 Guide 할 수 있는 준비된 자세</li> <li>• 커스텀 레이아웃의 진행 상황을 수시로 확인하여, 포스트 시뮬레이션 전에 개발 IP의 성능을 최적화 할 수 있는 시야를 확보하려는 자세</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

-이 능력단위는 설계 IP의 블록 단위 스펙에 근거하여 트랜지스터 레벨의 단위 소자로 회로를 구성하고, 크기 변경을 통해 원하는 기능과 성능을 만족하는지 시뮬레이션을 수행하고 출력 파형을 통해 이를 분석하는 업무에 적용한다.

-이 능력단위는 반도체 소자 및 공정에 대한 기본적인 지식을 필요로 한다.

-'시뮬레이션하기' 능력단위요소에서는 공정의 설계권고사항(Design Guide)을 숙지하고 공정의 설계 매개변수에 따라 아날로그 회로에 대한 시뮬레이션을 할 수 있도록 해야 한다.

-'포스트 시뮬레이션하기' 능력단위요소에서는 단순히 시뮬레이션을 수행할 수 있는 것이 아닌 '블록별 회로 구성하기'에서 단순한 심볼로 그려진 회로도면을 효과적으로 커스텀 레이아웃 할 수 있는 설계 방향을 미리 알고 있는 것을 평가해야 한다. 아날로그 회로 설계자의 작업 지침에 따라 커스텀 레이아웃의 진행 방향이 사전 결정되어야 한다.

-'포스트 시뮬레이션하기' 수행 시 커스텀 레이아웃 도면에 대한 성능 제약 조건을 사전에 충분히 알고 있어야 수정 방향을 쉽게 찾을 수 있다. 아날로그 설계자는 이론적인 회로 구조에 대한 이해 뿐만 아니라, 커스텀 레이아웃, 공정 특성 등 유사 직무의 주요 설계정보에 대한 지식을 골고루 갖추어야 설계 능력이 향상될 수 있다.

-툴은 설계용 프로그램을 지칭하며, 설계자가 익숙할 수 있고 반도체 산업현장에서 일반적으로 사용하는 프로그램에 적용 가능한 것을 말한다.

### 자료 및 관련 서류

- 시스템/제품 규격서
- 제품 패키지 규격서
- 툴 매뉴얼
- 계측기 매뉴얼
- IP / 셀 라이브러리(Cell Library)

### 장비 및 도구

- 워크스테이션
- 시뮬레이션 툴

### 재료

- 해당사항 없음

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 아날로그 회로 소자레벨 설계의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 규격서에 제시된 블록 및 회로 구성 결과물
  - 시뮬레이션 환경 구축 방법과 사용법 숙지 여부
  - 트랜지스터 레벨, 회로 레벨, 블록 레벨, 시스템 레벨 시뮬레이션 방법 숙지 여부
  - 레이아웃으로부터 추출된 물리적 특성 적용한 재검증 방법 숙지 여부
  - 규격서를 기준으로 설계 제약 사항 적용 방법 파악 여부

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 기초외국어 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	문제해결능력	문제처리 능력, 사고력
3	자기개발능력	경력개발 능력, 자기관리 능력, 자아인식 능력
4	대인관계능력	갈등관리 능력, 고객서비스 능력, 리더십 능력, 팀워크 능력, 협상 능력
5	정보능력	정보처리 능력, 컴퓨터활용 능력

## □ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(아날로그 회로 소자레벨 설계)	
분류번호	기준	1903060103_18v4
	현재	1903060118_23v5, 1903060119_23v5, 1903060120_23v5
개발·개선연도	현재	2023
	최초(1차)	2018
버전번호	v5	
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)	2028	

분류번호 : 1903060120\_23v5

능력단위 명칭 : 아날로그 회로 시스템 설계

능력단위 정의 : 아날로그 회로 시스템 설계란 시험 보드의 제작 및 검사 장비의 활용을 통해 IP의 성능을 검증하고, 설계 IP의 다양한 정보를 포함한 디자인 키트(Design kit)를 제작하여 시스템 설계를 수행하는 능력이다.

능력 단위 요소	수행 준거
1903060120_23v5.1 검증환경 준비하기	<p>1.1 설계 IP의 검증에 필요한 입력신호와 제어신호의 세팅 값에 따른 출력 결과와 외부 보드에 연결되어야 하는 소자 정보 등을 시험 계획서로 기술할 수 있다.</p> <p>1.2 검증용 보드 제작을 위한 보드 회로도면을 직접 설계하거나 설계한 도면이 적절하게 구성되었는지 검토할 수 있다.</p> <p>1.3 검증용 보드 제작을 위한 아트워크(Artwork) 도면을 직접 설계하거나 설계한 도면이 설계 IP의 성능 열화를 유발하지 않는지 검토할 수 있다.</p> <p>1.4 검증용 보드를 구성하는 소자들을 파악, 확보하여 검증 세트를 구성할 수 있다.</p> <p>1.5 검증에 필요한 장비 확인을 통해 측정환경을 구성할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"><li>• 아날로그 회로의 대표적인 기능별 설계 구조</li><li>• 회로도면의 계층 구조 및 연결선에 따른 신호 흐름 해석 방법</li><li>• 조절 신호에 따라 내부 설계 회로의 바뀌는 기능의 해석 방법</li><li>• 논리적 회로 도면과 물리적 회로 도면의 구조</li><li>• 매칭, 고속 신호와 같은 다양한 신호에 대한 보드 환경의 신호 특성</li><li>• 보드 설계, 부품 수집, 보드 제작의 과정</li><li>• 계측 장비에 대한 이해</li><li>• 장비의 측정 오차를 최소화 하는 방법</li></ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"><li>• 아날로그 설계 회로의 회로도면을 조작할 수 있는 설계 툴 사용 기술</li><li>• 보드 설계 회로도면을 조작할 수 있는 설계 툴 사용 기술</li><li>• 보드의 물리적 설계 회로도면을 조작할 수 있는 설계 툴 사용 기술</li><li>• 신호 왜곡 및 성능 최적화를 위한 보드 설계 기술</li><li>• 전원, 입력신호 발생기, 출력 결과 측정 등 계측에 필요한 장비 사용 기술</li><li>• 측정 결과에 대한 해석 기술</li></ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"><li>• 설계도면의 신호흐름, 모든 핀들의 동작을 하나하나 따져 볼 수 있는 꼼꼼함</li><li>• 아날로그 회로 설계 뿐만 아니라 보드 설계, 인접한 소자에 대한 영향 등 다른 설계 영역, 외부 변수까지 놓치지 않고 분석할 수 있는 수용성</li><li>• 새로운 장비들의 사용도 적극적으로 수행할 수 있는 도전정신</li></ul>

	<p>2.1 전원을 인가하여 설계한 검증 보드가 설계 의도와 다르게 오픈(open) 또는 쇼트(short)된 부분이 있는지 확인할 수 있다.</p> <p>2.2 시험계획서의 기술한 모드 변화를 변경하며, 각 모드별 출력 결과를 계측할 수 있다.</p> <p>2.3 측정 결과를 측정환경을 포함하여 정리하고, 원하는 성능 기준을 만족하는지 점검할 수 있다.</p> <p>2.4 성능 열화 발생시 시뮬레이션 결과와 측정 결과를 매칭시켜 원인이 되는 블록을 파악할 수 있다.</p> <p>2.5 성능 열화의 원인이 되는 설계 블록 수정을 통해 설계 IP를 최적화할 수 있다.</p> <p>2.6 여러 개의 칩을 측정하여 칩간 성능 편차가 충분히 만족할 만한지 확인할 수 있다.</p> <p>2.7 측정 결과의 통계적 분석을 통해 대량 양산 상황의 안정성을 점검할 수 있다.</p>
1903060120_23v5.2 아날로그 회로 검증하기	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 아날로그 회로의 대표적인 기능별 설계 구조</li> <li>• 회로도면의 hierarchy 구조 및 연결선에 따른 신호 흐름 해석 방법</li> <li>• 조절 신호에 따라 내부 설계 회로의 바뀌는 기능에 대한 해석 방법</li> <li>• 매칭, 고속 신호와 같은 다양한 신호에 대한 보드 환경의 신호 특성</li> <li>• IP 성능 계측을 위한 주요 장비 사용 방법에 대한 이해</li> <li>• 장비의 측정 오차를 최소화 하는 방법</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 시험계획서를 해석하는 기술</li> <li>• 전원, 입력 신호 발생기, 출력 결과 측정 등 계측에 필요한 장비 사용 기술</li> <li>• 측정 결과에 대한 해석 기술</li> <li>• 측정 결과 변화를 설계 회로의 특성으로 변환하여 문제를 해석할 수 있는 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 설계도면의 신호 흐름, 모든 편의 동작을 하나하나 따져 볼 수 있는 꼼꼼함</li> <li>• 측정 오차를 최소화하여 측정의 정확도를 높이려는 섬세함</li> <li>• 문제 현상 발생시 다양한 측정 방법의 변화를 통해 문제가 되는 설계의 원인을 밝힐 수 있는 창의력</li> </ul>
1903060120_23v5.3 IP 디자인 모델 설계하기	<p>3.1 설계해야 하는 디자인 키트(Design kit)의 구성 파일을 파악할 수 있다.</p> <p>3.2 설계 회로, 측정 결과를 바탕으로 IP의 데이터시트를 작성할 수 있다.</p> <p>3.3 설계 IP의 제어신호에 따른 기능을 모델링 한 베릴로그(Verilog) 파일을 설계할 수 있다.</p> <p>3.4 설계 IP의 레아아웃 정보가 기술된 LEF, GDS 파일을 설계할 수 있다.</p> <p>3.5 설계 IP의 클럭 신호와 부하 커패시턴스 조건에 따라 출력 파형의 타이밍 정보를 알 수 있는 .lib 파일을 설계할 수 있다.</p> <p>3.6 SoC 설계자 또는 IP 사용 고객과 합의하여, 요구하는 추가 파일의 목록과 전달 일정, 파일의 버전에 대하여 계획을 수립할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 디자인 키트(Design kit)의 구성 파일별 사용 용도</li> <li>• 베릴로그(Verilog) 설계 언어</li> <li>• 설계 회로의 주요 기능과 반드시 모델링해야 하는 설계 기준</li> <li>• 입출력 신호와 클럭 신호와의 관계 및 이를 표현하는 방법</li> </ul>

1903060120_23v5.3 IP 디자인 모델 설계하기	<p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>데이터시트의 주요 정보를 뽑아낼 수 있는 설계 능력</li> <li>베릴로그(Verilog) 설계 툴 사용 능력</li> <li>커스텀 레이아웃 설계 툴 사용 능력</li> <li>아날로그 설계 툴 사용 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>다양한 설계 툴의 기본적인 기능을 이해하려는 열린 자세</li> <li>기술한 디자인 키트(Design kit)의 설계 파일에 설계 IP의 특성을 모두 반영하려는 노력</li> <li>데이터시트를 사용자가 쉽게 이해하도록 기술하려는 자세</li> </ul>
1903060120_23v5.4 시스템 설계하기	<p>4.1 전달한 IP의 넷리스트(netlist)가 개발 칩의 인접 블록과 적절한 신호로 연결되었는지, 시뮬레이션을 통해 논리적 기능을 확인할 수 있다.</p> <p>4.2 전달한 IP의 GDS가 개발 칩의 전원, 입력패드와 충분히 가까운지, 연결한 레이어(Layer)의 폭이 충분한지, 인접 블록의 잡음 영향을 최소화하고 있는지 레이아웃 도면을 유관을 통해 점검할 수 있다.</p> <p>4.3 전달한 IP의 전원과 입력신호에 대해 ESD, EOS 대책이 충분한지 확인하고 이로 인한 신호 왜곡은 발생하지 않는지 점검한다.</p> <p>4.4 IP의 성능 확인을 위한 시험모드에 대하여, 초기 세팅 값을 정의하고, 해당 모드 조건의 전원인가 방법, 입력신호, 클럭 신호의 인가 방법, 출력패드의 연결상태를 점검할 수 있다.</p> <p>4.5 개발 칩에서 해당 IP의 양산 시험을 위한 시험계획서와 보드 회로도, 스펙을 수립할 수 있다.</p> <p>4.6 양산시험 환경에서 칩의 평가 기준이 적절한지 확인할 수 있다.</p> <p>4.7 수율의 급격한 하락은 측정 환경의 문제인지, 제조 공정의 문제인지 실험을 통해 원인 분석 및 개선 활동을 수행할 수 있다.</p>
	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>설계 SoC의 용도 및 신호 특성</li> <li>주변 블록들의 동작 특성 및 동작시 발생할 수 있는 잡음</li> <li>입력 패턴과 거리에 따른 신호 영향</li> <li>ESD, EOS 발생 및 방지 매커니즘</li> <li>실사용 모드와 TEST 모드</li> <li>양산성 평가</li> <li>수율, 진성불량, 가성불량의 정의, 개선 방법</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>혼성(Mixed) 시뮬레이션 기술</li> <li>아날로그 회로 분석 기술</li> <li>ESD, EOS 해석 및 설계 기술</li> <li>양산 시험 기술</li> <li>시험 결과 분석 기술</li> <li>불량 원인 파악 및 개선 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>단순한 IP 개발 뿐만 아니라 SoC 동작 조건에서 IP 성능이 만족할 수 있도록 설계</li> <li>전반을 검토할 수 있는 노력</li> <li>개발 전반의 검토 영역을 넓혀 인접 블록과 중복 확인이 되어 문제 발생을 근본적으로 없애려는 적극성</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

-이 능력단위는 설계에 맞추어 제작된 칩의 기능, 성능 확인을 위해 보드를 제작하고, 시험 장비를 활용하여 이를 측정하며, 설계 IP를 상위 레벨 설계자가 활용할 수 있도록 디자인키트(Design Kit) 형태의 결과물로 제작하는 업무에 적용한다.

-검증에 필요한 장비에는 전원, 입력신호발생기, 출력결과 측정 등이 있다.

-‘검증환경 준비하기’ 능력단위요소는 단순한 부품이나 측정 도구의 준비 뿐 만 아니라 설계 칩의 측정에 필요한 검증용 보드의 설계 과정을 포함하고 있다.

-아날로그 회로 검증 과정에서 측정 결과가 원하는 성능을 만족하지 못할 때, IP의 설계를 잘못한 것인지 측정 방법이 잘못되어 측정 결과가 안 좋은 것인지 추가 실험 계획을 수립하여, 원인을 구분해야 한다.

-시험계획서에는 일반적인 개발 IP의 특성만 기술될 수 있으므로, 사용 용도에 따라 시스템에 적용하는 IP는 시스템 환경을 파악하여, 해당 시스템에서 요구하는 시험 환경에 적합한 별도의 검증을 진행해야 한다.

-IP 디자인 모델이란 설계한 아날로그 회로의 결과물인 디자인키트(Design kit)를 지칭하며, 설계 공정에서 제공하는 소자의 디자인키트(Design kit)와 구분하기 위해 IP 디자인 모델이란 이름을 사용한다.

-IP 디자인 모델의 구성 요소와 각 구성 요소의 제공 시점은 IP를 완벽하게 검증 완료한 상태에서 필요 설계 결과물을 패키지 형태로 준비하는 것이 일반적이다. 그러나 신규 공정으로 개발하는 SoC는 SoC와 IP의 설계가 동시에 진행되므로, IP의 디자인키트(Design kit)를 단계적으로 전달하며, 완성도를 높이는 것이 개발 시간을 최소화하는데 도움을 줄 수 있다.

-‘시스템 설계하기’ 능력단위요소는 시스템에 사용한 IP의 성능을 주어진 환경에서 최적화하는 활동을 포함한다.

-시스템 설계하기는 개별 IP만을 설계하는 개발자는 수행하지 않아도 되는 능력단위이며, IP 개발과 SoC의 개발을 동시에 진행하는 경우에 적용 SoC를 기준으로 성능을 최적화하는 과정을 설명한다.

### 자료 및 관련 서류

- 공정규격서(Process Specification)
- 시스템/제품 규격서
- 툴 매뉴얼
- 계측기 매뉴얼
- IP / 셀 라이브러리(Cell Library)

### 장비 및 도구

- 워크스테이션
- 시뮬레이션 툴
- 측정용 계측기
- 분석용 계측기

### 재료

- 해당사항 없음



## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 아날로그 회로 시스템 설계의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
  - 평가자는 다음 사항을 평가해야 한다.
- 시험계획서 작성 완성도
  - 시험계획서 기반 주요 측정 장비의 사용법 숙지 여부
  - 시험 결과 정리 및 측정 결과 분석 방법 숙지 여부
  - 디자인키트(Design kit) 주요 설계 파일의 활용 목적 숙지와 제작 여부
  - 시스템에서 확인해야 하는 주요 점검 항목 숙지 여부
  - 수율 하락 발생시 원인 분석 방법 숙지 여부
  - 계측기(측정용/분석용)의 사용법 이해 여부

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 기초외국어 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	수리능력	기초연산 능력, 기초통계 능력, 도표분석 능력, 도표작성 능력
3	문제해결능력	문제처리 능력, 사고력
4	자기개발능력	경력개발 능력, 자기관리 능력, 자아인식 능력
5	대인관계능력	갈등관리 능력, 고객서비스 능력, 리더십 능력, 팀워크 능력, 협상 능력
6	정보능력	정보처리 능력, 컴퓨터활용 능력

## □ 개발·개선 이력

구 분		내 용
직무명칭(능력단위명)		반도체개발(아날로그 회로 시스템 설계)
분류번호	기준	1903060103_18v4
	현재	1903060118_23v5, 1903060119_23v5, 1903060120_23v5
개발·개선연도	현재	2023
	최초(1차)	2018
버전번호		v5
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)		2028

분류번호 :	1903060104_23v5
능력단위 명칭 :	디지털 회로 설계
능력단위 정의 :	디지털 회로 설계란 반도체 설계 과정 중 하드웨어 기술 언어(HDL, Hardware Description Language)와 관련 설계 툴을 활용하여, HDL 코딩, 시뮬레이션, 게이트 레벨 합성, 포스트 시뮬레이션을 통한 회로의 동작, 특성 확인 및 검증과 같은 반도체 설계 과정을 수행할 수 있는 능력이다.

능력 단위 요소	수행 준거
1903060104_23v5.1 H D L 코딩하기	<p>1.1 주어진 기술 규격에 따라 HDL를 사용할 수 있다.      1.2 설계 사양의 기능에 따라 시스템과 호환되도록 입/출력 회로를 선정할 수 있다.      1.3 주어진 기술 규격을 조합 회로 HDL로 기술 할 수 있다.      1.4 주어진 기술 규격을 동기/비동기, 순차회로, HDL로 기술 할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 불 대수(Boolean Algebra)</li> <li>• 설계사양서, 회로도 해석</li> <li>• 입/출력 시스템 인터페이스</li> <li>• 동기·비동기 시스템 구조</li> <li>• FSM(Finite State Machine) 구조 및 해석</li> <li>• HDL 사용법</li> <li>• 저 전력 설계 방법</li> <li>• 타이밍 다이어그램(Timing Diagram)</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• HDL 코딩 기술</li> <li>• 테스트 벤치(Test Bench) 작성 기술</li> <li>• 소스 버전 관리 도구 사용 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 기술 규격을 정확하게 준수하려는 자세</li> <li>• 완벽한 설계를 위해 꼼꼼하게 확인하는 자세</li> </ul>
1903060104_23v5.2 시뮬레이션하기	<p>2.1 시뮬레이션 환경을 구축할 수 있다.      2.2 설계사양서에 의거하여 기술된 HDL 코딩을 시뮬레이션할 수 있다.      2.3 시뮬레이션 결과를 설계사양서와 비교할 수 있다.      2.4 시뮬레이션 결과를 분석하여 HDL 코드를 수정할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 불 대수</li> <li>• 설계사양서, 회로도 해석</li> <li>• 입/출력 시스템 인터페이스</li> <li>• 동기·비동기 시스템 구조</li> <li>• FSM 구조 및 해석</li> <li>• HDL 사용법</li> <li>• 조합회로, 순차회로 설계 및 해석</li> <li>• 타이밍(Timing)과 파형(Waveform) 해석</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• HDL 코딩 기술</li> <li>• 테스트 벤치 작성 기술</li> <li>• 시뮬레이션 툴(Tool) 사용 기술</li> </ul>

1903060104_23v5.2 시뮬레이션하기	<p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>설계사양서를 정확하게 확인하려는 자세</li> <li>완벽한 설계를 위해 꼼꼼하게 확인하려는 자세</li> <li>모든 동작 조건을 확인하는 성실함</li> </ul>
1903060104_23v5.3 디지털회로 합성하기	<p>3.1 합성 환경을 구축할 수 있다.</p> <p>3.2 합성 툴을 이용하여 HDL 코드를 게이트 레벨 네트리스트(Gate Level Netlist)로 변환할 수 있다.</p> <p>3.3 설계 제약 조건을 고려하여 위반 여부를 검사할 수 있다.</p> <p>3.4 설계 검증을 위한 표준 지연시간 등의 물리적 특성을 추출할 수 있다.</p> <p>3.5 합성 툴의 스크립트를 설계 제약 조건을 포함하여 작성할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>불 대수</li> <li>설계사양서, 회로도 해석</li> <li>입/출력 시스템 인터페이스</li> <li>동기, 비동기 시스템 구조</li> <li>FSM 구조 및 해석</li> <li>HDL 사용법</li> <li>조합회로, 순차회로 설계 및 해석</li> <li>타이밍, 웨이브폼(Waveform) 해석</li> <li>조합회로, 순차회로 타이밍 해석</li> <li>저 전력 설계 방법</li> </ul>
	<p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>HDL 언어 활용 기술</li> <li>합성 툴을 위한 스크립트 작성 및 활용 기술</li> <li>합성 툴 사용 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>모든 동작 조건을 확인하는 성실함</li> <li>모든 설계 제약 조건을 확인하는 꼼꼼함</li> </ul>
1903060104_23v5.4 포스트시뮬레이션하기	<p>4.1 레이아웃이 완료된 회로의 검증을 위한 시뮬레이션 환경을 구축할 수 있다.</p> <p>4.2 합성 및 레이아웃으로부터 추출된 물리적 특성을 반영하여 시뮬레이션을 수행할 수 있다.</p> <p>4.3 설계사양서에 의거하여 회로의 성능을 검증할 수 있다.</p> <p>4.4 시뮬레이션 결과를 분석하여 오류를 수정하고 설계에 반영할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>불 대수</li> <li>설계사양서, 회로도 해석</li> <li>입/출력 시스템 인터페이스</li> <li>동기 · 비동기 시스템 구조</li> <li>FSM 구조 및 해석</li> <li>HDL 사용법</li> <li>조합회로와 순차회로의 설계 및 해석</li> <li>타이밍과 파형 해석</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>HDL 코딩 기술</li> <li>테스트 벤치 작성 기술</li> <li>시뮬레이션 툴(Tool) 사용 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>모든 동작 조건을 확인하는 성실함</li> <li>모든 설계 제약 조건을 확인하는 꼼꼼함</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

- 이 능력단위는 시스템 반도체를 위한 디지털 회로 설계에 적용한다.
- 하드웨어 기술언어(HDL: Hardware Description Language)는 집적 회로의 동작을 기술하기 위한 프로그램 언어로 소프트웨어 알고리즘으로 정의된 설계를 고수준의 기능적 표현으로 나타낸다.
- 이 능력단위는 셀 라이브러리(Cell Library)를 활용하기 위한 하드웨어 설계 지식을 필요로 한다.
- 이 능력단위는 HDL 언어를 사용한 하드웨어 개발 능력을 필요로 한다.
- 이 능력단위는 반도체 제조 공정에 대한 기본적인 지식을 필요로 한다.
- 이 능력단위는 프로그래밍 언어로 하드웨어 모델링하는 능력을 필요로 한다.

### 자료 및 관련 서류

- 설계사양서
- 회로도
- 반도체설계자산(IP, Intellectual Property)
- 셀 라이브러리
- 툴 설명서

### 장비 및 도구

- 설계 서버
- 데이터 저장장치
- HDL 시뮬레이션 툴
- HDL 합성 툴
- 프로그래밍 언어

### 재료

- 해당사항 없음

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 디지털 회로 설계의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 사양서에 따른 HDL 코딩 스타일
  - 시뮬레이션 환경 구축 방법 숙지 여부
  - 게이트 레벨 네트리스트의 합성 방법 숙지 여부
  - 합성 및 레이아웃으로부터 추출된 물리적 특성 적용 방법 숙지 여부
  - 사양서를 기준으로 설계 제작 사항 적용 방법 파악 여부
  - 프로그래밍언어를 사용한 모델링 방법 이해 여부

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 기초외국어 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	문제해결능력	문제처리 능력, 사고력
3	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
4	정보능력	정보처리 능력, 컴퓨터활용 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

## □ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(디지털 회로 설계)	
분류번호	기준	1903060104_18v4
	현재	1903060104_23v5
개발·개선연도	현재	2023
	최초(1차)	2018
버전번호	v5	
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회, 한국반도체산업협회, 한국반도체산업협회
향후 보완 연도(예정)	2028	

분류번호 : 1903060130\_23v5

능력단위 명칭 : 커스텀 레이아웃 적용공정 분석

능력단위 정의 : 커스텀 레이아웃 적용공정 분석이란 해당 공정에서 제공하는 PDK를 활용한 주요 소자의 이름과 구조를 확인하고, 디자인 룰에서 정의하고 있는 다양한 소자 및 레이어 간 최소 설계 길이를 파악하여, 커스텀 레이아웃 설계를 적절하게 수행할 수 있도록 사전 공정 정보를 습득하는 능력이다.

능력 단위 요소	수행 준거
1903060130_23v5.1 적용공정 소자 분석하기	<p>1.1 커스텀 레이아웃에 사용하는 전압별 트랜지스터를 구분할 수 있다. 1.2 전압별 트랜지스터의 구조적 차이를 설명할 수 있다. 1.3 BJT, 저항, 커패시터의 사용 레이어, 면적과 변화량을 파악할 수 있다. 1.4 설계 공정에서 사용할 최적의 소자 형태를 선정할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"><li>• 공정별 단위 소자의 전기적 특성, 온도특성, 내압특성, 전류구동능력 특성</li><li>• 단위 소자의 평면, 수직적 구조</li><li>• 누설전류 방지를 위한 레이아웃 방법 파악</li></ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"><li>• 단위 소자의 전류, 전압 특성에 따른 레이아웃 배치기술</li><li>• 단위 소자의 매칭 파라미터를 적용하여 설계 타당성을 평가하는 기술</li><li>• 소자의 수직, 수평 구조를 이해하고 레이아웃에 적용할 수 있는 기술</li></ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"><li>• 공정 특성을 파악하고 분석할 수 있는 세심함과 정확성</li><li>• 설계 제약사항을 적극적으로 분석하여 반영하고자 하는 적극적인 자세</li><li>• 공정 내용을 빠뜨리지 않으려는 치밀함</li></ul>
1903060130_23v5.2 적용공정 레이어 분석하기	<p>2.1 설계 공정의 사용 가능한 레이어 수와 레이어별 두께를 확인할 수 있다. 2.2 레이어 별 전류 밀도 정보를 파악할 수 있다. 2.3 레이어 별 최대폭, 최소 폭과 최소 간격 정보를 파악할 수 있다. 2.4 수율을 고려한 레이어 폭의 변화가 있는지 확인할 수 있다. 2.5 컨택(Contact)과 비아(Via)의 최소 적용 개수를 확인할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"><li>• 반도체 제조공정 이해</li><li>• 배치 설계 및 배선 설계 방법에 대한 지식</li><li>• 입/출력 패드에 대한 이해</li></ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"><li>• 배치 계획에 사용되는 설계 툴(Tool) 사용 기술</li><li>• 아날로그 및 디지털 블록의 상호 연관성 분석 능력</li><li>• 배치 계획을 문서화할 수 있는 문서 작성 능력</li></ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"><li>• 레이아웃에 대한 책임감</li><li>• 최적의 레이어를 선택하고자 하는 적극성</li><li>• 위험성이 낮은 안전한 설계를 하려는 자세</li></ul>

## □ 적용범위 및 작업상황

### 고려사항

- 이 능력단위는 해당 공정에서 제공하는 PDK를 활용한 주요 소자의 이름과 구조를 확인하고, 디자인 툴에서 정의하고 있는 다양한 소자 및 레이어 간 최소 설계 길이를 파악하여, 커스텀 레이아웃 설계를 적절하게 수행할 수 있도록 사전 공정정보를 습득하는 업무에 적용한다.
- 이 능력단위는 반도체 소자 및 공정에 대한 기본적인 지식을 필요로 한다.
- 설계할 반도체 제품이 사용되는 응용처에 대한 지식을 필요로 한다.
- 개발 단계별로 설계에 필요한 개발 툴을 정의하고, 사양을 고려한 반도체 공정을 선정하기 위한 기본 지식이 필요로 한다.
- ‘적용공정 분석하기’ 능력단위요소에서는 공정의 특징을 이해하고 레이아웃에 필요한 소자의 특징을 이해할 수 있어야 한다.
- ‘레이어 특징 이해하기’ 능력단위요소에서는 소자마다 다르게 적용되는 수직구조 및 명칭의 차이를 구별할 수 있어야 한다.
- ‘레이아웃절차 및 방법 결정하기’에서는 소자의 수직구조와 동작특징을 파악하여 회로도에 따른 레이아웃 설계 기법과 구조를 결정할 수 있어야 한다.

### 자료 및 관련 서류

- 공정의 설계권고사항
- 제품 사양서
- 툴 매뉴얼
- 공정의 설계 · 검증 규칙파일

### 장비 및 도구

- 컴퓨터, 프린터, 워크스테이션, 인터넷
- 커스텀 레이아웃 툴
- 레이아웃 검증 툴

### 재료

- 해당사항 없음

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 커스텀 레이아웃 적용공정 분석의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 커스텀 레이아웃 적용 공정 이해도 평가
  - 효율적인 레이아웃을 위한 평면계획 숙지 여부
  - 레이아웃에 대한 검증방법 활용 여부
  - 공정 매뉴얼 숙지 여부
  - 레이아웃을 위한 공정의 이론적, 기술적, 현실적 타당성 판단 능력 보유 여부
  - 공정 이해를 통한 레이아웃 성능향상 및 비용절감 방법 활용 여부

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	문제해결능력	문제처리 능력, 사고력
2	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
3	대인관계능력	갈등관리 능력, 리더십 능력, 팀워크 능력, 협상 능력
4	정보능력	정보처리 능력, 컴퓨터활용 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

## □ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(커스텀 레이아웃 적용·공정 분석)	
분류번호	기준	1903060111_18v4
	현재	1903060130_23v5, 1903060131_23v5, 1903060132_23v5
개발·개선연도	현재	2023
	최초(1차)	2018
버전번호	v5	
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)	2028	

분류번호 :	1903060131_23v5
능력단위 명칭 :	커스텀 레이아웃 설계
능력단위 정의 :	커스텀 레이아웃 설계란 아날로그 설계 회로도면에 근거하여 회로도의 성능과 가장 유사한 성능의 반도체 칩이 구현될 수 있도록 커스텀 레이아웃 툴을 활용하여 물리적 구조의 반도체 소자 및 수동 소자를 배치·배선하는 능력이다.

능력 단위 요소	수행 준 거
1903060131_23v5.1 회로도 이해하기	<p>1.1 레이아웃에 반영되는 다양한 회로도를 파악하고 레이아웃에 필요한 요소를 파악할 수 있다.      1.2 레이아웃 적용에 필요한 다양한 레이아웃 설계방법을 적용할 수 있다.      1.3 최적의 배치가 될 수 있도록 레이아웃에 사용되는 수동소자와 능동소자를 선정하고 레이아웃에 반영할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>반도체 수직 구조</li> <li>공정의 전기적 특성</li> <li>반도체 회로 해석</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>스키마틱(schematic) 설계 장비 사용 기술</li> <li>커스텀 레이아웃 설계 툴 사용 기술</li> <li>설계툴 사용환경(Linux) 사용 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>레이아웃에 대한 책임감</li> <li>완벽한 설계를 위한 끈기 있는 노력</li> <li>다양한 설계툴의 기능을 활용하고자 하는 적극성</li> </ul>
1903060131_23v5.2 레이아웃 방법 결정하기	<p>2.1 레이아웃 방법에 따라 반도체의 주요 규격을 분석할 수 있다.      2.2 레이아웃 수행 계획에서 각 단계별 주요 설계 내용을 작성할 수 있다.      2.3 회로설계의 난이도에 따라 레이아웃 업무 분장을 할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>반도체 소자 사양 및 각 기능별 동작 특성</li> <li>레이아웃 단계별로 사용하는 설계 장비</li> <li>설계 흐름도에 맞춰 설계 장비를 선정하는 방법</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>설계 사양 기능별 구체적 기술 능력</li> <li>전체 회로 설계 시 필요한 회로간의 동작에 대한 해석 기술</li> <li>적용할 레이아웃 기법과 IP들의 설계 사양 해석능력</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>고객 요구사항을 분석하고 이해하려는 의지</li> <li>설계 진행상황을 구체적으로 파악하는 노력</li> </ul>
1903060131_23v5.3 레이아웃 설계툴 사용하기	<p>3.1 고객의 요구사항을 반영할 수 있도록 적합한 레이아웃 툴을 선정하여 레이아웃에 필요한 요소를 파악할 수 있다.      3.2 공정의 설계권고사항(Design Rule Guide)을 숙지하여 해당 툴에 레이아웃에 필요한 사항들을 적용할 수 있다.      3.3 레이아웃 환경에 맞도록 설계 환경을 구축할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>반도체 소자 공정 소자의 전기적 특성</li> <li>레이아웃을 위한 설계툴 메뉴별 기능</li> <li>설계 환경 구축</li> </ul>

1903060131_23v5.3 레이아웃 설계툴 사용하기	<p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 커스텀 레이아웃 설계 장비 사용 기술</li> <li>• 커스텀 레이아웃 설계 툴 사용 기술</li> <li>• 설계툴 사용환경(Linux) 사용 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 레이아웃 크기를 최소화하려는 자세</li> <li>• 완벽한 설계를 위한 끈기있는 노력</li> <li>• 다양한 설계툴의 기능을 활용하고자 하는 적극성</li> </ul>
1903060131_23v5.4 커스텀 레이아웃 수행하기	<p>4.1 공정의 설계 규칙에 따라 반도체 소자에 대한 레이아웃을 수행할 수 있다.</p> <p>4.2 공정의 설계 · 검증 규칙에 따라 레이아웃 상에서 기능 블록을 배치 및 배선할 수 있다.</p> <p>4.3 공정의 레이어별 매개변수(Parameter)를 고려하여 특성에 변화가 없도록 레이아웃을 수행할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 공정의 레이어별 매개변수</li> <li>• 공정의 설계 권고 사항</li> <li>• 공정의 설계 검증 규칙</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 커스텀 레이아웃 설계 툴 사용 기술</li> <li>• 설계툴 사용환경(Linux) 사용 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 레이아웃 크기를 최소화하려는 자세</li> <li>• 완벽한 설계를 위한 끈기있는 노력</li> <li>• 다양한 설계툴의 기능을 활용하고자 하는 적극성</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

- 이 능력단위는 반도체를 웨이퍼 상에 구현하기 위한 마스크를 제작하는데 필요한 물리적 구조 데이터를 만드는 과정으로서 커스텀 레이아웃 툴을 활용하여 반도체 공정에서 요구하는 설계·검증 규칙에 따라 전기적 특성을 갖는 반도체 소자 및 기능 블록을 배치, 배선하는 업무에 적용한다.
- 이 능력단위는 반도체 소자 및 공정에 대한 기본적인 지식을 필요로 한다.
- 이 능력단위는 커스텀레이아웃에 대한 기본적인 지식을 필요로 한다.
- 설계 툴은 일련의 프로그램을 지칭하며, 설계자가 익숙할 수 있고 반도체 산업현장에서 일반적으로 사용하는 프로그램에 적용 가능한 것을 말한다.
- 공정의 설계권고사항은 공정을 선택 후 공정 측에서 제공한 권고 사항을 말한다.
- ‘회로도 이해하기’의 능력단위요소는 아날로그 및 디지털 블록의 특성을 이해하고 상호 연관성 분석을 할 수 있어야 하며, 신호 및 전원 배선의 중요성을 이해하여 레이아웃 계획에 반영할 수 있어야 한다.
- ‘레이아웃 설계툴 사용하기’ 능력단위요소에서는 설계환경을 이해하고 레이아웃에 적용되는 공정규칙과 회로도에 맞게 효율적인 레이아웃을 위한 설계환경을 구축할 수 있어야 한다.
- ‘레이아웃 수행하기’의 능력단위요소는 툴에서 제공되는 다양한 기능을 적용하여 빠른 시간에 최적의 배치가 되도록 레이아웃에 반영할 수 있어야 한다.

### 자료 및 관련 서류

- 공정의 설계권고사항
- 제품 사양서
- 툴 매뉴얼
- 공정의 설계 · 검증 규칙파일

### 장비 및 도구

- 컴퓨터, 프린터, 워크스테이션, 인터넷
- 커스텀 레이아웃 툴
- 레이아웃 검증 툴

### 재료

- 해당사항 없음

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 커스텀 레이아웃 설계의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 커스텀 레이아웃의 수행 절차 숙지 여부
  - 레이아웃 검증 결과의 해석 방법과 레이아웃 변경 방법에 대한 숙지 여부
  - 효율적인 레이아웃을 위한 평면계획 숙지 여부
  - 레이아웃에 대한 검증방법 활용 여부

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	문제해결능력	문제처리 능력, 사고력
2	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
3	대인관계능력	갈등관리 능력, 리더십 능력, 팀워크 능력, 협상 능력
4	정보능력	정보처리 능력, 컴퓨터활용 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

## □ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(커스텀 레이아웃 설계)	
분류번호	기준	1903060111_18v4
	현재	1903060130_23v5, 1903060131_23v5, 1903060132_23v5
개발·개선연도	현재	2023
	최초(1차)	2018
버전번호	v5	
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)	2028	

분류번호 :	1903060132_23v5
능력단위 명칭 :	커스텀 레이아웃 검증
능력단위 정의 :	커스텀 레이아웃 검증이란 설계된 레이아웃 도면이 공정의 설계 규칙에 맞게 디자인 되었는지를 판단, DRC(Design Rule Check) 하고 회로도와 일치 LVS(Layout vs. Schematic) 하는지 여부와 레이아웃 과정 중 발생하는 기생 성분을 추출 LPE(Layout Parasitic Extraction) 하는 능력이다.

능력 단위 요소	수행 준 거
1903060132_23v5.1 DRC 검증하기	<p>1.1 공정의 설계규칙(DRC, Design Rule Checking) 파일을 숙지하고 이해할 수 있다.      1.2 설계 검증 툴을 적용하여 오류를 찾을 수 있다.      1.3 디자인 규칙에 위배되는 부분을 수정하여 설계규칙 적용이 어려울 경우 대책을 수립할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>반도체 수직 구조</li> <li>포토 공정</li> <li>공정 레이어 별 매개변수</li> <li>공정의 설계 · 검증 규칙</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>레이아웃 설계 규칙 오류 해석 기술</li> <li>디자인 규칙을 이해하고 적용하는 기술</li> <li>레이아웃 검증 오류 해석 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>레이아웃에 대한 책임감</li> <li>완벽한 설계를 위한 끈기 있는 노력</li> <li>위험성이 낮은 안전한 설계를 하려는 자세</li> </ul>
1903060132_23v5.2 LVS 검증하기	<p>2.1 레이아웃 도면과 회로설계 도면의 연결 상태를 검증하는 설계검증(LVS, Lay-Out Versus Schematic) 파일을 이해 할 수 있다.      2.2 설계 검증 툴을 적용하여 회로도와의 차이점을 찾을 수 있다.      2.3 오류가 발생한 레이아웃 도면을 수정할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>반도체 수직 구조</li> <li>공정소자의 전기적 특성</li> <li>공정 레이어 별 매개변수</li> <li>공정의 설계원고사항</li> <li>공정의 설계 · 검증 규칙</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>회로도 분석 기술</li> <li>레이아웃 네트리스트 추출 기술</li> <li>레이아웃 검증 오류 해석 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>레이아웃에 대한 책임감</li> <li>완벽한 설계를 위한 끈기 있는 노력</li> <li>위험성이 낮은 안전한 설계를 하려는 자세</li> </ul>
1903060132_23v5.3 LPE 검증하기	<p>3.1 레이아웃 도면의 매개변수를 추출하기 위해 LPE(Lay-Out Parasitic Extraction) 파일을 숙지할 수 있다.      3.2 해당 파일을 활용하여 아날로그 회로설계에 필요한 포스트 네트리스트(Post Netlist)를 추출할 수 있다.</p>

1903060132_23v5.3 LPE 검증하기	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 반도체 수직 구조</li> <li>• 공정소자의 기생성분에 따른 전기적 특성</li> <li>• 공정 레이어 별 매개변수</li> <li>• 공정의 설계 · 레이아웃 권고사항</li> <li>• 공정의 설계 · 검증 규칙</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 레이아웃 설계 오류 해석 기술</li> <li>• 레이아웃 네트리스트 추출 기술</li> <li>• 레이아웃 검증 오류 해석 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 레이아웃에 대한 책임감</li> <li>• 완벽한 설계를 위한 끈기 있는 노력</li> <li>• 위험성이 낮은 안전한 설계를 하려는 자세</li> </ul>
-------------------------------	---

## □ 적용범위 및 작업상황

### 고려사항

- 이 능력단위는 설계된 레이아웃 도면이 공정의 설계 규칙에 맞게 디자인 되었는지를 판단, DRC하고 회로도와 일치 LVS하는지 여부와 레이아웃 과정 중 발생하는 기생성분을 추출 LPE하는 업무에 적용한다.
- 이 능력단위는 반도체 소자 및 공정에 대한 기본적인 지식을 필요로 한다.
- 이 능력단위는 커스텀레이아웃 설계 검증 구축에 대한 기본적인 지식을 필요로 한다.
- ‘레이아웃 검증하기’ 능력단위요소에서는 완성된 레이아웃에 대하여 공정 진행에 문제가 되지 않도록 오류가 발생된 부분을 찾고 수정할 수 있어야 한다.
- 검증에 필요한 공정의 툴 파일은 DRC(Design Rule Check), LVS(Lay-Out Versus Schematic), LPE(Lay-Out Parasitic Extraction) 과정을 진행할 때 필요한 설계·검증 규칙 파일을 말한다.
- 검증툴은 설계자가 익숙할 수 있고 반도체 산업현장에서 일반적으로 사용하는 프로그램에 적용 가능한 것을 말한다.
- 공정의 설계 및 레이아웃 권고사항은 공정을 선택 후 공정 측에서 제공한 권고 사항을 말한다.
- ‘DRC 검증하기’의 능력단위요소는 공정 설계 규칙을 이해하고 분석하여 오류를 찾고 수정할 수 있어야 한다.
- ‘LVS 검증하기’의 능력단위요소는 회로도와 레이아웃의 일치성을 검증을 해야 하며, 검증 및 레이아웃에 반영할 수 있어야 한다.
- ‘LPE 검증하기’의 능력단위요소는 레이아웃에서 발생되는 기생성분을 추출하고 최대한 회로동작에 영향을 주지 않도록 레이아웃에 반영할 수 있어야 한다.

### 자료 및 관련 서류

- 공정의 설계권고사항
- 제품 사양서
- 툴 매뉴얼
- 공정의 설계 · 검증 규칙파일

### 장비 및 도구

- 컴퓨터, 프린터, 워크스테이션, 인터넷
- 커스텀 레이아웃 툴
- 레이아웃 검증 툴

### 재료

- 해당사항 없음

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 커스텀 레이아웃 검증의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다. • 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 커스텀 레이아웃 평가 방법 숙지 여부
  - 레이아웃 검증과 레이아웃 변경 방법에 대한 숙지 여부
  - 효율적인 레이아웃을 위한 평면계획 숙지 여부
  - 레이아웃에 대한 검증방법 활용 여부

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	문제해결능력	문제처리 능력, 사고력
2	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
3	대인관계능력	갈등관리 능력, 리더십 능력, 팀워크 능력, 협상 능력
4	정보능력	정보처리 능력, 컴퓨터활용 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

## □ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(커스텀 레이아웃 검증)	
분류번호	기준	1903060111_18v4
	현재	1903060130_23v5, 1903060131_23v5, 1903060132_23v5
개발·개선연도	현재	2023
	최초(1차)	2018
버전번호	v5	
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)	2028	

분류번호 : 1903060112\_23v5

능력단위 명칭 : 자동 배치배선 레이아웃 설계

능력단위 정의 : 자동 배치배선 레이아웃 설계란 각각의 기능 블록 및 전체 칩의 로직 회로를 자동 배치 배선 툴을 활용하여 마스크 제작에 필요한 물리적인 회로 도면으로 설계하는 능력이다.

능력 단위 요소	수행 준거
1903060112_23v5.1 플로어 플래닝(Floor Planning)하기	<p>1.1 설계 공정에서 사용하는 표준 셀 라이브러리(Cell Library)의 특성을 파악할 수 있다.</p> <p>1.2 설계 공정의 설계권고사항에 따라 자동 배치 배선을 위한 환경을 구축할 수 있다.</p> <p>1.3 전체 칩에 들어가는 IP의 종류 및 기능을 파악할 수 있다.</p> <p>1.4 IP에서 제공하는 디자인 키트(Design kit)의 단계별 제공 일정과 완성도의 계획을 수립할 수 있다.</p> <p>1.5 IP들의 크기 정보 및 포트 정보와 칩의 입출력 편의 위치를 고려하여 블록 배치 계획을 수립할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"><li>사용 공정의 표준 셀의 특징 및 설계 제약 사항</li><li>전체 블록의 성능 및 구조</li><li>IP, 셀 라이브러리의 성능 및 구조</li><li>자동 배치배선을 위한 환경 구축</li><li>배치설계 및 배선설계 방법에 대한 지식</li><li>칩의 입/출력 패드 위치에 대한 이해</li><li>디자인 키트의 종류와 설계 단계별 특징</li><li>논리적 설계와 물리적 설계 사이의 파이프라인 업무 방식</li></ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"><li>자동 배치배선을 위한 환경 구축 기술</li><li>라이브러리, 기생저항 및 기생커패시터, 제약조건, 타이밍(Timing) 검토/분석 능력</li><li>배치계획에 사용되는 설계 툴(Tool) 사용 기술</li><li>IP의 상호 연관성 분석 능력</li><li>배치계획을 문서화할 수 있는 문서 작성 능력</li></ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"><li>자동배치배선 레이아웃을 효과적으로 변경하려는 자세</li><li>자동배치배선 설계 업무의 중요성 인지 및 동등한 설계자로서의 자긍심</li><li>위험성이 낮은 안전한 설계를 하려는 자세</li></ul>

1903060112_23v5.2 자동 배치배선하기	<p>2.1 게이트 레벨 네트리스트(Gate Level Netlist)에 테스트(Test)를 위한 DFT(Design for Testability) 및 BIST(Built-in-self test)의 코드(Code)를 추가로 생성할 수 있다.</p> <p>2.2 전달 받은 RTL(Register Transistor Logic) 코드와 합성한 게이트 레벨 네트리스트가 로직 레벨에서 동일한지 비교할 수 있다.</p> <p>2.3 동일성이 확인된 합성 네트리스트를 공정 정보를 이용하여 최적화된 IP 배치를 할 수 있다.</p> <p>2.4 배치된 IP 간 CTS(Clock Tree Synthesis)을 할 수 있다.</p> <p>2.5 주요 클럭 선에서 분기되는 상세 클럭 선의 타이밍 최적화를 위해 블록 간 위치 조정을 수행할 수 있다.</p> <p>2.6 IP의 신호선 연결 및 타이밍 최적화를 통해 연결 최적화 과정을 수행할 수 있다.</p> <p>2.7 연결이 완료된 도면에 대해 타이밍 시뮬레이션을 수행하여, 설계 오류가 있는지 확인 및 개선할 수 있다.</p>
	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• IP, 셀 라이브러리의 성능 및 구조</li> <li>• 배치, CTS, 배선 설계 절차식</li> <li>• 배치설계 및 배선설계 방법</li> <li>• 자동 배치배선 레이아웃 기생성분</li> <li>• 저 전력 설계 방법</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 팬텀 셀(Phantom Cell) 활용 기술</li> <li>• 설계 권고 사항을 고려한 셀의 배치/CTS/배선 기술</li> <li>• 자동배치배선 레이아웃 기생 성분 추출 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 자동 배치배선 레이아웃에 대한 책임감</li> <li>• 위험성이 낮은 안전한 설계를 하려는 자세</li> </ul>
1903060112_23v5.3 레이아웃 검증하기	<p>3.1 배치배선 초기 네트리스트와 배치 배선이 완료된 네트리스트를 비교하여 검증 대상의 이상 유무를 확인할 수 있다.</p> <p>3.2 공정의 설계권고사항에 따라 레이아웃을 검증하기 위하여 적합한 툴을 선정할 수 있다.</p> <p>3.3 공정의 설계규칙파일(DRC, ANT)을 숙지하고, 레이아웃 검증 툴의 적용 및 오류에 대한 수정사항을 반영할 수 있다.</p> <p>3.4 자동 배치배선 레이아웃 설계검증파일(LVS)을 숙지하고, 레이아웃 검증 툴의 적용 및 오류에 대한 수정사항을 반영할 수 있다.</p> <p>3.5 자동 배치배선 레이아웃의 매개변수 추출파일(LPE)을 활용하여, 매개변수를 포함한 네트리스트를 추출할 수 있다.</p>

## □ 적용범위 및 작업상황

### 고려사항

- 이 능력단위는 반도체 소자 및 공정에 대한 기본적인 지식을 필요로 한다.
- 툴은 일련의 프로그램을 지칭하며, 설계자가 익숙할 수 있고 반도체 산업현장에서 일반적으로 사용하는 프로그램에 적용 가능한 것을 말한다.
- 공정의 설계권고사항은 파운더리(Foundry) 업체, 공정별로 파운더리 측에서 제공한 권고 사항을 말한다.
- 자동배치배선 레이아웃은 툴의 활용 방법 및 설계 공정의 경험 유무에 따른 숙련도 차이가 크기 때문에 관련된 활용 툴의 사용 방법은 사전에 숙지가 필요하다.
- 일반적인 자동배치배선 레이아웃은 IP의 완성된 디자인 키트가 전달되는 사례가 드물고, 개발의 신속성을 위하여 로직의 설계가 동시에 진행되므로, 설계 단계별로 필요한 디자인 키트의 내용을 정의 및 이해하는 것이 유관부서의 협업 과정에서 매우 중요하다.
- 각 수행 단계가 최적화 과정에서 순환과정을 거치며 반복되고, 이러한 반복 회수를 최소화할 수 있도록 고민할 수 있는 것이 숙련된 설계자의 척도가 된다.
- 공정의 툴 파일은 DRC(Design Rule Check), LVS(Lay-Out Versus Schematic), LPE(Lay-Out Parasitic Extraction)과정을 진행할 때 필요한 설계·검증 규칙 파일을 말한다.
- 백-어노테이션(Back-Annotation)이란 반도체 설계 시 레이아웃 작업까지 마친 후 발생된 기생 소자들(커패시터 및 저항)의 값을 네트리스트에 추가하는 작업을 말한다.

### 자료 및 관련 서류

- 공정의 설계권고사항
- 제품 사양서
- 설계 툴 매뉴얼
- 공정의 설계 · 검증 규칙파일
- IP / 셀 라이브러리

### 장비 및 도구

- 컴퓨터, 프린터, 워크스테이션, 인터넷
- 자동 배치배선 레이아웃 툴
- 레이아웃 검증 툴
- FPGA 컴파일러(Compiler)와 시뮬레이션 툴

### 재료

- 해당사항 없음

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 자동 배치배선 레이아웃 설계의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 자동배치배선 레이아웃의 수행 절차 숙지 여부
  - 레이아웃 검증 결과의 해석 방법과 레이아웃 변경 방법에 대한 숙지 여부
  - 자동 배치 배선의 단계별 네트리스트 차이점 및 이를 비교하는 방법에 대한 숙지 여부
  - 자동배치배선 레이아웃에 필요한 주요 디자인 키트 파일의 활용 방법 및 설계 단계별 완성도의 이해 여부
  - 효율적인 레이아웃을 위한 평면계획 숙지 여부
  - 레이아웃에 대한 검증방법 활용 여부

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	문제해결능력	문제처리 능력, 사고력
3	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
4	정보능력	정보처리 능력, 컴퓨터활용 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

## □ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(자동 배치배선 레이아웃 설계)	
분류번호	기준	1903060112_18v4
	현재	1903060112_23v5
개발·개선연도	현재	2023
	최초(1차)	2018
버전번호	v5	
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회, 한국반도체산업협회, 한국반도체산업협회
향후 보완 연도(예정)	2028	

분류번호 : 1903060113\_23v2

능력단위 명칭 : 반도체 설계 검증

능력단위 정의 : 반도체 설계 검증이란 반도체 설계 단계에서 설계한 단위블록 및 통합블록이 설계 사양에 맞게 구현되었는지 평가하는 능력이다.

능력 단위 요소	수행 준 거
1903060113_23v2.1 단위블록 검증하기	<p>1.1 주어진 설계 사양을 분석할 수 있다. 1.2 단위블록 검증 시나리오 및 검증계획을 수립할 수 있다. 1.3 수립한 검증계획을 바탕으로 검증 환경을 구축할 수 있다. 1.4 검증환경에 기반한 테스트벤치를 구현할 수 있다. 1.5 테스트벤치의 검증 결과와 설계결과를 비교하여 평가할 수 있다. 1.6 평가한 검증 보고서를 작성하여 설계자에게 제공할 수 있다.</p> <p>【지식】</p> <ul style="list-style-type: none"><li>• 테스트 벤치 구현 능력</li><li>• 설계 사양 이해 능력</li><li>• 아날로그/디지털 블록의 입출력 특성</li><li>• 검증 계획 작성 방법</li><li>• 검증 보고서 작성 방법</li></ul> <p>【기술】</p> <ul style="list-style-type: none"><li>• 프로그래밍 기술</li><li>• 테스트 벤치 설계 기술</li><li>• 시뮬레이션 툴 사용 기술</li></ul> <p>【태도】</p> <ul style="list-style-type: none"><li>• 모든 동작 조건을 확인하려는 성실함</li><li>• 평가결과를 설계자와 공유하는 자세</li></ul>
1903060113_23v2.2 통합블록 검증하기	<p>2.1 통합블록 설계 사양을 분석할 수 있다. 2.2 레퍼런스 보드(Reference Board)의 회로 설계 요구사항을 정의할 수 있다. 2.3 통합블록 검증 시나리오와 검증계획을 수립할 수 있다. 2.4 수립한 검증계획을 바탕으로 검증 환경을 구축할 수 있다. 2.5 검증환경에 기반한 테스트벤치를 구현할 수 있다. 2.6 테스트벤치의 검증 결과와 설계결과를 비교하여 평가할 수 있다. 2.7 평가한 검증 보고서를 작성하여 설계자에게 제공할 수 있다.</p> <p>【지식】</p> <ul style="list-style-type: none"><li>• 테스트 벤치 구현 능력</li><li>• 설계 사양 이해 능력</li><li>• 검증 계획 작성 능력</li><li>• 검증 보고서</li><li>• 통합블록의 블록 간 상호 연결성</li><li>• 레퍼런스 보드 구성</li><li>• 통합블록 검증 환경</li></ul> <p>【기술】</p> <ul style="list-style-type: none"><li>• 통합 검증 테스트 벤치 및 코드 작성 기술</li><li>• 시뮬레이션 툴 사용 기술</li><li>• 통합블록 검증 평가서 작성 기술</li></ul> <p>【태도】</p> <ul style="list-style-type: none"><li>• 모든 동작 조건을 확인하려는 성실함</li><li>• 평가결과를 설계자와 공유하는 자세</li></ul>

<p>1903060113_23v2.3 플랫폼 기반 검증하기</p>	<p>3.1 통합블록의 설계 사양을 분석할 수 있다.      3.2 검증 플랫폼 보드의 회로 설계 요구사항을 정의할 수 있다.      3.3 플랫폼 기반 검증 시나리오 및 검증계획을 수립할 수 있다.      3.4 수립한 검증계획을 바탕으로 검증 환경을 구축할 수 있다.      3.5 검증환경에 기반한 테스트벤치를 구현할 수 있다.      3.6 테스트벤치의 검증 결과와 설계결과를 비교하여 평가할 수 있다.      3.7 평가한 검증 보고서를 작성하여 설계자에게 제공할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 반도체 설계와 FPGA 설계 차이점</li> <li>• 테스트 벤치 구현 능력</li> <li>• 설계 사양 이해 능력</li> <li>• 검증 계획 작성 능력</li> <li>• 검증 보고서 작성 능력</li> <li>• 검증 플랫폼 보드 구성</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• FPGA 내부 배선 툴 사용 기술</li> <li>• 응용 보드 설계 및 기본적인 구동 소프트웨어 구성기술</li> <li>• 통합 검증 테스트 벤치 및 코드 작성 기술</li> <li>• 검증 플랫폼 활용 검증 평가서 작성 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 모든 동작 조건을 확인하려는 성실함</li> <li>• 최대한 실제 동작과 동일한 조건으로 검증하려는 노력</li> <li>• 다양한 가혹 환경 조건을 고려하여 검증하려는 노력</li> </ul>
--	---

## □ 적용범위 및 작업상황

### 고려사항

- 이 능력단위는 반도체 설계 단계에서 설계한 단위블록 및 통합블록이 설계 사양에 맞게 구현되었는지 평가하는 업무에 적용한다.
- 반도체 설계검증에 사용되는 프로그래밍 언어에 대한 기본 지식을 필요로 한다. (Verilog, System C, C, C++ 등)
- RTL(Register Transfer Logic) 회로검증이 완료된 설계에 대해서 타이밍(Timing)이 반영된 게이트 레벨 디자인에 대해서 검증을 실시한다.
- 게이트 레벨 시뮬레이션을 위해서 사전에 타겟 공정에 대한 셀라이브러리를 준비해야 한다
- 합성(Synthesis)을 위해서 클럭 구조에 대한 충분한 학습이 필요하다.
- 실시간 검증(Real-time Test)을 위해서 FPGA 회로를 설계해야 한다.
- FPGA 회로 설계 시 시스템을 구성하는 다른 소자들과의 연결 관계를 고려해야 한다.
- 실시간 검증을 위해서 FPGA 회로를 설계해야 한다
- FPGA 설계를 위해서 ROM(Read Only Memory), eFlash(Embedded Flash) 등은 SRAM(Static Random Access Memory)을 이용한 모델(Model)로 치환하여 설계해야 한다.
- 검증 플랫폼 기반 검증 시 FPGA, System Verilog 등을 이용하여 검증할 수 있어야 한다.

### 자료 및 관련 서류

- 회로 설계규격서
- 회로도
- IP / 셀 라이브러리
- 툴 설명서
- 테스트 계획서

### 장비 및 도구

- 설계 서버
- 데이터 저장장치
- 하드웨어 기술 언어(HDL, Hardware Description Language) 시뮬레이션 툴
- 프로그래밍언어
- 계측기기

### 재료

- 해당사항 없음

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 반도체 설계 검증의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 검증 시나리오 및 검증계획 수립 여부
  - 레퍼런스 보드 회로설계 요구 사항 정의 및 수립 여부
  - 통합블록 검증 결과 평가 여부
  - 검증 플랫폼 활용 검증 시나리오 및 검증계획 수립 여부
  - 검증 플랫폼 활용 검증 결과 평가 여부
  - 검증 플랫폼 활용 검증 평가서 작성 능력

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 기초외국어 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	문제해결능력	문제처리 능력, 사고력
3	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
4	정보능력	정보처리 능력, 컴퓨터활용 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

## □ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(반도체 설계 검증)	
분류번호	기준	1903060113_18v1
	현재	1903060113_23v2
개발·개선연도	현재	2023
	최초(1차)	2018
버전번호	v2	
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)	2028	

분류번호 :	1903060114_23v2
능력단위 명칭 :	반도체 펌웨어 개발
능력단위 정의 :	반도체 펌웨어(Firmware) 개발은 요구사항 분석을 통하여 반도체 칩에 내장된 중앙처리장치(CPU, Central Processing Unit) 및 주변 하드웨어 장치를 동작시키는 소프트웨어를 설계하고 구현하는 능력이다.

능력 단위 요소	수행 준 거
1903060114_23v2.1 내장 CPU 및 주변 장치 분석하기	<p>1.1 CPU와 주변 장치의 설계 정보를 수집할 수 있다.      1.2 CPU의 어셈블리어 명령어, 마이크로 오퍼레이션 정보, 메모리 관리 모듈, 가상 메모리 지정 방식을 분석할 수 있다.      1.3 CPU와 주변 장치에 대한 메모리 맵, 할당된 레지스터, 작동 및 제어 방법에 대한 정보를 분석할 수 있다.      1.4 CPU와 주변 장치의 Start-up 어셈블리어 코드를 작성하기 위한 초기 설정 정보를 분석할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• CPU 구조와 주변 장치에 대한 지식</li> <li>• 어셈블리어 명령어에 따른 마이크로 오퍼레이션, 메모리 관리 모듈, 인터럽트, 타이머, 메모리 맵과 레지스터 등에 대한 지식</li> <li>• 디버그 인터페이스 구성 및 동작</li> <li>• 검증인터페이스를 이용한 인터페이스 구성 및 동작</li> <li>• 공개된 소프트웨어 저작권에 대한 지식</li> <li>• 분석보고서 작성 방법</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• CPU와 주변 장치에 대한 자료 수집 능력</li> <li>• CPU 어셈블리어 명령어와 마이크로 오퍼레이션 해석 기술</li> <li>• 메모리 맵, 메모리 관리 모듈, 인터럽트 처리절차 해석 기술</li> <li>• 분석보고서 작성 능력</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 반도체 전체 구조에 대한 정보를 세밀하게 파악하려는 자세</li> <li>• 소프트웨어 저작권 침해 여부를 파악하려는 의지</li> <li>• 품질 수준 제고를 위해 규격과 표준을 적용하려는 노력</li> </ul>
1903060114_23v2.2 펌웨어 요구사항 분석하기	<p>2.1 펌웨어의 개발 범위에 따른 기능적 · 비기능적 요구사항을 도출할 수 있다.      2.2 운영체제에 따른 부트 시퀀스 요구사항을 도출할 수 있다.      2.3 레퍼런스 보드에 대한 설계 요구사항을 도출할 수 있다.      2.4 펌웨어 및 레퍼런스 보드에 대한 요구사항 정의서를 작성할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• CPU 및 주변 장치의 구조 및 기능</li> <li>• 메모리 맵과 레지스터 구성에 따른 주변 장치의 동작 원리</li> <li>• 부트 로더와 부트 시퀀스</li> <li>• 펌웨어와 레퍼런스 보드에 대한 요구사항 분석절차와 정의서 작성 방법</li> <li>• 펌웨어 개발 언어와 소프트웨어 공학</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• CPU와 주변 장치에 대한 정보 수집 능력</li> <li>• 펌웨어 개발 환경 구성 기술</li> <li>• 펌웨어 프로그래밍 기술</li> <li>• 요구사항 정의서 작성 능력</li> </ul>

1903060114_23v2.2 펌웨어 요구사항 분석하기	<p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 적극적인 자료 분석을 통해 요구사항을 정의하려는 의지</li> <li>• 반도체 칩, 펌웨어, 레퍼런스 보드 간 유기적이고 통합적인 사고를 하려는 의지</li> <li>• 도출된 요구사항에 대해 상호 간 확인하려는 자세</li> </ul>
	<ul style="list-style-type: none"> <li>3.1 펌웨어 개발환경을 구축할 수 있다.</li> <li>3.2 요구사항 정의서에 따라 펌웨어 전체 구조와 단위 모듈을 설계할 수 있다.</li> <li>3.3 운영체제 사용여부에 따른 부트 절차를 계획하고, Start-up 코드를 설계할 수 있다.</li> <li>3.4 펌웨어 설계서를 작성할 수 있다.</li> </ul>
1903060114_23v2.3 펌웨어 설계하기	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 펌웨어 개발 및 이식 환경</li> <li>• 요구사항 정의서 해석과 설계 범위 설정 방법</li> <li>• 운영체제 사용여부에 따른 부트 절차 계획</li> <li>• 펌웨어 모듈 간의 연관성</li> <li>• 어셈블리어 기반의 Start-up 코드 설계 방법</li> <li>• 설계서 구성 개념과 소프트웨어 공학</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 주변 하드웨어 장치별 기능 모듈화와 호출 관계 정의 능력</li> <li>• 재사용과 확장이 용이한 모듈 설계 능력</li> <li>• 주변 장치의 동작 타이밍도 해석 능력</li> <li>• 블록 다이어그램, 처리 순서도 작성 기술</li> <li>• 기술 문서와 설계서 작성 기술</li> </ul>
	<p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 기능적 · 비기능적 요구사항을 충족시키려는 노력</li> <li>• 기술적 위험에 적극적으로 대비하려는 노력</li> <li>• 기능 단위로 세분화, 재사용성과 확장성, 구현성, 유지/보수성을 고려한 설계 노력</li> </ul>
1903060114_23v2.4 펌웨어 구현하기	<ul style="list-style-type: none"> <li>4.1 펌웨어 및 부트 로더에 대한 테스트 계획서 작성과 테스트 코드를 구현할 수 있다.</li> <li>4.2 설계서에 따라 펌웨어를 구현할 수 있다.</li> <li>4.3 펌웨어 개발환경을 활용할 수 있다.</li> <li>4.4 CPU 및 주변 장치의 Start-up 코드, 디바이스 트리 파일을 작성할 수 있다.</li> <li>4.5 운영체제 로딩을 위한 부트 코드를 구현하고 실행 파일을 생성할 수 있다.</li> <li>4.6 사용자 배포용 펌웨어 파일을 생성하고 사용자 설명서를 작성할 수 있다.</li> </ul>
	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 설계서 해석 지식과 단계별 펌웨어 테스트 방법 및 결과검증 방법</li> <li>• Start-up 코드 구현 방법</li> <li>• 디바이스 트리와 부트 코드 구현 방법</li> <li>• 배포용 펌웨어 소프트웨어 디자인 키트 생성 지식</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 검증을 위한 인터페이스 구현 능력(JTAG, UART, SPI 등)</li> <li>• 구현/컴파일/실행파일생성/검증/테스트 설계 도구 및 계측기 활용 기술</li> <li>• 검증/테스트 계획서와 펌웨어 사용자 설명서 작성 기술</li> <li>• 펌웨어 배포 버전 관리 도구 활용 기술</li> </ul>

1903060114_23v2.4 펌웨어 구현하기	<p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>검증/테스트 절차서와 평가기준을 준수하고 결과를 기록하는 노력</li> <li>펌웨어 기능오류에 대한 재발 방지를 위한 노력</li> <li>사용자에게 편의를 제공하기 위한 펌웨어 구현 노력</li> </ul>
	<ul style="list-style-type: none"> <li>5.1 운영체제 선택과 장치 드라이버 설계 범위를 정할 수 있다.</li> <li>5.2 운영체제용 장치 드라이버를 설계할 수 있다.</li> <li>5.3 운영체제를 포팅(Porting)할 수 있다.</li> <li>5.4 장치 드라이버별로 사용자 설명서를 작성할 수 있다.</li> </ul>
1903060114_23v2.5 펌웨어 드라이버 개발하기	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>설계서 해석 지식</li> <li>운영체제, 디바이스 드라이버에 대한 지식</li> <li>반도체 내장 CPU 및 주변 장치 구동 원리</li> <li>프로그래밍 언어 (어셈블리어, C언어 등)</li> <li>교차 개발 환경 구성</li> </ul>
	<p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>교차개발 환경 구성 및 활용 능력</li> <li>하드웨어 장치 드라이버 기능과 관련된 커널 내 함수 파악 능력</li> <li>쉘 스크립트 작성 능력</li> <li>드라이버 코드 리팩토링 기술</li> <li>개발된 드라이버의 사용자 설명서 작성 능력</li> </ul>
	<p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>운영체제 커널 전체를 분석하려는 의지</li> <li>오류 발생 방지와 품질 확보를 위한 노력</li> </ul>
	<ul style="list-style-type: none"> <li>6.1 개발된 펌웨어를 사용자에게 배포하고 버전을 관리할 수 있다.</li> <li>6.2 배포된 펌웨어에 대해 사용자 개선 요구사항을 반영하여 변경할 수 있다</li> <li>6.3 변경된 펌웨어 부분에 대한 사용자 설명서를 개선할 수 있다.</li> <li>6.4 펌웨어 사용자를 교육시킬 수 있다.</li> </ul>
1903060114_23v2.6 펌웨어 관리하기	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>펌웨어 변경 관리 체계 및 관리 시스템 활용 방법</li> <li>버그 리포트 분석과 펌웨어 디버깅 방법에 대한 지식</li> <li>펌웨어 버전 관리 프로그램 사용법에 대한 지식</li> <li>펌웨어 모듈별 사용자 설명서 작성 방법</li> </ul>
	<p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>펌웨어 버전별 모듈의 기능과 특성 파악 능력</li> <li>펌웨어 테스트 환경을 구축하고 검증할 수 있는 기술</li> <li>변경 요청에 대한 품질 속성 추출과 변경 영향성 분석 기술</li> <li>사용자 설명서 작성 능력</li> <li>프레젠테이션 능력과 사용자 교육을 위한 기술</li> </ul>
	<p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>사용자 관점에서의 펌웨어 이용에 따른 문제점을 파악하려는 자세</li> <li>전체 펌웨어에서 변경이 필요한 부분을 식별하고 미치는 영향을 치밀하게 분석하는 자세</li> <li>개발 완료된 펌웨어들을 버전별로 체계적으로 관리하려는 태도</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

- 이 능력단위는 반도체 내부를 구성하는 모든 하드웨어 장치들에 대한 설계문서와 펌웨어 사용자들의 요구사항을 확인하여 부트 과정을 계획하고, 하드웨어 장치들의 기능, 기능에 대한 테스트 및 검증 요구사항을 도출하는데 적용한다.
- 반도체 내부를 구성하는 모든 하드웨어 장치들에 대한 기능 분석 결과와 단위/통합 테스트 및 검증 요구사항을 펌웨어 요구사항 정의서로 문서화하여야 한다.
- 요구사항 정의서에 의해 부트 로더를 구성하는 모듈 설계와 수행 절차 설계, 펌웨어의 정상동작 확인을 위한 테스트 및 검증 코드 설계 등을 하여야 하고 이를 펌웨어 설계서로 작성하여야 한다.
- 펌웨어 설계서를 해석하여 펌웨어, 부트 코드, 테스트 코드, Start-up 코드를 구현하여야 한다.
- 설계된 펌웨어, 부트코드, Start-up 코드를 링크하여 실행 가능한 프로그램으로 구현하여야 한다.
- 반도체 내의 하드웨어 장치들과 반도체의 용도에 적합한 운영체제를 선정할 수 있어야 하며, 적합한 컴파일러, 링커, 디버거 등을 포함하는 개발 도구 또는 IDE(Integrated Development Environment)를 선택하여 교차 개발 환경을 구축하여야 한다.
- 운영체제 커널의 구조를 이해하고, 모듈들 간의 종속성으로 인한 코드 수정 개소들을 파악하여야 한다.
- 하드웨어 장치들에 할당된 제어 레지스터, 상태 레지스터, 데이터 레지스터 등에 대한 기능을 이해하고, 디바이스 드라이버를 설계하여야 하며, 독립적인 액세스를 할 수 있도록 표준적인 API(Application Programming Interface)를 정의하여야 한다.
- 운영체제 커널 이미지를 생성하고, 부트로더에 의해 올바르게 메모리에 탑재되어 실행되는지 테스트 및 검증하여야 한다.
- 펌웨어 설계서에 정의된 각 모듈들의 기능과 인터페이스 정의에 따라 적절한 테스트 및 검증 기법과 도구를 선정하고, 단위 모듈 별로 검증 케이스에 대한 동작 여부를 확인하여야 한다.
- 전체 펌웨어 모듈들이 유기적으로 연동되는지 테스트하여야 하며, 운영체제를 탑재하는 경우에는 부팅을 하는 과정도 테스트하여야 한다.
- 운영체제 커널에 통합된 모든 디바이스 드라이버가 자원의 충돌 없이 정상적으로 동작하는지 테스트 및 검증하여야 한다.
- 펌웨어 테스트 및 검증 결과를 문서화한 뒤, 각 테스트 및 검증 결과에서 확인된 오류들을 분석하여 배포가 가능하지 여부를 결정하여야 한다.
- JTAG (Joint Test Action Group) : 펌웨어 개발 시에 사용하는 디버깅 장비
- IDE(Integrated Development Environment) : 컴퓨터를 사용하여 펌웨어를 개발하는 과정에서 에디터, 컴파일러, 어셈블러, 링커, 디버거 등의 기능이 모두 하나의 응용 프로그램으로 통합되어 있는 개발자 지원 환경
- API(Application Program Interface) : 프로그램 또는 애플리케이션이 운영체제가 어떤 처리를 하기 위해서 호출할 수 있는 함수의 인터페이스
- ISTQB(International Software Testing Qualification Board) : 비영리 국제 소프트웨어 (SW)테스팅 전문가 네트워크인 국제 소프트웨어 테스팅 자격 협회 ISTQB에서 주관하는 국제자격증 프로그램
- UML(Unified Modeling Language) : 요구분석, 시스템설계, 시스템 구현 등의 시스템 개발 과정에서, 개발자간의 의사소통을 원활하게 이루어지게 하기 위하여 표준화한 모델링 언어

### 자료 및 관련 서류

- 하드웨어 장치들에 대한 설계 문서
- 펌웨어 사용자 요구사항 조사서

- 품웨어 요구사항 정의서
- 품웨어 설계서
- 품웨어 테스트 계획서 및 결과서
- 운영체제 자료
- 레퍼런스 보드에 대한 자료
- 검증 인터페이스 사용자 가이드
- 테스트 관련 국제 표준 규격(ISO/IEC 29119, ISO/IEC 25000, ISO/IEC 9126, IEEE 829 등)
- 테스트 지식체계(ISTQB Syllabus)
- 품웨어 관련 인터넷 사이트

### 장비 및 도구

- 컴퓨터, 프린터, 인터넷
- 문서작성 도구, 프레젠테이션 도구
- IDE(Integrated Development Environment)
- CASE(Computer-Aided Software Engineering) 도구
- UML(Unified Modeling Language) 도구
- 품웨어 설계 도구
- 인터페이스 디버거 장비
- 테스트 도구
- 로직 분석기
- 오실로스코프
- 멀티미터

### 재료

- 해당사항 없음

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 반도체 펌웨어 개발의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다. • 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 반도체 내부 CPU 및 하드웨어 장치들에 대한 이해 능력
  - 마이크로오퍼레이션, 어셈블리어 명령어, 프로그래밍 언어에 대한 이해 및 분석
  - ALU와 마이크로오퍼레이션과 어셈블리어 명령어와 연관관계 이해
  - 펌웨어 구현/이식과 교차 개발 환경 구성 및 활용 방법
  - 컴파일러 옵션에 대한 지침
  - 버전 및 형상 관리 지침
  - 운영체제 및 디바이스 드라이버 구현/이해
  - 펌웨어 분석/설계/테스트 능력
  - 레퍼런스 보드 회로 및 전자부품 이해 능력
  - 펌웨어 요구사항 정의서와 설계서 작성 및 분석 능력
  - 부트로더 구현 방법
  - 펌웨어 디버깅 방법
  - 생성파일(Makefile) 옵션에 대한 지침
  - 쉘 스크립트(shell script) 작성 방법
  - 요구사항분석/설계/구현/테스트 과정별 하드웨어 및 소프트웨어 툴 활용 능력
  - 논리회로, 소프트웨어공학에 대한 이해 능력

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	문제해결능력	문제처리 능력, 사고력
3	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
4	정보능력	정보처리 능력, 컴퓨터활용 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

## □ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(반도체 펌웨어 개발)	
분류번호	기준	1903060114_18v1
	현재	1903060114_23v2
개발·개선연도	현재	2023
	최초(1차)	2018
버전번호	v2	
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)	2028	

분류번호 : 1903060115\_23v7

능력단위 명칭 : 메모리 반도체 제조공정개발

능력단위 정의 : 메모리 반도체 제조공정개발이란 메모리 반도체 회로를 구현하기 위하여 공정 흐름을 설계하여 메모리 소자를 개발하는 능력이다.

능력 단위 요소	수행 준 거
1903060115_23v7.1 메모리 반도체 공정흐름도 해석하기	<p>1.1 메모리 종류와 특성을 해석하여 설명할 수 있다. 1.2 Well과 격리(Isolation)의 구조를 해석하여 설명할 수 있다. 1.3 메모리 단위 소자(MOSFET, Capacitor 등) 제작 구조를 해석하여 설명할 수 있다. 1.4 메탈 배선의 적층 구조를 해석하여 설명할 수 있다. 1.5 공정흐름도로부터 필요한 단위 공정을 파악할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"><li>• 웨이퍼 기판의 종류 및 특성 (Dopant, 결정방향, SOI 등)</li><li>• Well, Isolation, MOSFET, Capacitor 구조 해석 및 제작 공정</li><li>• Metal 배선 구조 해석 및 제작 공정</li><li>• 패드, 보호막의 용도 구조 해석 및 제작 공정</li><li>• 단위공정의 제조 과정과 규격</li></ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"><li>• 메모리 반도체 소자 회로설계 이해 능력</li><li>• 반도체 소자 제조 공정에 대한 이해 능력</li><li>• 반도체 배선별 용도 및 구조에 대한 이해 능력</li><li>• 공정 흐름도에서 공정 구조도 작성 능력</li><li>• 공정 흐름도에서 필요한 단위 공정 작성 능력</li></ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"><li>• 단위 공정 및 집적 공정 구조를 이해하려는 의지</li><li>• 공정 흐름도에 대한 세밀한 검토 및 분석 의지</li></ul>
1903060115_23v7.2 메모리 반도체 단위소자 개발하기	<p>2.1 메모리 소자들의 특성 항목과 기준을 해석할 수 있다. 2.2 메모리 소자들의 검증 패턴을 해석하여 적용할 수 있다. 2.3 메모리 소자분석 장비의 사용법을 해석하여 적용할 수 있다. 2.4 메모리 소자 특성 측정 데이터의 불량 여부를 파악할 수 있다. 2.5 측정 데이터를 근거로 표준화된 기법에 따라 장단기 공정 특성산포를 예측하여 문서화할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"><li>• 소자 특성 항목</li><li>• 소자 특성 측정 장비의 특성</li><li>• 소자 측정 장비의 운영 방법</li><li>• 소자 특성에 영향을 주는 공정 매개변수(Parameter)</li><li>• 측정 데이터의 통계적 처리 기법</li></ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"><li>• 소자 특성 측정 장비의 사용법 및 측정 오차에 대한 이해 능력</li><li>• 소자 특성 장비 조작 기술</li><li>• 적용한 제조 공정의 특성 항목에 대한 이해 능력</li><li>• 측정 데이터에 대한 이상여부 판단 능력</li><li>• 측정 데이터의 통계적 처리 기법에 대한 파악 능력</li></ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"><li>• 단위 공정 특성 항목을 파악하려는 의지</li><li>• 분석 과정에서 공정개발, 제조 등 타부문과의 협조 노력</li><li>• 평가 기준에 따른 정확한 시험환경 준수</li></ul>

1903060115_23v7.3 메모리 반도체 공정소재 평가하기	3.1 메모리 공정소재 특성 평가 데이터의 불량 여부를 파악할 수 있다. 3.2 메모리 공정소재들의 검증 패턴을 해석하여 적용할 수 있다. 3.3 메모리 공정소재들의 특성 항목과 기준을 해석할 수 있다. <b>【지식】</b> • 공정소재 특성 항목 • 공정소재 특성에 영향을 주는 공정 매개변수(Parameter) <b>【기술】</b> • 적용한 제조 공정의 특성 항목에 대한 이해 능력 • 평가 데이터에 대한 이상여부 판단 능력 • 평가 데이터의 통계적 처리 기법에 대한 파악 능력 <b>【태도】</b> • 공정소재 특성 항목을 파악하려는 의지 • 평가 기준에 따른 정확한 시험환경 준수 • 분석 과정에서 공정개발, 제조 등 타부문과의 협조 노력
---	---

## □ 적용범위 및 작업상황

### 고려사항

- 이 능력단위는 메모리 반도체 회로를 웨이퍼 상에 구현하는 메모리 반도체 제조공정개발업무에 적용한다.
- ‘메모리 공정흐름도 해석하기’란 메모리 반도체 제조공정개발 시 소자 회로설계에 따라 적합한 메모리 반도체 구조를 완성하기 위하여 여러 단위공정 흐름을 결정하는 것이다.
- ‘메모리 단위소자 개발하기’란 메모리 반도체 제조공정개발 시 ‘메모리 공정흐름도 해석하기’에 따라 결정된 소자 구조 및 배선 선 폭에 따라 여러 단위공정을 활용하여 다층 회로배선을 구현하는 것이다.
- ‘메모리 공정소재 평가하기’란 메모리 반도체 제조공정개발 시 ‘메모리 단위소자 개발하기’와 더불어 재료적인 측면에서 소자들의 성능을 최적화 및 개선하기 위한 평가이다.

### 자료 및 관련 서류

- 메모리 반도체 제조공정도
- 메모리 반도체 제조공정 작업지시서(Run Sheet)
- 특허, 학회, 논문 등의 기술 분석조사서
- 메모리 반도체 소자특성 평가서
- IRDS(International Roadmap of Device & System) 로드맵
- ISO 설명 자료

### 장비 및 도구

- 컴퓨터
- 통계 분석프로그램
- 전기적 특성측정용 계측장비 및 프로그램
- 기계적 특성측정용 계측장비 및 프로그램

### 재료

- 웨이퍼(Wafer)
- 포토마스크(Photo Mask)
- 포토레지스트(Photo Resist)
- 특수고압가스
- 금속타깃
- 고분자 물질
- 화공약품(Chemical)
- 슬러리(Slurry)
- 순수(DIW, De-ionized Water)

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 메모리 반도체 제조공정개발의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널	V	
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 공정개발 방법의 이론적, 기술적, 현실적 타당성 판단 능력 보유 여부
  - 공정수행 평가를 위한 계측기의 선택과 방법에 대한 숙지 여부
  - 공정개발의 결과를 통한 성능향상 및 비용절감 방법 활용 여부
  - 메모리 반도체 제조공정이 환경에 미치는 영향 파악능력

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	문제해결능력	문제처리 능력, 사고력
2	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
3	대인관계능력	갈등관리 능력, 리더십 능력, 팀워크 능력, 협상 능력
4	정보능력	정보처리 능력, 컴퓨터활용 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

□ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(메모리 반도체 제조공정개발)	
분류번호	기준	1903060115_22v6
	현재	1903060115_23v7
개발·개선연도	현재	2023
	4차	2022
	3차	2018
	2차	2015
	최초(1차)	2014
	버전번호	v7
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	4차	전자산업인적자원개발위원회(한국전자정보통신산업진흥회),전자산업인적자원개발위원회(한국전자정보통신산업진흥회),전자산업인적자원개발위원회(한국전자정보통신산업진흥회)
	3차	한국반도체산업협회,한국반도체산업협회,한국반도체산업협회,한국반도체산업협회,한국반도체산업협회
	2차	한국산업인력공단,한국산업인력공단,한국산업인력공단,한국산업인력공단,한국산업인력공단
	최초(1차)	
향후 보완 연도(예정)	2028	

분류번호 : 1903060116\_23v7

능력단위 명칭 : 시스템 반도체 제조공정개발

능력단위 정의 : 시스템 반도체 제조공정개발이란 시스템 반도체 회로를 구현하기 위하여 공정 흐름을 설계하여 시스템 반도체 제조공정을 개발하는 능력이다.

능력 단위 요소	수행 준 거
1903060116_23v7.1 시스템 반도체 공정흐름도 해석하기	<p>1.1 시스템 반도체 종류와 특성을 해석하여 설명할 수 있다. 1.2 Well과 격리(Isolation)의 구조를 해석하여 설명할 수 있다. 1.3 시스템 반도체 단위 소자 제작 구조를 해석하여 설명할 수 있다. 1.4 메탈 배선의 적층 구조를 해석하여 설명할 수 있다. 1.5 공정흐름도로부터 필요한 단위 공정을 파악할 수 있다.</p> <p>【지식】</p> <ul style="list-style-type: none"><li>웨이퍼 기판의 종류 및 특성 (Dopant, 결정방향, SOI 등)</li><li>Well, Isolation, MOSFET 구조 및 제작 공정</li><li>Metal 배선 구조 해석 및 제작 공정</li><li>패드, 보호막의 용도, 구조 해석 및 제작 공정</li><li>단위공정의 제조 과정과 규격</li></ul> <p>【기술】</p> <ul style="list-style-type: none"><li>시스템 반도체 소자 회로설계 이해 능력</li><li>시스템 반도체 소자 제조 공정에 대한 이해 능력</li><li>시스템 반도체 배선별 용도 및 구조에 대한 이해 능력</li><li>공정 흐름도에서 공정 구조도 추출 능력</li><li>공정 흐름도에서 필요한 단위 공정을 파악 능력</li></ul> <p>【태도】</p> <ul style="list-style-type: none"><li>단위 공정 및 집적 공정 구조를 이해하려는 의지</li><li>공정 흐름도에 대한 세밀한 분석 의지</li></ul>
1903060116_23v7.2 시스템 반도체 단위소자 개발하기	<p>2.1 시스템 반도체 소자들의 특성 항목과 기준을 해석할 수 있다. 2.2 시스템 반도체 소자들의 검증 패턴을 해석하여 적용할 수 있다. 2.3 시스템 반도체 소자분석 장비의 사용법을 해석하여 적용할 수 있다. 2.4 시스템 반도체 소자 특성 측정 데이터의 불량 여부를 파악할 수 있다. 2.5 측정 데이터를 근거로 표준화된 기법에 따라 공정 특성산포를 예측하여 문서화할 수 있다.</p> <p>【지식】</p> <ul style="list-style-type: none"><li>소자 특성 항목</li><li>소자 특성 측정 장비의 특성</li><li>소자 측정 장비의 운영 방법</li><li>소자 특성에 영향을 주는 공정 매개변수(Parameter)</li><li>측정 데이터의 통계적 처리 기법</li></ul> <p>【기술】</p> <ul style="list-style-type: none"><li>소자 특성 측정 장비의 사용법 및 측정 오차에 대한 이해 능력</li><li>소자 특성 장비 조작 기술</li><li>적용한 제조 공정의 특성 항목에 대한 이해 능력</li><li>측정 데이터에 대한 이상여부 판단 능력</li><li>측정 데이터의 통계적 처리 기법에 대한 파악 능력</li></ul> <p>【태도】</p> <ul style="list-style-type: none"><li>단위 공정 특성 항목을 파악하려는 의지</li><li>평가 기준에 따른 정확한 시험환경 준수</li><li>분석 과정에서 공정개발, 제조 등 타부문과의 협조 노력</li></ul>

1903060116_23v7.3 시스템 반도체 공정소재 평가하기	<p>3.1 시스템 반도체 공정소재들의 특성 항목과 기준을 해석할 수 있다.      3.2 시스템 반도체 공정소재들의 검증 패턴을 해석하여 적용할 수 있다.      3.3 시스템 반도체 공정소재 특성 평가 데이터의 불량 여부를 파악할 수 있다.</p>
	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 공정소재 특성 항목</li> <li>• 공정소재 특성에 영향을 주는 공정 매개변수(Parameter)</li> </ul>
	<p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 적용한 제조 공정의 특성 항목에 대한 이해 능력</li> <li>• 평가 데이터에 대한 이상여부 판단 능력</li> <li>• 평가 데이터의 통계적 처리 기법에 대한 파악 능력</li> </ul>
	<p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 공정소재 특성 항목을 파악하려는 의지</li> <li>• 평가 기준에 따른 정확한 시험환경 준수</li> <li>• 분석 과정에서 공정개발, 제조 등 타부문과의 협조 노력</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

-이 능력단위는 시스템 반도체 회로를 웨이퍼 상에 구현하는 시스템 반도체 제조공정개발하는 공정업무에 적용한다

-‘시스템 반도체 공정흐름도 해석하기’란 시스템 반도체 제조공정개발 시 소자 회로설계에 따라 적합한 시스템 반도체 구조를 완성하기 위하여 여러 단위공정 흐름을 결정하는 것이다.

-‘시스템 단위소자 개발하기’란 시스템 반도체 제조공정개발 시 ‘시스템 공정흐름도 해석하기’에 따라 결정된 소자 구조 및 배선 선 폭에 따라 여러 단위공정을 활용하여 다층 회로배선을 구현하는 것이다.

-‘시스템 공정소재 평가하기’란 시스템 반도체 제조공정개발 시 ‘시스템 단위소자 개발하기’와 더불어 재료적인 측면에서 소자들의 성능을 최적화 및 개선하기 위한 평가이다.

### 자료 및 관련 서류

- 시스템 반도체 제조공정도
- 시스템 반도체 제조공정 작업지시서(Run Sheet)
- 특허, 학회, 논문 등의 기술 분석조사서
- 시스템 반도체 소자특성 평가서
- IRDS(International Roadmap of Device & System) 로드맵
- ISO 설명 자료

### 장비 및 도구

- 컴퓨터
- 통계 분석프로그램
- 전기적 특성측정용 계측장비 및 프로그램
- 기계적 특성측정용 계측장비 및 프로그램

### 재료

- 웨이퍼(Wafer)
- 포토마스크(Photo Mask)
- 포토레지스트(Photo Resist)
- 특수고압가스
- 금속타깃
- 고분자 물질
- 화공약품(Chemical)
- 슬러리(Slurry)
- 순수(DIW, De-ionized Water)

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 시스템 반도체 제조공정개발의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널	V	
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 공정장비 운영 매뉴얼 장비 운용 방법 숙지 여부
  - 공정개발 방법의 이론적, 기술적, 현실적 타당성 판단 능력 보유 여부
  - 공정수행 평가를 위한 계측기의 선택과 방법에 대한 숙지 여부
  - 공정개발의 결과를 통한 성능향상 및 비용절감 방법 활용 여부
  - 공정수행 및 평가 방법 파악 여부
  - 물질안전보건자료(MSDS)에 따른 화학물질의 보관, 관리, 주의사항
  - 취급화학물질에 따른 알맞은 보호장구 선택, 사용능력
  - 안전관련 작업 안전장치(소방시설 배치, 작업자 안전, 비상 샤워부스, 아이워시, 심장제세동기) 사용능력
  - 반도체 제조공정이 환경에 미치는 영향 파악능력

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	문제해결능력	문제처리 능력, 사고력
2	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
3	대인관계능력	갈등관리 능력, 고객서비스 능력, 리더십 능력, 팀워크 능력, 협상 능력
4	정보능력	정보처리 능력, 컴퓨터활용 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

□ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(시스템 반도체 제조공정개발)	
분류번호	기준	1903060116_22v6
	현재	1903060116_23v7
개발·개선연도	현재	2023
	4차	2022
	3차	2018
	2차	2015
	최초(1차)	2014
	버전번호	v7
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	4차	전자산업인적자원개발위원회(한국전자정보통신산업진흥회)
	3차	한국반도체산업협회
	2차	한국산업인력공단
	최초(1차)	
향후 보완 연도(예정)	2028	

분류번호 :	1903060117_23v7
능력단위 명칭 :	반도체 제조 단위공정개발
능력단위 정의 :	반도체 제조 단위공정개발이란 반도체를 제조하기 위하여 소재, 장비와 계측장비의 운용을 통해 단위공정을 최적화하는 능력이다.

능력단위요소	수행준거
1903060117_23v7.1 단위공정 개발하기	<p>1.1 공정개선 요구사항을 확인하여 성능개선을 위한 재료 선택 및 공정 방법을 도출할 수 있다.</p> <p>1.2 성능 개선의 요구에 따라 전/후 공정을 고려하여 단위공정을 구성할 수 있다.</p> <p>1.3 공정 최적화를 통해 효율적인 공정을 설계하여 검증할 수 있다.</p> <p>1.4 공정의 특성을 객관적으로 평가하여 개발된 공정의 적합성을 판별할 수 있다.</p> <p>1.5 실시간 공정 모니터링 데이터를 활용하여 실시간 공정진단을 수행할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>반도체 단위공정 개발 특성</li> <li>반도체 제조공정 이해(사진(Photo)공정, 이온주입공정, 식각(Etching) 공정, 확산(Diffusion) 공정, 박막(Thin film) CVD/PVD 공정), 연마공정, 세정(Cleaning) 공정, 금속배선공정)</li> <li>반도체용 케미컬, 소재 특성</li> <li>물질안전보건자료(MSDS) 이해</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>장비 운영 및 결과 평가 기술</li> <li>측정 및 평가기술</li> <li>통계 프로그램 운영 및 분석 능력</li> <li>반도체 단위공정 제어 기술</li> <li>이물(Particle) 제어 기술</li> <li>공정관리기술(SPC)</li> <li>오류공정 검출/분류(FDC) 능력</li> <li>공정 결과 제어 기술</li> <li>공정 결과 분석 능력</li> <li>불량과 수율 상관성 분석 능력</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>성능평가의 공정성 유지</li> <li>기술문제를 개선하려는 노력</li> <li>기술적 한계에 대한 적극적 도전정신</li> </ul>
1903060117_23v7.2 공정장비 운용하기	<p>2.1 작업지시서에 의해 정해진 공정 장비를 조작하여 단위공정을 수행할 수 있다.</p> <p>2.2 공정의 작업순서와 절차를 파악하여 수행중인 단위공정의 특성을 확인할 수 있다.</p> <p>2.3 공정장비의 핵심 구성부품의 동작원리를 숙지하여 이상 상황 발생 시 문제를 해결할 수 있다.</p> <p>2.4 공정장비의 효율적인 운영을 위하여 장비에 연결된 유트리티의 상태를 확인할 수 있다.</p>

1903060117_23v7.2 공정장비 운용하기	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 공정별 공정장비 특성</li> <li>• 반도체 제조공정 프로세스</li> <li>• 반도체용 화학약품 종류 및 특성</li> <li>• 반도체 주요 공정과 장비운용 용어</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 제조공정 장비운용 기술</li> <li>• 제조공정 특성분석 능력</li> <li>• 제조공정 장비의 문제해결 능력</li> <li>• 제조공정 설비시설 확인 능력</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 적극적인 공정장비 운용 자세</li> </ul>
1903060117_23v7.3 계측장비 운용하기	<p>3.1 계측장비의 특성을 숙지할 수 있다.</p> <p>3.2 표준 계측 방법에 따라 계측작업을 수행할 수 있다.</p> <p>3.3 단위공정에서 수행된 결과를 계측하여 결과값을 확인할 수 있다.</p> <p>3.4 계측장비 계측 결과를 해석할 수 있다.</p> <p>3.5 분석 장치를 이용하여 정밀한 성분, 특성을 측정할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 광학적 종류 및 특성</li> <li>• 물리/화학적 특성</li> <li>• 분석결과 보고서 작성</li> <li>• 용도별, 공정별 계측기의 종류</li> <li>• 웨이퍼 파괴 분석 기술</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 계측장비 운영 및 관리 능력</li> <li>• 분석 및 통계 프로그램 운영 능력</li> <li>• 단위공정별 요구되는 측정 기술</li> <li>• 실시간 공정 모니터링 능력</li> <li>• 특성측정의 결과 평가 능력</li> <li>• 전자현미경 형상 측정 기술</li> <li>• 웨이퍼 파괴 분석 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 세밀한 분석을 위한 적극적 자세</li> <li>• 성능평가의 공정성 유지</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

- 이 능력단위는 반도체 회로를 웨이퍼 상에 가공하는 반도체 제조 단위공정개발 업무에 적용한다.
- 단위 공정이란, 사진공정, 식각공정, 이온주입공정, 확산공정, 박막공정, 연마공정, 세정공정, 금속배선공정을 말한다.
- 사진(Photo) 공정이란 웨이퍼나 박막 위에 감광액을 도포하고 패턴이 그려진 마스크를 이용하여 노광하고 현상하여 원하는 패턴을 미리 만드는 공정으로, 감광액의 도포/노광/현상 과정 및 진행 결과를 측정하는 것을 포함한다.
- 식각(Etching)공정이란 소자나 배선층의 원하는 구조를 만들기 위하여 사진공정 후 선택적으로 드러난 막질이나 실리콘을 녹이거나 깎아내는 공정으로, 습식/건식 방식의 식각을 수행하고 진행 결과를 측정하는 것을 포함한다.
- 이온주입(Implanting)공정이란 소자의 전기적 특성을 형성하기 위하여 필요한 영역에 불순물을 이온의 형태로 주입하는 공정으로, 이온 불순물 주입 후 열처리 공정을 수행하고 진행 결과를 측정하는 것을 포함한다.
- 확산(Diffusion) 공정이란 소자의 특정 영역을 형성할 목적으로 특정 불순물이 주입하기 위하여 고온의 전기로를 이용하고 온도와 압력을 조절하여 불순물 입자를 웨이퍼 내부로 확산하는 공정을 말한다.
- 박막(Thinfilm)공정은 원자 또는 분자단위의 물질을 기체 상태로 분사하고 반응시켜 원하는 소재의 막질을 증착하는 공정으로, 케미컬 가스들의 화학반응을 이용하여 박막을 형성하는 CVD 방식과 화학반응 없이 물리적 방법으로 박막을 형성하는 PVD 방식을 수행하고 진행 결과를 측정하는 것을 포함한다.
- 연마(CMP)공정이란 FAB 제조 과정에서 발생할 수 있는 막질 표면의 단차에 의해 후속 공정의 불량을 방지하기 위해 유통불통한 막질을 화학적, 물리적 방법으로 연마하여 평탄화를 수행하고 진행 결과를 측정하는 것을 포함한다.
- 세정(Cleaning)공정이란 FAB 제조과정에서 원하지 않는 부산물과 오염물질을 제거하거나 표면 거칠기를 제어하는 공정으로, 습식/건식 방식의 세정이나 물리적 스크러빙(Scrubbing) 방식의 세정을 수행하고 진행 결과를 측정하는 것을 포함한다.
- 금속배선(Metal)공정이란 소자들의 전기적 연결과 전원의 연결을 위해 전기전도도가 높은 금속물질을 박막으로 형성하는 공정으로, 증착이나 전기도금의 방식으로 금속 배선을 형성하고 진행결과를 측정하는 것을 포함한다.
- 계측공정은 육안검사, 패턴 선풋 측정, 정렬도 측정, 박막 두께측정, 이물(Particle)측정하기를 포함한다.
- ‘반도체 공정장비 운용’ 능력단위에 대한 상세한 내용은 ‘반도체 장비 및 공정 직무의 정의’를 참조할 수 있다.

### 자료 및 관련 서류

- 장비 및 설비의 사용 설명서
- 제조공정도
- 작업지시서
- 개발계획서
- 특허/논문 등의 분석조사서
- 특성 평가서
- IRDS(International Roadmap of Device & System) 로드맵
- ISO 설명 자료
- MSDS 설명 자료

## 장비 및 도구

- 컴퓨터
- 통계 분석프로그램
- 전기적 특성측정용 계측장비 및 프로그램
- 물리적 특성측정용 계측장비 및 프로그램
- 화학적 특성측정용 계측장비 및 프로그램
- 기계적 특성측정용 계측장비 및 프로그램
- 반도체 제조공정 장비

## 재료

- 웨이퍼(Wafer)
- 포토마스크(Photo Mask)
- 포토레지스트(Photo Resist)
- 특수고압가스
- 금속타깃
- 고분자 물질
- 화공약품(Chemical)
- 슬러리(Slurry)
- 순수 탈이온수(DIW, De-ionized Water)

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 반도체 제조 단위공정개발의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
- 공정장비 운영 매뉴얼 장비 운용 방법 숙지 여부
- 공정개발 방법의 이론적, 기술적, 현실적 타당성 판단 능력 보유 여부
- 공정수행 평가를 위한 계측기의 선택과 방법에 대한 숙지 여부
- 공정개발의 결과를 통한 성능향상 및 비용절감 방법 활용 여부
- 공정수행 및 평가 방법 파악 여부
- 물질안전보건자료(MSDS)에 따른 화학물질의 보관, 관리, 주의사항
- 취급화학물질에 따른 알맞은 보호장구 선택, 사용능력
- 안전관련 작업 안전장치(소방시설 배치, 작업자 안전, 비상 샤워부스, 아이워시, 심장제세동기)사용능력
- 반도체 제조공정이 환경에 미치는 영향 파악능력

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	문제해결능력	문제처리 능력, 사고력
2	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
3	대인관계능력	갈등관리 능력, 리더십 능력, 팀워크 능력, 협상 능력
4	정보능력	정보처리 능력, 컴퓨터활용 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

□ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(반도체 제조 단위공정개발)	
분류번호	기준	1903060117_22v6
	현재	1903060117_23v7
개발·개선연도	현재	2023
	4차	2022
	3차	2018
	2차	2015
	최초(1차)	2014
	버전번호	v7
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	4차	전자산업인적자원개발위원회(한국전자정보통신산업진흥회)
	3차	한국반도체산업협회
	2차	한국산업인력공단
	최초(1차)	
향후 보완 연도(예정)	2028	

분류번호 :	1903060121_23v4
능력단위 명칭 :	와이어본딩 패키지 개발
능력단위 정의 :	와이어본딩 패키지 개발이란 반도체 전공정이 완료된 웨이퍼를 와이어본딩 방식으로 패키지 가능성을 확보한 후 최적화된 패키지 설계를 통하여 적합한 본딩 방법을 선정하는 능력이다.

능력 단위 요소	수행 준거
1903060121_23v4.1 패키지 가능성 확보하기	<p>1.1 개발 초기에 패키지 가능성을 검토한 후 제품 설계자들에게 피드백할 수 있다.</p> <p>1.2 가능성 검토가 완료되면 패키지 도면, 툴 도면, 리드프레임 도면, 서브스트레이트 도면을 작성할 수 있다.</p> <p>1.3 반도체 전공정이 완료된 웨이퍼가 패키지 공정에 도착하기 전에 툴과 리드프레임, 서브 스트레이트들을 준비할 수 있다.</p> <p>1.4 와이어 연결을 위한 도면을 작성하여 패키지 공정 엔지니어들에게 미리 공유할 수 있다.</p> <p>1.5 와이어본딩 패키지 방식으로 패키지 솔더 볼 배열, 패키지 크기 및 스펙을 제안할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 패키지 도면</li> <li>• 툴 도면</li> <li>• 리드프레임 도면</li> <li>• 서브스트레이트 도면</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 패키지 솔더 볼 배열 방법</li> <li>• 패키지 공정조건 설정 방법</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 패키지 설계 문제를 해결하려는 자세</li> <li>• 최적화된 설계를 하려는 노력</li> </ul>
1903060121_23v4.2 패키지 설계 최적화하기	<p>2.1 와이어본딩 패키지 설계를 위하여 칩 패드 좌표, 칩 배열, 패키지 내부 연결 정보들을 칩 설계 부서로부터 받을 수 있다.</p> <p>2.2 와이어본딩 패키지 재료에 대한 정보를 기초로 패키지 양산성, 제조공정, 공정조건, 장비특성이 고려된 디자인 규칙을 적용할 수 있다.</p> <p>2.3 전기적 및 기계적 공정 최적화를 위해 열 해석, 전기 해석, 구조 해석을 통하여 설계에 반영할 수 있다.</p> <p>2.4 패키지 구조와 리드프레임, 서브스트레이트 등을 확인하여 최적화된 와이어본딩 패키지 설계를 할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 칩 패드 좌표 및 배열에 대한 이해</li> <li>• 패키지 내부 연결정보 이해</li> <li>• 솔더 볼에 대한 크기와 간격</li> <li>• 솔더 볼에 대한 신호 배선의 넓이</li> <li>• 솔더 볼에 대한 배선 간 간격</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 와이어본딩 패키지 설계 능력</li> <li>• 디자인 규칙 적용 능력</li> <li>• 재료비 산출 능력</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 패키지 설계 문제를 해결하려는 노력</li> <li>• 최적화된 설계를 하려는 자세</li> </ul>

<p>1903060121_23v4.3 본딩 방법 선정하기</p>	<p>3.1 본딩 패드와 캐피러리를 열로 데워 압착하는 열압착 방식을 검토할 수 있다.</p> <p>3.2 열을 사용하지 않고 캐피러리에 초음파를 인가하는 초음파 방식을 검토할 수 있다.</p> <p>3.3 열과 초음파를 한꺼번에 모두 이용하여 접착하는 열초음파 방식을 검토할 수 있다.</p> <p>3.4 와이어 본딩의 접착 강도, 생산성, 공정 원가 등을 고려하여 최적의 본딩 방식을 선정할 수 있다.</p>
	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 캐피러리 재료의 특성</li> <li>• 본딩 와이어 종류 및 규격</li> <li>• 본딩 방식에 따른 인장강도</li> </ul>
	<p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 열압착 본딩 기술</li> <li>• 초음파 본딩 기술</li> <li>• 열초음파 본딩 기술</li> </ul>
	<p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 본딩기술 문제를 해결하려는 노력</li> <li>• 본딩 작업표준을 정확하게 준수</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

-이 능력단위는 반도체 전공정이 완료된 웨이퍼를 와이어본딩 방식으로 패키지 가능성을 확보한 후 최적화된 패키지 설계를 통하여 적합한 본딩 방법을 선정하는 업무에 적용한다.

-이 능력단위는 와이어본딩 패키지 양산성, 제조공정, 공정조건 및 장비특성을 고려하여 디자인 룰(Design Rule)에 따라 작업한다.

-패키지 가능성 검토 초기 단계에서는 최적의 패드 배치를 제안하고 배선 가능성(Route-Avability) 확보와 특성 및 작업 최적화 작업을 한다.

-패키지 설계 단계에서는 전기적, 기계적 공정 최적화를 위해 전기 해석, 구조 해석, 열 해석을 진행하고 전기적 특성, 열 특성이 최적화되고, 공정도 최적화될 수 있게 설계에 반영한다.

-열 해석은 칩에서 발생하는 열과 패키지 재료, 구조의 열 발산 효과, 환경에 의한 온도 영향 등을 정확히 이해하고, 패키지 설계 시에 반영하는 것을 말한다.

-전기 해석은 모델을 만들고, 이를 이용해 고속 디지털 시스템에서 데이터 전송 타이밍과 신호의 품질, 형태의 정확성을 예측하는 것을 말한다.

-구조 해석은 패키지의 휠, 솔더 접합부 신뢰성, 패키지 강도 등의 물리 현상을 수학적으로 모형화하고 컴퓨터를 사용하여 해석하는 것을 말한다.

-열 압착 방식은 칩의 본딩 패드 온도를 미리 약 200°C 정도로 올리고, 캐피러리의 팁에도 온도를 높여 와이어를 불 형태로 만들어 본딩 패드에 압력을 가하며 와이어를 붙이는 방식을 말한다.

-초음파 방식은 패드에 와이어를 찍어 내리면서 웨지(Wedge, 캐피러리와 유사한 와이어 이동기구로 불을 형성하지 않음)에 초음파를 가해 패드에 와이어를 붙이는 방식을 말한다.

-열초음파 방식은 가장 최적의 조건으로 캐피러리에 열과 압력, 초음파를 가하여 와이어를 붙이는 방식을 말한다.

### 자료 및 관련 서류

- 반도체 패키지 설계표준
- 와이어본딩 패키지 작업표준

### 장비 및 도구

- 컴퓨터 및 설계용 소프트웨어
- 인장강도 측정 장비
- 다이어태치 장비
- 와이어본더 장비

### 재료

- LED 웨이퍼 (4인치 또는 6인치)
- 리드프레임 또는 PCB 기판
- 본딩 와이어
- 캐피러리

- 다이어태치필름
- 핀셋

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 와이어본딩 패키지 개발의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
- 패키지공정 관련 업무와 관련된 전반적인 기술 이해여부
- 반도체 제조(FAB) 공정과 조립(ASS'Y) 공정에 대한 순서 이해여부
- 신뢰성에 기반한 공정별 주요 발생가능 문제점 분석능력 여부
- 패키지 공정조건 설정방법 이해 여부
- 와이어본딩 패키지 설계능력
- 디자인 규칙 적용 여부
- 패키지 재료비 산출 여부
- 공정장비들의 사용 목적과 주요 제원 이해여부

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	문제해결능력	문제처리 능력, 사고력
3	자기개발능력	경력개발 능력, 자기관리 능력, 자아인식 능력
4	대인관계능력	갈등관리 능력, 리더십 능력, 팀워크 능력, 협상 능력
5	정보능력	정보처리 능력, 컴퓨터활용 능력

□ 개발·개선 이력

구 분		내 용
직무명칭(능력단위명)		반도체개발(와이어본딩 패키지 개발)
분류번호	기준	1903060107_14v3
	현재	1903060121_23v4, 1903060122_23v4, 1903060123_23v4, 1903060124_23v4, 1903060125_23v4, 1903060126_23v4
개발·개선연도	현재	2023
	최초(1차)	2014
버전번호		v4
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)		2028

분류번호 :	1903060122_23v4
능력단위 명칭 :	플립칩 패키지 개발
능력단위 정의 :	플립칩 패키지 개발이란 반도체 전공정이 완료된 웨이퍼를 플립칩 방식으로 패키지 가능성을 확보한 후 최적화된 패키지 설계를 통하여 적합한 본딩 방법을 선정하는 능력이다.

능력 단위 요소	수행 준거
1903060122_23v4.1 패키지 가능성 확보하기	<p>1.1 개발 초기에 패키지 가능성을 검토한 후 제품 설계자들에게 피드백할 수 있다.</p> <p>1.2 가능성 검토가 완료되면 패키지 도면, 툴 도면, 서브스트레이트 도면을 작성할 수 있다.</p> <p>1.3 반도체 전공정이 완료된 웨이퍼가 패키지 공정에 도착하기 전에 툴과 서브스트레이트들을 준비할 수 있다.</p> <p>1.4 솔더 범프 연결을 위한 도면을 작성하여 패키지 공정 엔지니어들에게 미리 공유할 수 있다.</p> <p>1.5 플립칩 패키지 방식으로 패키지 솔더 볼 배열, 패키지 크기 및 스펙을 제안할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 패키지 도면 구성</li> <li>• 툴 도면 이해</li> <li>• 서브스트레이트 도면</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 패키지 솔더 볼 배열 방법</li> <li>• 패키지 공정조건 설정 방법</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 패키지 설계 문제를 해결하려는 노력</li> <li>• 최적화된 설계를 하려는 자세</li> </ul>
1903060122_23v4.2 패키지 설계 최적화하기	<p>2.1 플립칩 패키지 설계를 위하여 칩 패드 좌표, 칩 배열, 패키지 내부 연결 정보들을 칩 설계 부서로부터 받을 수 있다.</p> <p>2.2 플립칩 패키지 재료에 대한 정보를 기초로 패키지 양산성, 제조공정, 공정조건, 장비특성이 고려된 디자인 규칙을 적용할 수 있다.</p> <p>2.3 전기적 및 기계적 공정 최적화를 위해 열 해석, 전기 해석, 구조 해석을 통하여 설계에 반영할 수 있다.</p> <p>2.4 패키지 구조와 서브스트레이트 등을 확인하여 최적화된 플립칩 패키지 설계를 할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 칩 패드 좌표 및 배열에 대한 이해</li> <li>• 패키지 내부 연결정보 이해</li> <li>• 솔더 볼에 대한 크기와 간격</li> <li>• 솔더 볼에 대한 신호 배선의 넓이</li> <li>• 솔더 볼에 대한 배선 간 간격</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 플립칩 패키지 설계 능력</li> <li>• 디자인 규칙 적용 능력</li> <li>• 재료비 산출 능력</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 패키지 설계 문제를 해결하려는 노력</li> <li>• 최적화된 설계를 하려는 자세</li> </ul>

1903060122_23v4.3 본딩 방법 선정하기	<p>3.1 이방성 도전 필름을 사용하여 솔더 범프와 PCB 패드를 열압착으로 접착하는 방식을 검토할 수 있다.</p> <p>3.2 레이저에 의해 솔더를 녹여 솔더 범프와 PCB 패드를 열전도로 접합하는 방식을 검토할 수 있다.</p> <p>3.3 리플로우를 이용하여 접합부의 솔더를 녹여 솔더 범프와 PCB 패드를 높은 온도로 접합하는 방식을 검토할 수 있다.</p> <p>3.4 플립칩 본딩의 접착 강도, 생산성, 공정 원가 등을 고려하여 최적의 본딩 방식을 선정할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 이방성 도전 필름(Anisotropic Conductive Film)의 특성</li> <li>• 열전도 방식</li> <li>• 본딩 방식에 따른 인장강도</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 이방성도전필름 접착 방법</li> <li>• 레이저 열전도 접합 방법</li> <li>• 솔더 접합부 신뢰성 분석</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 본딩기술 문제를 해결하려는 노력</li> <li>• 본딩 작업표준을 정확하게 준수</li> </ul>
---------------------------------	--

## □ 적용범위 및 작업상황

### 고려사항

-이 능력단위는 반도체 전공정이 완료된 웨이퍼를 플립칩 방식으로 패키지 가능성을 확보한 후 최적화된 패키지 설계를 통하여 적합한 본딩 방법을 선정하는 업무에 적용한다.

-이 능력단위는 플립칩 패키지 양산성, 제조공정, 공정조건 및 장비특성을 고려하여 디자인 룰(Design Rule)에 따라 작업한다.

-패키지 가능성 검토 초기 단계에서는 최적의 패드 배치를 제안하고 배선 가능성(Route-Avability) 확보와 특성 및 작업 최적화 작업을 한다.

-패키지 설계 단계에서는 전기적, 기계적 공정 최적화를 위해 전기 해석, 구조 해석, 열 해석을 진행하고 전기적 특성, 열 특성이 최적화되고, 공정도 최적화될 수 있게 설계에 반영한다.

-열 해석은 칩에서 발생하는 열과 패키지 재료, 구조의 열 발산 효과, 환경에 의한 온도 영향 등을 정확히 이해하고, 패키지 설계 시에 반영하는 것을 말한다.

-전기 해석은 모델을 만들고, 이를 이용해 고속 디지털 시스템에서 데이터 전송 타이밍과 신호의 품질, 형태의 정확성을 예측하는 것을 말한다.

-구조 해석은 패키지의 휠, 솔더 접합부 신뢰성, 패키지 강도 등의 물리 현상을 수학적으로 모형화하고 컴퓨터를 사용하여 해석하는 것을 말한다.

-플립 칩 본딩은 칩의 패드에 솔더 범프를 붙인 후 칩의 전면이 아래로 향하도록 기판 위에 올려놓고 시간에 따라 온도를 조정할 수 있는 리플로우에 통과시켜 접착제 혹은 솔더볼을 녹인 후, 이를 냉각하여 칩과 기판 사이를 고정하는 방식이다.

-언더필 공정은 칩과 기판 사이의 솔더 접합부의 신뢰성을 증가시키기 위해 필요한 공정이다.

-플립 칩 본딩은 칩 위에 범프를 만들어서 서브스트레이트와 전기적/기계적 연결을 한 것으로 와이어 본딩보다 전기적 특성이 우수하다.

### 자료 및 관련 서류

- 반도체 패키지 설계표준
- 플립칩 패키지 작업표준

### 장비 및 도구

- 컴퓨터 및 설계용 소프트웨어
- LED 웨이퍼 (4인치 또는 6인치)
- 인장강도 측정 장비
- 플립칩 마운터 장비
- 리플로우 장비

### 재료

- LED 웨이퍼 (4인치 또는 6인치)
- PCB 기판

- 솔더 범프
- 무연 솔더

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 플립칩 패키지 개발의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널	V	
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 패키지공정 관련 업무와 관련된 전반적인 기술 이해여부
  - 반도체 제조(FAB) 공정과 조립(ASSEMBLY) 공정에 대한 순서 이해여부
  - 신뢰성에 기반한 공정별 주요 발생가능 문제점 분석능력 여부
  - 플립 칩 패키지와 범프에 대한 이해여부
  - 패키지 공정조건 설정방법 이해 여부
  - 플립칩 패키지 설계능력
  - 디자인 규칙 적용 여부
  - 패키지 재료비 산출 여부
  - 공정장비들의 사용 목적과 주요 제원 이해여부

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	문제해결능력	문제처리 능력, 사고력
3	자기개발능력	경력개발 능력, 자기관리 능력, 자아인식 능력
4	대인관계능력	갈등관리 능력, 리더십 능력, 팀워크 능력, 협상 능력
5	정보능력	정보처리 능력, 컴퓨터활용 능력

□ 개발·개선 이력

구 분		내 용
직무명칭(능력단위명)		반도체개발(플립칩 패키지 개발)
분류번호	기준	1903060107_14v3
	현재	1903060121_23v4, 1903060122_23v4, 1903060123_23v4, 1903060124_23v4, 1903060125_23v4, 1903060126_23v4
개발·개선연도	현재	2023
	최초(1차)	2014
버전번호		v4
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)		2028

분류번호 :	1903060123_23v4
능력단위 명칭 :	웨이퍼레벨 패키지 개발
능력단위 정의 :	웨이퍼레벨 패키지 개발이란 반도체 전공정에서 생산된 웨이퍼 다이에 재배선을 통해 웨이퍼 레벨 패키지를 만들기 위하여 설계된 패키지 제품의 요구사항에 따라 반도체 조립공정을 수행하는 능력이다.

능력 단위 요소	수행 준 거
1903060123_23v4.1 팬인 웨이퍼레벨 공정 진행하기	<p>1.1 웨이퍼 레벨 패키지를 WLCSP(Wafer Level Chip Scale Package), TSV(Through Silicon Via,), Flip Chip, RDL(Redistribution Layer) 등이 포함된 어드밴스트 패키지(첨단 패키지)공정으로 세분화할 수 있다.</p> <p>1.2 패키지 공정 전체를 웨이퍼 레벨에서 진행하는 WLCSP는 패키지용 배선, 절연층, 접합층을 만들어 솔더볼을 패턴 웨이퍼의 전극패드에 붙이는 방식으로, 칩의 크기 안에 배선을 하는 팬인(Fan In) WLCSP과 팬아웃(Fan Out) WLCSP로 구분할 수 있다.</p> <p>1.3 WLP 공정을 진행하기 위하여 반도체 FAB 공정 및 전기 테스트가 완료된 웨이퍼를 준비할 수 있다.</p> <p>1.4 WLP 공정을 미니 팹 형태로 준비하여 개별단위공정으로 수행할 수 있다</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 웨이퍼레벨 패키지 구성과 공정, 재료의 특성</li> <li>• 개별 칩 형태로 웨이퍼레벨 패키징하는 방법</li> <li>• 웨이퍼레벨 패키지 공정의 제조 과정과 장비</li> <li>• 상세한 웨이퍼레벨 조립공정과 수율</li> <li>• 칩 적층구조와 방법</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 팬인(Fan In) WLCSP 공정기술</li> <li>• 팬아웃(Fan Out) WLCSP 공정기술</li> <li>• 패 공정기술</li> <li>• 패 공정장비기술</li> <li>• 패키징 공정기술</li> <li>• 웨이퍼레벨 패키징 공정 장비기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 웨이퍼레벨 패키지 공정기술 문제를 해결하려는 노력</li> <li>• 전공정장비와 공정기술에만 의존하지 않고 개별 공정과 장비를 적용하려는 자세</li> <li>• 패 공정에 준하는 패키징 공정, 장비와 재료를 파악 적용하려는 의지</li> </ul>
1903060123_23v4.2 임베디드 웨이퍼레벨 공정 진행하기	<p>2.1 수동소자를 포함하는 웨이퍼레벨 패키지 공정기술을 적용할 수 있다.</p> <p>2.2 신소재가 포함된 수동소자를 포함하는 배선 공정기술 적용할 수 있다.</p> <p>2.3 여러 소자를 임베디드한 테이프와 칩 다이 본딩 기술을 적용할 수 있다</p> <p>2.4 전극홀 가공을 통하여 새로운 패키징 기술을 수행할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 전공정 기술을 포함한 웨이퍼레벨 수준에서의 패키징 기술 학습하기</li> <li>• 개별 전공정 장비를 이용한 수동형태의 패키징 방법</li> <li>• 첨단 패키지 요구에 부응하는 재배선 패턴하여 패키징하는 방법</li> <li>• 재배선한 웨이퍼레벨 패키징으로 TSV, Bumping, 3D 적층하는 방법</li> </ul>

<p>1903060123_23v4.2 임베디드 웨이퍼레벨 공정 진행하기</p>	<p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 금속 배선 재배선하기</li> <li>• 솔더 볼, 솔더 범프, 스크린프린팅 기술</li> <li>• 유전체층 재배선 기술</li> <li>• UBM 만드는 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 새로운 첨단 웨이퍼레벨 패키징 기술을 배우려는 태도</li> <li>• 재배선공정을 이해를 하려는 적극적인 자세</li> <li>• 전극 패드 배치 방법에 따라 팬인(Fan-In)과 팬아웃(Fan-Out)구조로 나뉘는 것을 배우려는 의지</li> </ul>
	<p>3.1 기본적인 패키징 레벨에서부터 다양한 적층기술을 적용하여 개발할 수 있다.      3.2 와이어본딩 패키지, 솔더볼 패키지와 플립칩 패키지를 포함한 여러 종류의 패키지 방식들을 적용하여 개발할 수 있다.      3.3 칩과 칩을 접합하고 칩과 웨이퍼를 접합하여 다양한 2차원 이상의 패키징 구조를 개발할 수 있다      3.4 팝 공정에서 개발, 제조된 칩을 목적하는 용도에 맞게 다중 접합하여 2차원, 2.5차원, 3차원 패키지로 개발할 수 있다</p>
<p>1903060123_23v4.3 nD 웨이퍼레벨 공정 진행 하기</p>	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 패키지 구성 재료의 특성과 방법</li> <li>• 와이어본딩 패키지, 솔더볼 패키지, 플립칩 패키지, 범프 패키지 등의 패키지 구현 방식</li> <li>• RDL 공정의 제조 과정</li> <li>• 조립공정과 수율과의 연관성</li> <li>• 기본적인 패키징 공정(전공정, 후공정)과 새로운 패키징 공정(어드밴스드 공정)을 반영하는 방법</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• RDL 공정기술</li> <li>• TSV 공정기술</li> <li>• 수평 적층 공정기술</li> <li>• 수직 적층 공정기술</li> <li>• C2C, C2W, D2W, CoW 적층 공정기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 첨단 패키징 공정 기술 개발도 기본적인 패키징 공정기술을 기반으로 단계적으로 완성된다는 점을 이해하려는 노력</li> <li>• 최상의 인터페이스 성능을 구현하려는 자세</li> <li>• 반도체 기판을 활용하여 적층한 패키징 기술을 이해하려는 의지</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

-이 능력단위는 반도체 전공정에서 생산된 웨이퍼 다이에 재배선을 통해 웨이퍼 레벨 패키지를 만들기 위하여 설계된 패키지 제품의 요구사항에 따라 반도체 조립공정을 수행하는 업무에 적용한다.

-이 능력단위는 웨이퍼레벨패키지개발을 할 때 지속적으로 개발, 개선되는 공정별로 정의된 디자인 룰(Design Rule)에 따라 작업한다.

-웨이퍼레벨패키징 공정기술을 모두 팹 공정에 의존할 필요는 없으며, 개별 공정에 의하여 웨이퍼레벨패키징을 구현 할 수도 있다.

-특히 플립칩 범핑 프로세스는 웨이퍼레벨패키징의 기본 공정기술을 포함하고 있으므로 플립칩 공정에 의해 제조된 웨이퍼레벨패키지를 이용하여 다양한 웨이퍼레벨 패키징과 패키지 구현도 가능하다.

-웨이퍼레벨에서 전극연결방법은 기존의 와이어본딩방법, 솔더볼, 솔더번프, 볼을 이용한 칩과 칩의 PoP접합, 그리고 팹 공정기술에 의해 구현가능한 기술들을 모두 포함한다.

-제조공정 설비의 상태에 따라 제품의 양산능력, 불량률이 달라진다.

-환경규제 관련 솔더나 EMC 재질, 기판 재질 등에 대한 환경오염을 고려해야 한다.

-기존 패키징라인과 첨단패키징라인 양쪽에서 모두 개별적 수동작업형태로도 구현 가능하다.

-UBM(Under Bump Metallurgy)은 범프 하단 금속화층(3개 층으로 구성)을 말한다.

-웨이퍼레벨패키지는 TSV(;Through Silicon Via)공정기술과 RDL(;Redistribution Layer) 공정기술을 적용한 패키징 기술을 포함한다.

-RDL은 인터포저 기능을 수행하며 칩 두께를 혁신적으로 얇게 하고, 전기적, 신호적으로는 매우 빠른 데이터 전송을 가능하게 하는 기능을 발휘한다.

### 자료 및 관련 서류

- 패키징기본공정기술과 장비, 공정기술자료
- 웨이퍼레벨패키징 공정장비에 대한 기술자료
- JEDEC(Joint Electron Device Engineering Council) 표준사양서
- 웨이퍼레벨 패키지 공정기술 관련 업체별 사양서
- 파운드리 전문회사(전공정, 후공정)의 기술자료와 홈페이지

### 장비 및 도구

- 분석 장비
- 컴퓨터 및 설계용 소프트웨어
- 패키징 전공정 장비
- 패키징 후공정 장비

### 재료

- 리드프레임 및 반도체 기판

- 패턴웨이퍼(LED, Si, 패널 등)
- 금속세선
- 범프 및 UBM 소재
- 솔더블, 플럭스, 무연솔더 및 봉지재
- 매거진(스트립, 웨이퍼)

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 웨이퍼레벨 패키지 개발의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다. • 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 패키지공정 관련 업무와 관련된 전반적인 기술 이해여부
  - 반도체 제조(FAB) 공정과 조립(ASS'Y) 공정에 대한 순서 이해여부
  - 신뢰성에 기반한 공정별 주요 발생가능 문제점 분석능력 여부
  - 웨이퍼레벨 패키지 공정에 대한 이해여부
  - 웨이퍼레벨 패키지 공정장비의 사용능력
  - 금속배선을 재배선할 수 있는지 여부
  - 솔더 볼, 솔더 범프, 스크린프린팅 기술로 범프를 연결할 수 있는지 여부
  - 와이어본딩패키지, 솔더볼패키지, 플립칩 패키지, 범프패키지 등을 이용한 패키지 구현 방법이해 여부
  - 기본적인 패키징 공정(전공정, 후공정)과 새로운 패키징 공정(어드밴스드 공정)을 반영하는지 여부

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	문제해결능력	문제처리 능력, 사고력
3	자기개발능력	경력개발 능력, 자기관리 능력, 자아인식 능력
4	대인관계능력	갈등관리 능력, 리더십 능력, 팀워크 능력, 협상 능력
5	정보능력	정보처리 능력, 컴퓨터활용 능력

□ 개발·개선 이력

구 분		내 용
직무명칭(능력단위명)		반도체개발(웨이퍼레벨 패키지 개발)
분류번호	기준	1903060107_14v3
	현재	1903060121_23v4, 1903060122_23v4, 1903060123_23v4, 1903060124_23v4, 1903060125_23v4, 1903060126_23v4
개발·개선연도	현재	2023
	최초(1차)	2014
버전번호		v4
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)		2028

분류번호 :	1903060124_23v4
능력단위 명칭 :	어드밴스드 팬아웃 패키지 개발
능력단위 정의 :	어드밴스드 팬아웃 패키지 개발은 웨이퍼레벨 패키지 기술에서 시작하여 고밀도, 고집적, 고기능의 새로운 웨이퍼레벨 패키징 기술을 개발하는 능력이다.

능력 단위 요소	수행 준거
1903060124_23v4.1 칩 우선(Chip First) 팬아웃 공정 진행하기	<p>1.1 표준적인 웨이퍼레벨 패키징 공정기술을 이용하여 개발할 수 있다.      1.2 패키지의 성능을 확장하는 다양한 공정기술을 적용하여 개발할 수 있다.      1.3 솔더볼, 솔더범프와 접합 기술을 적용하여 개발할 수 있다      1.4 칩을 다이 접착한 후 공정으로 사용하는 기판을 이용하여 적층하는 방법을 적용하여 공정할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>전공정 기술을 포함한 웨이퍼레벨 수준에서의 패키징 기술</li> <li>첨단 패키지 요구에 부응하는 재배선 방법</li> <li>칩의 중앙에 모여있는 전극을 효과적으로 외부로 빼서 재배선하는 방법</li> <li>RDL을 이용한 단면 또는 양면에 배치하여 3D패키징하는 방법</li> <li>칩 또는 다른 패키지 적층하는 방법</li> <li>고밀도 배선을 포함하는 첨단 패키징 방법</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>RDL을 칩과 패키지로 연결하는 기술</li> <li>다양하고 여러 가지 기능의 수동부품을 임베디드하는 능력</li> <li>단면/양면 고밀도 재배선과 적층(stack) 공정기술</li> <li>웨이퍼 몰딩 공정기술</li> <li>팬아웃 칩 또는 모듈 부착기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>새로운 첨단 웨이퍼레벨패키징 기술을 배우려는 의지</li> <li>패드 배치방법에 따라 팬인(Fan-In)과 팬아웃(Fan-Out)구조로 나뉘는 것을 배우려는 자세</li> </ul>
1903060124_23v4.2 칩 나중(Chip Last) 팬아웃 공정 진행하기	<p>2.1 표준적인 웨이퍼레벨 패키징 공정기술을 이용하여 개발할 수 있다.      2.2 패키지의 성능을 확장하는 다양한 공정기술을 적용하여 개발할 수 있다.      2.3 솔더볼, 솔더범프와 접합 기술을 적용하여 개발할 수 있다      2.4 칩을 다이 접착한 후 공정으로 사용하는 기판을 이용하여 적층하는 방법을 적용하여 공정할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>전공정 기술을 포함한 웨이퍼레벨 수준에서의 패키징 기술</li> <li>첨단 패키지 요구에 부응하는 재배선 방법</li> <li>칩의 중앙에 모여있는 전극을 효과적으로 외부로 빼서 재배선하는 방법</li> <li>RDL을 이용한 단면 또는 양면에 배치하여 3D패키징하는 방법</li> <li>칩 또는 다른 패키지 적층하는 방법</li> <li>고밀도 배선을 포함하는 첨단 패키징 방법</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>RDL을 칩과 패키지로 연결하는 기술</li> <li>다양하고 여러 가지 기능의 수동부품을 임베디드하는 능력</li> <li>단면/양면 고밀도 재배선과 적층(stack) 공정기술</li> <li>웨이퍼 몰딩 공정기술</li> <li>팬아웃 칩 또는 모듈 부착기술</li> </ul>

<p>1903060124_23v4.2 칩 나중(Chip Last) 팬아웃 공정 진행하기</p>	<p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 새로운 첨단 웨이퍼레벨 패키징 기술을 배우려는 의지</li> <li>• 패드 배치방법에 따라 팬인(Fan-In)과 팬아웃(Fan-Out)구조로 나뉘는 것을 배우려는 자세</li> </ul>
	<p>3.1 표준 팬아웃 웨이퍼레벨 패키징 공정기술로 공정할 수 있다. 3.2 기본 패키징 공정기술을 이용하여 공정할 수 있다. 3.3 플립칩 공정기술을 이용하여 공정할 수 있다. 3.4 고밀도 칩을 이용하여 고성능 칩을 조립하는 공정으로 할 수 있다. 3.5 RDL, TSV, RDL 인터포저를 포함한 3D 인터커넥션 공정기술을 개발할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 표준 패키징 공정기술로 패키징하는 방법</li> <li>• 전공정 기술을 포함한 패키징 기술에 의해 제작된 칩을 이용한 공정 방법</li> <li>• 첨단 패키지 요구에 부응하는 재배선 방법</li> <li>• 재배선한 웨이퍼레벨 패키징으로 TSV, Bumping, 3D 적층하는 칩 개발하는 방법</li> </ul>
<p>1903060124_23v4.3 초고밀도 팬아웃 공정 진행하기</p>	<p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 기본 패키징 공정기술</li> <li>• 플립칩 패키징 공정기술</li> <li>• 테이프 접착과 칩 부착 능력</li> <li>• 몰딩과 캐리어 제거/디본딩 능력</li> <li>• 마스크얼라이너를 이용한 패터닝 기술</li> <li>• RDL(Redistribution Layer)를 만드는 능력</li> <li>• UBM 제작과 웨이퍼 테스트 능력</li> <li>• 웨이퍼 테스트와 개별화(싱글레이션) 기술</li> </ul>
	<p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 새로운 첨단 웨이퍼레벨 패키징 기술을 배우려는 의지</li> <li>• 팬아웃 패키징을 통한 초고밀도 신제품을 개발하려는 의지</li> <li>• 와이어본딩, 플립칩본딩, 솔더볼본딩 패키지를 활용한 첨단 패키징 기술을 활용하는 노력</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

- 이 능력단위는 웨이퍼레벨 패키지 기술에서 시작하여 고밀도, 고집적, 고기능의 새로운 웨이퍼레벨 패키징 기술을 개발하는 업무에 적용한다.
- 웨이퍼레벨 패키지 공정을 이해하고 적용해야 한다.
- 웨이퍼레벨 패키지 기본형은 팬인 패키징 기술로 마스크얼라이너 이용한 저렴한 공정기술을 적용할 수 있다.
- 웨이퍼레벨 패키지의 진보된 형태는 팬아웃 패키징 기술 이해하고 적용해야 한다.
- 웨이퍼레벨 패키지는 재배선에 의해 칩 성능을 향상시키고, 고성능화하는 것을 고려해야 한다.
- 고밀도 팬아웃 패키지와 초고밀도 팬아웃 패키지 개발을 고려해야 한다.

### 자료 및 관련 서류

- 웨이퍼레벨패키징 전문자료
- 반도체 패키징 제조사와 파운드리 전문 제조사의 공정기술 참조
- 반도체 후공정장비(도서)

### 장비 및 도구

- 본딩장비, 디본딩장비
- 칩 to 포일/다이 to 패널 부착장비
- 노광기(마스크얼라이너/스테페), 스픈코터
- 테스트 장비
- 플라즈마 클리닝

### 재료

- 몰드 콤파운드
- 본딩용 에폭시
- 라미네이트 접착제 테이프
- 솔더볼 또는 솔더볍프

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 어드밴스드 팬아웃 패키지 개발의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오	V	
C.서술형시험		
D.논술형시험		V
E.사례연구		
F.평가자 질문	V	
G.평가자 체크리스트		
H.피평가자 체크리스트		
I.일지/저널	V	
J.역할연기		
K.구두발표	V	
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 패키지공정 관련 업무와 관련된 전반적인 기술 이해여부
  - 반도체 제조(FAB) 공정과 조립(ASS'Y) 공정에 대한 순서 이해여부
  - 신뢰성에 기반한 공정별 주요 발생가능 문제점 분석능력 여부
  - 전공정 기술을 포함한 웨이퍼레벨 수준에서의 패키징 방법의 숙지 여부
  - 재배선된 기판을 이용하여 웨이퍼레벨 패키징을 수행할 수 있는지 여부
  - 칩의 중앙에 모여 있는 전극을 효과적으로 외부로 빼서 재배선하는 능력
  - 온도 챔버 또는 리플로우로 범프의 적용여부
  - 고밀도 배선을 포함하는 첨단 패키징 방법에 대한 이해여부
  - 재배선한 웨이퍼레벨패키징으로 TSV, Bumping, 3D 격충하는 칩을 개발하는 능력
  - 웨이퍼 테스트와 개별화(싱글레이션) 기술

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	문제해결능력	문제처리 능력, 사고력
3	자기개발능력	경력개발 능력, 자기관리 능력, 자아인식 능력
4	대인관계능력	갈등관리 능력, 리더십 능력, 팀워크 능력, 협상 능력
5	정보능력	정보처리 능력, 컴퓨터활용 능력

□ 개발·개선 이력

구 분		내 용
직무명칭(능력단위명)		반도체개발(어드밴스드 팬아웃 패키지 개발)
분류번호	기준	1903060107_14v3
	현재	1903060121_23v4, 1903060122_23v4, 1903060123_23v4, 1903060124_23v4, 1903060125_23v4, 1903060126_23v4
개발·개선연도	현재	2023
	최초(1차)	2014
버전번호		v4
개발·개선기관	현재	한국전자정보통신산업진흥회
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)		2028

분류번호 :	1903060125_23v4
능력단위 명칭 :	이종접합 패키지 개발
능력단위 정의 :	이종접합 패키지 개발은 웨이퍼레벨 패키지 기술 가운데 3D 구조로 칩을 적층하기 위하여, 칩에 미세 홀을 뚫고, Cu 전극 물질로 채우고, RDL(재배선)하여 2.5D와 3D 구조로 적층하는 패키지 기술을 개발하는 능력이다.

능력 단위 요소	수행 준 거
1903060125_23v4.1 TSV Via Last 공정 진행하기	<p>1.1 반도체 셀 미세화 한계에 따른 칩 적층 방법을 적용하여 개발할 수 있다.</p> <p>1.2 칩(실리콘)에 관통하는 전극 홀 형성하는 기술을 용하여 개발할 수 있다.</p> <p>1.3 관통된 전극홀에 재배선을 통해 서로 다른 칩과 패키지 연결하는 기술 적용하여 개발할 수 있다.</p> <p>1.4 웨이퍼링 또는 솔더볼을 부착하는 기술을 적용할 수 있다.</p> <p>1.5 상·하 칩이 전기적으로 연결되는 기술을 개발하여 적용할 수 있다</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>반도체 칩의 미세화 방법</li> <li>반도체 칩의 미세화 한계점</li> <li>반도체 칩의 미세화로 인한 셀 개수 증가와 셀 연결하는 배선길이 증가 상관관계</li> <li>셀 미세화 한계를 극복하는 고성능 칩 적층 방법인 TSV 원리</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>칩에 미세홀을 가공하는 기술</li> <li>칩과 칩을 적층하는 기술</li> <li>서로 다른 칩을 하나의 기판에 적층 또는 접합하는 기술</li> <li>칩에 구멍을 가공하는 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>셀 연결 배선길이 증가로 발생하는 신호지연 문제를 해결하려는 의지</li> <li>새로운 고성능, 대용량, 고속기능의 칩 개발을 위한 TSV 기술을 접목하려는 자세</li> <li>반도체 전공정 기술과 후공정 기술을 동시에 접목하여 새로운 패키징 기술을 개발하려는 노력</li> </ul>
1903060125_23v4.2 TSV Via Middle 공정 진행하기	<p>2.1 반도체 셀 미세화 한계에 따른 칩 성능 향상을 위해 칩 적층기술을 적용할 수 있다.</p> <p>2.2 인터페이스와 메모리 응용 칩 적층기술을 적용할 수 있다.</p> <p>2.3 관통된 전극홀에 재배선을 통해 와이어링하는 기술을 적용할 수 있다.</p> <p>2.4 다양한 칩을 BGA 기판에 조립하는 기술을 적용할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>반도체 칩의 미세화 방법</li> <li>칩 적층을 통한 새로운 고성능 패키징 방식</li> <li>로직 칩과 메모리 칩을 적층하는 방법</li> <li>고성능 칩 적층 방법인 TSV 원리</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>Wafer thinning 기술</li> <li>Bonding Assembly 기술</li> <li>TSV 패터닝 기술</li> <li>Ball placement 기술</li> <li>테스트 기술</li> <li>Dicing 기술</li> </ul>

1903060125_23v4.2 TSV Via Middle 공정 진행 하기	<p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 셀 연결 배선길이 증가로 발생하는 신호지연 문제를 해결하려는 노력</li> <li>• 새로운 고성능, 대용량, 고속기능의 칩 개발을 위한 TSV 기술을 접목하려는 자세</li> <li>• 반도체 전공정 기술과 후공정 기술을 동시에 접목하여 새로운 패키징 기술을 개발하려는 노력</li> </ul>
1903060125_23v4.3 하이브리드 범퍼 공정 진 행하기	<p>3.1 웨이퍼 범핑기술 미세화로 인한 마이크로범핑/범핑레스 기술을 적용할 수 있다.</p> <p>3.2 2.5D/3D TSV 칩 적층에 따른 마이크로범핑 기술을 적용할 수 있다.</p> <p>3.3 Si 인터포저와 다양한 칩 적층에 따른 마이크로범핑 기술을 적용할 수 있다.</p> <p>3.4 플립칩 패키지 고도화에 따른 마이크로범핑 기술을 적용할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 반도체 칩의 미세화 방법</li> <li>• 칩 적층을 통한 새로운 고성능 패키징 방식</li> <li>• 마이크로범프 적용 미세화 방법</li> <li>• TSV 기술과 범프 연결 원리</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 2.5D/3D 적층기술과 3D 인터포저 사이 연결용 마이크로범프 사용 능력</li> <li>• FOWLP용 BGA 기판과 3D 인터포저 사이 연결용 Cu Pillars 사용 능력</li> <li>• 플립칩용 마이크로범프 적용 기술</li> </ul>
	<p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 반도체 칩의 미세화 공정과 기술을 배우고 익히려는 적극적인 자세</li> <li>• 마이크로범프 기술 개발하려는 노력</li> <li>• 새로운 패키징 기술을 개발하려는 적극적인 의지</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

- 이 능력단위는 웨이퍼레벨 패키지 기술 가운데 3D 구조로 칩을 적층하기 위하여, 칩에 미세 홀을 뚫고, Cu 전극 물질로 채우고, RDL(재배선)하여 2.5D와 3D 구조로 적층하는 패키지 기술을 개발하는 업무에 적용한다.
- TSV(Through Silicon Via)란 실리콘 웨이퍼를 관통하여 미세 비아(Via) 홀을 형성하는 기술이다.
- 고속, 고성능, 대용량 성능을 동시에 만족하는데 적용되는 TSV 공정기술을 적용한다.
- 2.5D, 3D 적층기술에 최적화된 TSV 공정기술 적용한다.
- 새로운 칩 패키징 개발과 제조에 필요한 TSV 공정기술을 적용한다.
- 반도체 전공정 기술과 장비 그리고 후공정 칩 패키징 기술로 완성하는 첨단패키징 기술을 말한다.
- 서로 다른 선풍과 용도를 가진 칩을 하나의 기판위에 적층, 재배치할 때 칩과 칩의 인터페이스를 최적화하는 기술을 포함한 공정과 기술을 의미한다.
- 이종접합은 바로 이러한 의미로 성능과 기능이 다른 칩을 배치하고, 서로 다른 인터페이스 조건을 최적화하는 과정이 필요한 모든 패키징 기술을 말하며, SiP, PoP, RDL, TSV, MCM 형태의 구조와 적층 기술이 적용된다.

### 자료 및 관련 서류

- 웨이퍼레벨 패키징 전문자료
- 반도체 패키징 제조사와 파운드리 전문 제조사의 공정기술
- 반도체 후공정장비(도서)

### 장비 및 도구

- 웨이퍼 두께 얇게하는 장비
- TSV 패터닝 장비
- 본딩 및 조립 장비
- Dicing 장비
- 테스터

### 재료

- Temporary bonding materials
- Underfill
- $\mu$  bumps, Copper pillars
- UBM materials
- 솔더볼, 솔더볍프, BGA기판, 칩

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 이종접합 패키지 개발의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다. • 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 패키지공정 관련 업무와 관련된 전반적인 기술 이해여부
  - 반도체 제조(FAB) 공정과 조립(ASS'Y) 공정에 대한 순서 이해여부
  - 신뢰성에 기반한 공정별 주요 발생가능 문제점 분석능력 여부
  - 칩에 미세홀을 가공할 수 있는지 여부
  - 칩과 칩을 적층하는 기술의 이해여부
  - 서로 다른 칩을 하나의 기판에 적층 또는 접합하는 능력
  - TSV 패터닝 방법 이해여부
  - 2.5D/3D 적층기술과 3D 인터포저 사이 연결용 마이크로범프의 사용 능력
  - FOWLP용 BGA 기판과 3D 인터포저 사이 연결용 Cu Pillars 사용 능력
  - 플립칩용 마이크로범프 적용에 대한 이해여부

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	문제해결능력	문제처리 능력, 사고력
3	자기개발능력	경력개발 능력, 자기관리 능력, 자아인식 능력
4	대인관계능력	갈등관리 능력, 리더십 능력, 팀워크 능력, 협상 능력
5	정보능력	정보처리 능력, 컴퓨터활용 능력

□ 개발·개선 이력

구 분		내 용
직무명칭(능력단위명)		반도체개발(이종접합 패키지 개발)
분류번호	기준	1903060107_14v3
	현재	1903060121_23v4, 1903060122_23v4, 1903060123_23v4, 1903060124_23v4, 1903060125_23v4, 1903060126_23v4
개발·개선연도	현재	2023
	최초(1차)	2014
버전번호		v4
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)		2028

분류번호 :	1903060126_23v4
능력단위 명칭 :	어드밴스드 언더필 패키지 개발
능력단위 정의 :	어드밴스드 언더필 패키지 개발은 언더필을 IC와 기판 사이, 패키지와 패키지를 연결하고, Si인터포저와 Si 마이크로범프를 이용한 2.5D/3D 패키지를 상호 연결하는 능력이다.

능력 단위 요소	수행 준 거
1903060126_23v4.1 캐필러리 언더필 패키지 진행하기	<p>1.1 기판에 플립칩 부착 후 칩과 기판 사이의 공간에 언더필 소재를 도포하는 공정을 적용할 수 있다.      1.2 디스펜서 노즐을 이용하여 언더필 공정을 패키지에 적용할 수 있다.      1.3 필요한 양과 속도를 제어하는 방식의 기술을 적용하여 언더필 공정을 개발할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>어드밴스드 플립칩 범프과 웨이퍼래벨범프의 기본구조 패키징 공정</li> <li>솔더볼 범프 패키지의 구조와 기계적, 열적 안정화를 위한 패키지 구조</li> <li>언더필 소재(콤파운드, 페이스트, 액상레지스트와 접착제)</li> <li>플립칩은 바닥면에 범프 형성하고 뒤짚어서 기판에 붙이는 플립칩 구조</li> <li>적층하는 인터커넥션 구조에 대한 언더필 방법</li> <li>실리콘과 실리콘 적층하는 구조(C2C, C2W, W2W)에 대한 언더필 방법</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>실리콘+실리콘 연결하는 마이크로범프용 캐필러리 언더필 기술</li> <li>플립칩과 IC 패키지와 연결하는 캐필러리 언더필 기술</li> <li>IC 패키지를 PCB 기판에 연결하는 캐필러리 언더필 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>언더필을 필요로 하는 플립칩 구조를 배우고 익히려는 노력</li> <li>솔더볼과 범프가 형성된 패키지 구조에 언더필을 적용하여 안정된 칩을 개발하려는 자세</li> <li>새로운 칩과 칩 연결기술과 방식을 배우고 익히려는 의지</li> </ul>
1903060126_23v4.2 몰드 언더필 패키지 진행 하기	<p>2.1 기존 반도체 패키지용 몰드 소재와 기술을 그대로 이용하여 패키지에 적용할 수 있다.      2.2 몰드 형태로 외곽을 감싸는 얇은막 형태의 성형 방법을 패키지에 적용할 수 있다      2.3 보호막을 입히는 형태로 언더필 방식을 패키지에 적용할 수 있다</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>반도체 패키지용 몰드 콤파운드 소재</li> <li>플립칩 패키지에 대한 구조와 패키징 공정</li> <li>플립칩과 IC 패키지간 연결용 구조에 적합하여 몰드형태의 보호막과 열방출</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>반도체 패키지 몰드 공정과 장비 기술</li> <li>안정되고 단순한 구조로 칩 전체를 언더필과 보호막 동시에 적용하는 기술</li> <li>기존 몰드 공정기술 적용으로 단순한 공정 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>플립칩과 IC 패키지의 연결 구조에 대해 배우고 접목하려는 자세</li> <li>플립칩의 다양한 구조와 형태를 배우고 적용하는 노력</li> <li>반도체 패키지 보호막 공정으로 제품 안정성과 열적 구조 향상을 적용하려는 노력</li> </ul>

	<p>3.1 니들 접촉 디스펜서 방법을 패키지에 적용할 수 있다.      3.2 젯팅 디스펜서 방식을 패키지에 적용할 수 있다.      3.3 월름형 언더필 방식을 패키지에 적용할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 플렉스 없이 간단하고 단순하게 접착하는 언더필 도포 공정</li> <li>• 칩 크기에 따라 3가지 방식을 선택 하는 언더필 도포 방식</li> <li>• 월름형 언더필의 특성</li> <li>• 발열이 많은 경우 열팽창계수(CIE)의 열적 안정성 저하요인</li> </ul>
1903060126_23v4.3 사전적용 언더필 패키지 진행하기	<p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 환경문제가 없는 플렉스 없이 언더필 접착하는 기술</li> <li>• 니들 접촉형 디스펜서는 언더필 단계를 최소화하는 기술</li> <li>• 칩 크기가 큰 경우 젯팅형으로 대응 가능한 공정 기술</li> <li>• 접합 두께 제어가 필요한 언더필의 경우에 적합한 공정 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 다양 한 칩 적층기술 개발, 양산으로 언더필의 중요성 인식하고 적용하려는 자세</li> <li>• 저원가 웨이퍼레벨 공정에 대한 언더필 공정을 적용하려는 노력</li> <li>• 고성능을 요구하는 언더필에는 고신뢰성 몰드형 언더필을 채택하는 공정 안정성을 확보하려는 의지</li> </ul>
1903060126_23v4.4 웨이퍼레벨 언더필 패키지 진행하기	<p>4.1 웨이퍼에 일체형으로 언더필하는 방법을 패키지에 적용할 수 있다.      4.2 웨이퍼 전체를 일시에 덮는 형태의 언더필 방법을 패키지에 적용할 수 있다.      4.3 웨이퍼 전체를 덮는 기술은 평탄화 방법을 포함하여 패키지에 적용할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 웨이퍼레벨 언더필 공정</li> <li>• 3D 적층 TSV 구조</li> <li>• 웨이퍼레벨 패키징으로 칩을 적층하는 공정</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 저 열팽창계수 소재 개발 적용 능력</li> <li>• 저온 경화 소재 개발 적용 능력</li> <li>• 고연신강도 소재 개발 적용 능력</li> <li>• 높은 본딩강도와 박막 접합 적용 능력</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 계속 변화 발전하는 웨이퍼레벨 패키징 팬아웃 공정기술을 배우려는 자세</li> <li>• 공정단순화와 소재안정화를 개발 적용하는 웨이퍼레벨 패키징 팬아웃 공정기술 적층 기술을 배우려는 자세</li> <li>• 적층칩 공정기술인 2.5D Si 인터포저와 3D TSV에 개발 적용하는 노력</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

-이 능력단위는 언더필을 IC와 기판 사이, 패키지와 패키지를 연결하고, Si인터포저와 Si 마이크로펌프를 이용한 2.5D/3D 패키지를 상호 연결하는 업무에 적용한다.

-이 능력단위는 솔더볼 또는 솔더펌프를 패키지 외부 단자로 활용하는 패키징 공정의 칩과 기판 사이의 간격을 언더필 소재로 채워 기계적 안정성, 열적 방열 향상, 전기적 안정성을 향상하는 공정을 말한다.

-범핑공정을 통해 칩의 하단에 형성된 범프와 솔더볼을 그대로 기판과 PCB에 접합하는 것을 웨이퍼레벨패키징이라하는데, 이대로 패키징을 마무리하면 전기적, 열적 문제가 발생한다.

-범프가 형성된 후 기판과 접속하고 나서 완벽한 사용상태의 안정성을 높이려면 범프를 감싸는 몰딩에 해당하는 안정화(패키징) 공정이 필수적으로 필요하다. 그런데 모든 패키지를 몰딩으로 처리할 필요는 없음을 오랜시간 패키징 전문기업과 반도체 회사, 반도체 수요처(고객)는 알게 되었다. 그러므로 이러한 각 패키지 사용 상황에 맞는 온도조건, 열 조건, 사용 조건, 칩 성능 조건 등 다양한 제품 사용 조건을 모두 고려하여 4가지 경우로 언더필 조건과 공정을 최적화하는 것이 필요하며 이를 구분하여 사용해야 한다.

-범프의 종류는 솔더펌프, Cu범프, Gold범프, Stud범프 등으로 나눌 수 있다.

-범프의 사이즈, 구조, 적층 상황등을 고려하여 언더필 조건을 정할 수 있으며, 언더필 조건에 따라 적용 수행한다.

### 자료 및 관련 서류

- 반도체패키징 기술자료와 서적
- 반도체후공정장비 기술자료와 서적
- 웨이퍼레벨패키징 기술자료와 서적
- 첨단반도체패키징 기술자료와 서적
- 마이크로일렉트로닉스 패키징

### 장비 및 도구

- 노즐/디스펜스 장비
- 솔더볼 부착장비
- 몰드장비

### 재료

- 에폭시 언더필 소재
- 방열 기능이 포함된 언더필 소재
- 경화 장치

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 어드밴스드 언더필 패키지 개발의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 패키지공정 관련 업무와 관련된 전반적인 기술 이해여부
  - 반도체 제조(FAB) 공정과 조립(ASSEMBLY) 공정에 대한 순서 이해여부
  - 신뢰성에 기반한 공정별 주요 발생가능 문제점 분석능력 여부
  - 실리콘+실리콘 연결하는 마이크로범핑용 캐필러리 언더필 기술 이해여부
  - 플립칩과 IC 패키지와 연결하는 캐필러리 언더필 기술 이해여부
  - IC 패키지를 PCB 기판에 연결하는 캐필러리 언더필 기술 파악여부
  - 반도체 패키지 몰드 공정과 장비 기술에 대한 숙지여부
  - 안정되고 단순한 구조로 칩 전체를 언더필과 보호막을 동시에 적용하는 능력
  - 니들 접촉형 디스펜서에서 언더필 단계를 최소화하는 능력
  - 칩 크기가 큰 경우 젯팅형으로 대응 가능한지 여부
  - 저 열팽창계수 소재 개발 적용 능력
  - 저온 경화 소재 개발 적용 능력
  - 고연신강도 소재 개발 적용 능력
  - 높은 본딩강도와 박막 접합 적용 능력

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	문제해결능력	문제처리 능력, 사고력
3	자기개발능력	경력개발 능력, 자기관리 능력, 자아인식 능력
4	대인관계능력	갈등관리 능력, 리더십 능력, 팀워크 능력, 협상 능력
5	정보능력	정보처리 능력, 컴퓨터활용 능력

□ 개발·개선 이력

구 분		내 용
직무명칭(능력단위명)		반도체개발(어드밴스드 언더필 패키지 개발)
분류번호	기준	1903060107_14v3
	현재	1903060121_23v4, 1903060122_23v4, 1903060123_23v4, 1903060124_23v4, 1903060125_23v4, 1903060126_23v4
개발·개선연도	현재	2023
	최초(1차)	2014
버전번호		v4
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)		2028

분류번호 : 1903060108\_23v4

능력단위 명칭 : 패키지 조립 공정 개발

능력단위 정의 : 패키지 조립 공정 개발이란 생산된 반도체 칩을 보호하는 기능과 칩을 전기적으로 연결하기 위하여, 설계된 패키지 제품의 요구사항에 따라 반도체 조립공정을 수행하는 능력이다.

능력 단위 요소	수행 준 거
1903060108_23v4.1 패키지 전공정 개발하기	<p>1.1 후면연마 공정을 통해 규정되어 있는 제품별 패키지 높이를 맞추기 위해 웨이퍼의 뒷면을 기계적 또는 화학적 방법으로 연마할 수 있다.</p> <p>1.2 웨이퍼 소잉(Sawing) 공정을 통해 칩(Chip)을 개별적으로 분리할 수 있다.</p> <p>1.3 다이 접착 공정을 통해 리드프레임이나 반도체 기판 등의 패키지 재료에 다이를 고정시킬 수 있고, 스페이서Spacer 테이프를 이용하여 추가로 반도체 칩을 적층할 수 있다. 또한 제품에 따라서 다양한 접합공정이 사용될 수 있다.</p> <p>1.4 TSV(Through Silicon Via) 공정을 통해 웨이퍼에 관통 홀을 형성하여 칩과 칩 또는 웨이퍼와 웨이퍼 간의 접합으로 3차원 적층을 할 수 있다.</p> <p>1.5 플라즈마 클리닝(Plasma Cleaning) 공정을 통해 반도체 기판의 표면에 증착된 유기물을 물리, 화학적 방법으로 제거할 수 있다.</p> <p>1.6 본드 공정을 통해 다이의 전극과 리드프레임 또는 반도체 기판의 전극을 금속 세션(Wire), TAB(Tape Automated Bonding), 플립칩 방식으로 전기적 신호를 연결할 수 있다.</p>
1903060108_23v4.2 웨이퍼 범핑공정 개발하기	<p><b>【지식】</b></p> <ul style="list-style-type: none"><li>• 패키지 구성 재료의 특성</li><li>• 전기 전도도 및 열의 발산</li><li>• 플라즈마 및 확산과 변위이론</li><li>• 조립공정과 수율과의 연관성</li></ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"><li>• 패키지 전공정 장비 운영기술</li><li>• 라미네이션 공정기술</li><li>• 백그라인딩 공정기술</li><li>• 다이싱(Sawing) 공정기술</li><li>• 다이 접착(칩 적층) 공정기술</li><li>• TSV공정기술(비아 형성, 비아 충진, 박막화, TB/DB본딩)</li><li>• 플라즈마 클리닝 공정기술</li><li>• 와이어 본드, TAB, 플립칩 공정기술</li></ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"><li>• 문제발생시 원인을 정확하게 규명하려는 자세</li><li>• 정확성에 근거하여 작업하려는 자세</li></ul>

1903060108_23v4.2 웨이퍼 범핑공정 개발하기	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>재배열 및 재부동태화</li> <li>UBM 금속 재료 및 전地道金法</li> <li>솔더볼(범프)의 재질, 사이즈 및 피치</li> <li>금속간화합물(IMC, Intermetallic Compound)의 형성과 특성</li> <li>양산능력, 불량률 등에 대한 지식</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>재배열에 대한 공정기술</li> <li>범핑공정에 대한 실무공정기술</li> <li>솔더볼 접속(Interconnection) 전기적/기계적 모델링 및 분석기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>신뢰성 및 전기적, 기계적 특성등과 연계하여 분석하고 설계하려는 자세</li> <li>문제발생시 원인을 정확하게 규명하려는 자세</li> </ul>
	<p>3.1 몰드 공정을 통해 패키지의 본체를 형성하기 위해서 봉지재(EMC)를 녹여 오버몰딩(성형)할 수 있고, 액상 수지를 도포하여 봉지할 수 있다.</p> <p>3.2 도금 공정을 통해 리드프레임을 사용하는 패키지의 외부 리드(Lead)에 무연솔더 도금(Plating)을 할 수 있다.</p> <p>3.3 트림 &amp; 품 공정을 통해 리드프레임의 불필요한 연결부분(땜벼)을 제거하고 패키지 외부 리드 모양을 형성할 수 있다.</p> <p>3.4 솔더 볼 접합공정을 통해 패키지 제품에 따라서 플럭스가 도포된 솔더 볼 패드 위에 솔더 볼 부착을 위해 솔더링 공정을 할 수 있다.</p> <p>3.5 마킹 공정을 통해 패키지 표면에 I.C의 고유 명칭, 제조 년/월/일, 제품의 특성, 일련 번호 등을 고객 요구에 맞게 표시할 수 있다.</p> <p>3.6 싱귤레이션 공정을 통해 기판의 불필요한 부분을 제거하여 각각의 유닛으로 분리할 수 있다.</p> <p>3.7 완성된 패키지 적재용 튜브(Tube)나 트레이(Tray) 탑재를 위해 필요한 장비를 사용할 수 있다.</p>
	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>패키지 구성 재료의 특성</li> <li>유체역학과 소성가공 지식</li> <li>레이저의 원리와 종류</li> <li>접합 및 도금이론</li> <li>봉지재 특성</li> <li>조립공정과 수율과의 연관성</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>패키지 후공정 장비 운영기술</li> <li>몰딩 공정 및 재료가공기술</li> <li>무연도금 공정기술</li> <li>솔더볼(범프) 접합 공정기술</li> <li>레이저 마킹 및 싱귤레이션 공정기술</li> <li>패키지 포장 공정기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>문제발생시 원인을 정확하게 규명하려는 자세</li> </ul>
1903060108_23v4.3 패키지 후공정 개발하기	

## □ 적용범위 및 작업상황

### 고려사항

- 이 능력단위는 패키지 공정별로 정의된 디자인 룰(Design Rule)에 따라 작업하는데 적용한다.
- 제조공정 설비의 상태에 따라 제품의 양산능력, 불량률이 달라진다.
- 환경규제 관련 솔더나 EMC 재질, 기판 재질 등에 대한 환경오염을 고려해야 한다.
- 양산수율 및 비용을 고려하여 설계한다.
- 범프는 칩과 기판 상의 터미널 패드 간의 전기적인 연결을 시켜주는 역할을 한다.
- 능력단위요소 중 2.3(웨이퍼 범핑 공정 수행하기)에 언급된 UBM(Under Bump Metallurgy)은 범프 하단 금속화층을 말한다.
- 패키지 전공정 수행하기에 언급된 TB/DB는 TSV공정에서 Temporary Bonding과 Debonding을 말한다.
- 시스템 인 패키지(SiP)의 경우 고객과 디자인 협의를 통해 상세 설계하여야 한다.

### 자료 및 관련 서류

- 공정장비에 대한 사양 설명서
- JEDEC(Joint Electron Device Engineering Council) 표준사양서
- 패키지 공정기술관련 업체별 디자인 룰 사양서

### 장비 및 도구

- 비파괴 X-RAY 분석 장비
- 열분석 장비
- 컴퓨터 및 설계용 소프트웨어
- 그라인더, 다이 본더, 와이어 본더, 텁본더, 플라즈마 클리닝 장비
- 에칭, 몰딩, 트리밍, 포밍, 솔더링, 마킹, 레이저, 리플로우 장비
- 웨이퍼 제조, 운송설비

### 재료

- 리드프레임 및 반도체 기판
- 금속세션
- 도금액
- 범프 및 UBM 소재
- 무연솔더 및 봉지재
- 튜브 및 트레이

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 패키지 조립 공정 개발의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 패키지공정 관련 업무와 관련된 전반적인 기술 이해여부
  - 반도체 제조(FAB) 공정과 조립(ASSEMBLY) 공정에 대한 순서 이해여부
  - 신뢰성에 기반 한 공정별 주요 발생가능 문제점 분석능력 여부
  - 플립 칩 패키지와 범프에 대한 이해여부
  - UBM과 금속간화합물에 대한 이해여부
  - 공정장비들의 사용 목적과 주요 제원 이해여부
  - 공정 시 사용되는 구성요소나 재료들에 대한 특성 이해여부
  - 생산수율이나 통계분석에 대한 이해여부
- • 피 평가자의 과정평가로는 다음의 평가 방법을 권장한다.
  - 일상적인 면담
  - 관찰기록모음
  - 학습 일지
  - 자기평가(구두 혹은 글)
  - 보고서
  - 행동점검표
- • 피 평가자의 결과물 평가로는 다음의 평가 방법을 권장한다.
  - 과제진술과 채점기준이 있는 프로젝트, 포트폴리오
  - 교육생의 시범/연구, 조사결과물
  - 태도 점검표, 질문지
  - 선다형시험 등

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 기초외국어 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	수리능력	기초연산 능력, 기초통계 능력, 도표분석 능력, 도표작성 능력
3	문제해결능력	문제처리 능력, 사고력
4	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

## □ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(패키지 조립 공정 개발)	
분류번호	기준	1903060108_14v3
	현재	1903060108_23v4
개발·개선연도	현재	2023
	최초(1차)	2014
버전번호	v4	
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회, 한국반도체산업협회, 한국반도체산업협회
향후 보완 연도(예정)	2028	

분류번호 :	1903060109_23v4
능력단위 명칭 :	반도체 제품 기능 · 성능 검증
능력단위 정의 :	반도체 제품 기능 · 성능 검증이란 제품 사양과 특성을 기준으로 시험 장비를 선정하고, 웨이퍼 상태에서 또는 조립 완료 후의 조립품 상태에서 테스트 패턴을 적용하여 전기적 특성 및 동작 특성을 검사하여 양산성을 검증하고, 양품 여부를 판별하는 능력이다.

능력 단위 요소	수행 준거
1903060109_23v4.1 웨이퍼레벨 기능 검증하기	<p>1.1 제품의 동작특성 및 규격에 근거하여 웨이퍼의 제품성능시험 장비를 선정할 수 있다.      1.2 웨이퍼의 제품성능시험 장비 사용법을 숙지하고 적용할 수 있다.      1.3 시험 측정 데이터로 시험 대상 다이(Die)의 불량 여부를 판별할 수 있다.      1.4 시험 측정 데이터를 토대로 웨이퍼 상에서 공정특성에 따른 수율 변화를 해석하고 문서화 할 수 있다.      1.5 시험 측정 데이터를 토대로 웨이퍼 상에서 시험 대상 제품의 특성 산포를 파악하고 문서화 할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>제품 시험 항목의 구성 및 순서도</li> <li>제품 시험 항목별 평가 방법</li> <li>BiST, Scan 구조 (Logic, Memory 등)</li> <li>Boundary Scan 구조 (IEEE 1149.1)</li> <li>Memory Redundancy 및 수율 이해</li> <li>I/O 종류 및 특성</li> <li>Mixed Signal Testing 기초 (ADC, DAC 등)</li> <li>웨이퍼레벨 제품 시험 장비의 특성 및 제원</li> <li>웨이퍼레벨 제품 시험 장비의 운영 방법</li> <li>적용한 제조 공정의 공정 매개변수(Process Parameter) 특성</li> <li>측정 데이터의 통계적 처리 기법</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>웨이퍼레벨 제품 시험 장비의 사용법 및 측정 오차에 대한 이해 능력</li> <li>웨이퍼레벨 시험 환경을 고려한 시험 항목의 규격 및 조건 설정 능력</li> <li>웨이퍼레벨 제품시험 장비 조작 기술</li> <li>적용한 제조 공정의 특성 항목에 대한 이해 능력</li> <li>측정 데이터에 대한 이상여부 판단 능력</li> <li>측정 데이터의 통계적 처리 기법에 대한 이해 능력</li> <li>시험 결과 분석 및 문서화 능력</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>제품 시험 항목을 이해하려는 의지</li> <li>평가 기준에 따른 정확한 시험환경 준수</li> </ul>
1903060109_23v4.2 패키지레벨 성능 검증하기	<p>2.1 제품의 동작특성 및 규격에 근거하여 조립품의 제품 시험 장비를 선정할 수 있다.      2.2 조립품의 제품 시험 장비 사용법을 숙지하고 적용할 수 있다.      2.3 시험 측정 데이터로 시험 대상 조립품의 불량 여부를 판별할 수 있다.      2.4 시험 측정 데이터를 토대로 조립품의 공정특성에 따른 수율 변화를 해석하고 문서화 할 수 있다.      2.5 시험 측정 데이터를 토대로 조립품의 특성 산포를 파악하고 문서화 할 수 있다.</p>

<p>1903060109_23v4.2 패키지레벨 성능 검증하기</p>	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>제품 시험 항목의 구성 및 순서도</li> <li>제품 시험 항목별 평가 방법</li> <li>제품 시험에 사용되는 각종 장비의 목적 및 제원</li> <li>BiST, Scan 구조 (Logic, Memory 등)</li> <li>Boundary Scan 구조 (IEEE 1149.1)</li> <li>I/O 종류 및 특성</li> <li>Mixed Signal Testing 기초 (ADC, DAC 등)</li> <li>조립품의 제품 시험 장비 특성 및 제원</li> <li>조립품의 제품 시험 장비운영 방법</li> <li>적용한 제조 공정의 공정 매개변수 특성</li> <li>측정 데이터의 통계적 처리 기법</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>조립품의 제품성능시험 장비의 사용법 및 측정 오차에 대한 이해 능력</li> <li>조립품의 시험 환경을 고려한 시험 항목의 규격 및 조건 설정 능력</li> <li>조립품의 제품시험 장비 조작 기술</li> <li>적용한 제조 공정의 특성 항목에 대한 이해 능력</li> <li>측정 데이터에 대한 이상여부 판단 능력</li> <li>측정 데이터의 통계적 처리 기법에 대한 이해 능력</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>제품 성능 시험 항목을 이해하려는 의지</li> <li>평가 기준에 따른 정확한 시험환경 준수</li> </ul>
<p>1903060109_23v4.3 실장 검증하기</p>	<p>3.1 제작된 반도체 칩의 전기적 특성을 고려하여 상호연동 가능한 부품 선정을 할 수 있으며, 반도체 칩과 연결시킬 수 있다.      3.2 반도체 칩과 전기적 특성을 고려하여 설계된 하드웨어 플랫폼(Hardware Platform)을 제작할 수 있다.      3.3 설계된 하드웨어플랫폼에서 특정의 반도체 특성이 정상 동작하는지를 측정하기 위한 장비를 선정 및 사용할 수 있다.      3.4 제작된 하드웨어 플랫폼에 펌웨어 소프트웨어(Firmware Software)를 실장 할 수 있다.      3.5 펌웨어 소프트웨어를 이용하여 다양한(정상 및 비정상)가상의 입력 데이터를 설계 및 변경 가능하다.      3.6 다양한 입력 데이터에 의한 반도체 칩의 반응을 측정 장비를 통하여 측정 가능하다.</p>
	<p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>반도체 칩과 전기적 물리적 연동 가능한 상용화된 부품에 대한 지식</li> <li>각 부품과 연결될 부품간의 전기적 특성에 대한 지식</li> <li>하드웨어 플랫폼을 제작하는 기술</li> <li>펌웨어 소프트웨어와 하드웨어와의 역할에 대한 개념</li> <li>펌웨어 명령세트 및 입출력 데이터의 예상 표현 방법</li> <li>펌웨어 제작 방법</li> </ul>

<p>1903060109_23v4.3 실장 검증하기</p>	<p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 부품의 전기적 특성을 고려한 상호간 연결 능력</li> <li>• 전체 크기를 고려한 부품 배치 능력</li> <li>• 펌웨어 소프트웨어를 이용한 다양한 가상 데이터 생성 및 입력방법 및 예상 출력에 대한 예측 능력</li> <li>• 부품의 전기적 특성을 고려한 측정 장비 활용 능력</li> <li>• 측정된 결과물을 고객이 요청한 사항과 일치 하는지를 표현하는 다양한 문서 표현 도구 사용능력</li> <li>• 펌웨어 제작 및 도구 활용 능력</li> <li>• 펌웨어를 하드웨어 플랫폼에 실장하는 능력</li> <li>• 정상/비정상적인 입력에 대한 반도체 칩의 동작에 대한 분석 능력</li> <li>• 비정상적인 펌웨어 소프트동작에 대한 발견 및 수정 능력</li> <li>• 각종 입력에 대한 반도체 칩의 출력 값 저장 방법</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 반도체 칩과 연결될 상용화에 적용 가능한 제품을 선정하려는 노력</li> <li>• 정상 및 비정상 입력 데이터를 개발하려는 창의적 생각</li> </ul>
--------------------------------------	---

## □ 적용범위 및 작업상황

### 고려사항

-이 능력 단위는 구현한 제품의 기능 및 성능을 검증하기 위해, 조립 전 웨이퍼 상태에서 1차 평가로 양품을 선별하고, 조립 후 조립품에 대한 최종 평가를 통해 고객의 사용 안정성을 확보하는 작업에 적용한다.

-측정은 소비자 요구 수준 및 국제 표준에 근거하여 판단 기준을 선정하되 평가자의 주관이 포함되지 않도록 해야 한다.

-웨이퍼레벨에서의 평가는 다이 패드(Die Pad)의 오염 또는 측정 과정에서 발생하는 이물(Particle)로 인하여 시험 대상 다이(Die)와 측정 장비 간의 불완전한 접촉이 발생치 않도록 접촉 저항을 수시 확인하고 최소화 하는 과정을 포함한다.

-웨이퍼레벨 기능 검증은 프로브 카드(Probe Card)에 의한 전원 잡음 영향을 반영하여 평가 조건을 설정하며, 패키지레벨 성능검증은 칩의 내부 온도가 제품 규격상의 한계 수준에 도달할 수 있도록 예비시간(Soak Time)을 설정하거나 평가 조건에 반영한다.

-제품 평가는 단순 기능 구현 뿐만 아니라, 평가 과정에서 양품에 대한 판단 외에도 공정 매개변수 코너에서의 제품 동작 마진(Margin)과 양산성 확보를 고려한 종합적인 평가를 포함한다.

-웨이퍼 상태의 테스트 규격 및 조립품의 테스트 규격은 실장 환경에서 안정된 동작을 갖는 완성품을 고객에게 공급 할 수 있도록 실장 검증 결과와의 일치성을 검증하는 과정을 거쳐 최종 검증 항목과 규격을 설정한다.

-검증 항목별 합불 판단 기준은 사용자 규격에 따라 달라질 수 있다.

-반도체 칩과 연결할 상용화된 부품은 기존 상용화된 제품에 사용될 부품을 선정한다.

-하드웨어 플랫폼에는 펌웨어가 실장 될 수 있도록 필요시 중앙처리장치(CPU)를 포함하여 설계한다.

-펌웨어 소프트웨어를 이용한 가상의 데이터 생성은 여러 기능이 동시에 동작시의 입력 조건을 포함한다.

-반도체 칩의 전기적 특성을 측정하기 위한 별도의 상용화된 부품을 사용하는 기술을 포함한다.

### 자료 및 관련 서류

- 평가 항목 리스트
- 제품 구성 회로도
- 제품 사양 및 합불 판단 기준서
- 평가 장비 매뉴얼
- 평가 항목 입력 기술서
- 핀 기능 정의서
- Memory Redundancy 구조도 및 물리적 전기적 어드레스 맵(Address Map)
- 상용화 부품 사양 설명서
- 반도체 칩 전기적 특성 측정 장비 사용 설명서
- 펌웨어 소프트웨어 프로그래밍 실행 및 명령어 설명

## 장비 및 도구

- 기능 및 성능 측정 장비
- 가변 온도 장치 (고온, 저온)
- 전원 잡음 시험기
- 정전 방지 장치
- 응용처별 실장 세트
- 컴퓨터, 프린터
- 하드웨어 플랫폼 설계도구 및 장비
- 펌웨어 소프트웨어 설계/실장/Debugging도구 및 장비(JTAG Debugger)

## 재료

- 정전방지 손장갑, 웨이퍼 보관 박스, 패키지 보관튜브(Tube) 등

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 반도체 제품 기능·성능 검증의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		
E.사례연구	V	
F.평가자 질문	V	V
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 제품의 평가 항목 및 항목별 합불 판정 기준 숙지 여부
  - 각 능력단위 요소별 세부 측정 항목 도출 및 평가 방법 숙지 여부
  - 측정 장비의 사용 방법 숙지 여부
  - 측정 결과에 대한 분석 및 문제점 도출, 문서화 수행 여부
  - 피 평가자의 과정평가로는 다음의 평가방법을 권장한다.
  - 일상적인 면담과 관찰 기록에 의한 평가자 체크리스트
  - 자신의 능력 목표와 자기 평가를 통한 피 평가자 체크리스트
  - 주기적으로 기록하는 학습일지
  - 주제연구 보고서 및 발표
  - 피 평가자의 결과평가로는 다음의 평가방법을 권장한다.
  - 과제진술과 채점기준이 있는 프로젝트, 포트폴리오
  - 피 평가자의 시범, 연구, 사례 조사 결과물
  - 평가 전반에 걸친 서술형 시험
  - 작업장에서의 학습 태도, 학습 능력, 업무 수행에 대한 평가

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 기초외국어 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	수리능력	기초연산 능력, 기초통계 능력, 도표분석 능력, 도표작성 능력
3	문제해결능력	문제처리 능력, 사고력
4	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

## □ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(반도체 제품 기능·성능 검증)	
분류번호	기준	1903060109_14v3
	현재	1903060109_23v4
개발·개선연도	현재	2023
	최초(1차)	2014
버전번호	v4	
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회, 한국반도체산업협회, 한국반도체산업협회
향후 보완 연도(예정)	2028	

분류번호 : 1903060127\_23v4

능력단위 명칭 : 반도체 환경시험

능력단위 정의 : 반도체 환경시험이란 반도체 제품을 사용하는 환경상의 품질을 보증하기 위하여 온도·습도·압력 등 스트레스를 가속하여 제품의 구조 변형, 부식 불량 여부나 전기적 특성이 정상인지 판정하고 불량 발생 시 불량 유형과 원인을 분석하는 능력이다.

능력 단위 요소	수행 준거
1903060127_23v4.1 환경시험 평가하기	<p>1.1 다양한 환경시험 항목의 종류와 각각의 목적을 이해하고 시험 계획을 수립할 수 있다. 1.2 환경시험 항목별 조건을 설정하고 설비를 이용하여 각각의 시험 방법을 갖출 수 있다. 1.3 환경시험 항목별 평가 진행조건이 정상인지 판정할 수 있다.</p> <p>【지식】</p> <ul style="list-style-type: none"><li>• 환경시험 국제 규격 표준</li><li>• 환경시험 항목별 평가 목적</li><li>• 환경시험 항목별 평가 방법</li><li>• 반도체 패키지의 종류와 구조</li></ul> <p>【기술】</p> <ul style="list-style-type: none"><li>• 환경시험 설비 활용 기술</li></ul> <p>【태도】</p> <ul style="list-style-type: none"><li>• 신뢰성 평가 규격 준수</li><li>• 인적 실수, 장비 오류 예방</li></ul> <p>2.1 환경시험 항목별 시험 결과에 따른 제품의 품질 수준을 판단할 수 있다. 2.2 환경시험 결과가 보증규격을 만족하지 못하는 불량의 경우, 그 불량 유형을 파악할 수 있다. 2.3 환경시험 불량의 원인을 분석할 수 있다.</p> <p>【지식】</p> <ul style="list-style-type: none"><li>• 환경시험 국제 규격 표준, 평가 목적과 평가 방법</li><li>• 반도체 패키지의 종류와 구조</li><li>• 반도체 조립공정 프로세스</li><li>• 반도체 제품의 전기적 특성과 테스트 항목</li></ul> <p>【기술】</p> <ul style="list-style-type: none"><li>• 반도체 물리적 불량 분석(Physical FA) 기술</li><li>• 반도체 전기적 불량 분석(Electrical FA) 기술</li><li>• 분석 장비 활용 기술</li><li>• 통계적인 데이터 분석 기술</li></ul> <p>【태도】</p> <ul style="list-style-type: none"><li>• 합리적으로 불량분석을 하려는 자세</li><li>• 기존 불량 유형을 파악하려는 의지</li><li>• 불량 개선대책을 마련하려는 자세</li></ul>
1903060127_23v4.2 환경시험 분석하기	

## □ 적용범위 및 작업상황

### 고려사항

-이 능력단위는 반도체 제품을 사용하는 환경에서 품질을 보증하기 위하여, 온도와 습도, 압력 등의 스트레스를 가속하여 제품의 구조가 변형하거나 부식 등의 불량이 발생하는지, 제품의 전기적 특성이 정상인지 평가하여, 제품을 사용하는 환경의 영향에 대한 신뢰성을 짧은 시간에 평가하여 시험 결과의 최종 합격/불합격을 판정하고, 불량 발생 시 불량 유형과 원인을 분석하는 업무에 적용한다.

-이 능력단위는 반도체 신뢰성 평가 항목 중 환경시험을 위해 제품의 사용 환경과 관련된 요소인 온도, 습도, 압력, 전기적 스트레스 등의 가속 시험을 통해 요구되는 국제 규격의 품질을 검증한다.

-환경시험 평가 항목별 국제 규격에서 정하는 가속 조건, 평가 샘플의 제작 방법과 수량 등을 철저히 적용하여 합격/불합격을 판단한다.

-평가 항목 중 Precondition 항목의 합격/불합격 판정은 제품의 전기적 선별 판정 외, 초음파 스캐닝을 통해 패키지 내부 박리 검사를 실시하여 합격/불합격 판정함을 추가한다.

-물리적 불량분석 장비에는 De-capsulation, De-layer, X-ray, SEM, Micro-Scope 등의 설비가 있고, 전기적 불량 분석 장비에는 Parameter Analyzer, DC Analyzer, Multimeter 등의 기기가 해당된다.

### 자료 및 관련 서류

- 국제 규격 표준(JEDEC)
- 반도체 제품 패키지 사양서
- 반도체 제품 규격(Data Sheet)

### 장비 및 도구

- 신뢰성 평가 챔버 (온도, 압력, 습도)
- 초음파 스캐너
- 물리적 불량분석 장비
- 전기적 불량분석 장비

### 재료

- 물리적 불량 분석 Chemical 종류
- 전기적 불량 분석 부품(소켓, 수동소자)

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 반도체 환경시험의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 환경시험 설비 활용 능력
  - 반도체의 물리적 불량 분석 기술의 이해 여부
  - 반도체 전기적 불량 분석 기술의 이해 여부
  - 분석 장비 활용 능력
  - 통계적인 데이터 분석 능력

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	수리능력	기초연산 능력, 기초통계 능력, 도표분석 능력, 도표작성 능력
3	문제해결능력	문제처리 능력, 사고력
4	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

## □ 개발·개선 이력

구 분		내 용
직무명칭(능력단위명)		반도체개발(반도체 환경시험)
분류번호	기준	1903060110_14v3
	현재	1903060127_23v4, 1903060128_23v4, 1903060129_23v4
개발·개선연도	현재	2023
	최초(1차)	2014
버전번호		v4
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)		2028

분류번호 :	1903060128_23v4
능력단위 명칭 :	반도체 수명시험
능력단위 정의 :	반도체 수명시험이란 반도체 제품의 동작 수명을 보증하기 위하여 높은 온도와 전압의 스트레스를 가속 평가하여 전기적 특성이 정상인지 판정하고 불량 발생 시 불량 유형과 원인을 분석하는 능력이다.

능력 단위 요소	수행 준거
1903060128_23v4.1 수명시험 평가하기	<p>1.1 수명시험의 목적을 이해하고 시험 계획을 수립할 수 있다.      1.2 수명시험 평가용 보드를 준비하고 전기적 Stress 조건을 설정하여 설비를 이용한 시험 방법을 갖출 수 있다.      1.3 수명시험 평가 진행조건이 정상인 지 판정 할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 수명시험 국제 규격 표준</li> <li>• 수명시험의 평가 목적</li> <li>• 수명시험의 평가 방법</li> <li>• 전기/전자 회로 지식</li> <li>• 반도체 제품의 전기적 특성과 Test 항목</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 수명시험 설비 활용 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 신뢰성 평가 규격 준수</li> <li>• 인적 실수, 장비 오류 예방</li> </ul>
1903060128_23v4.2 수명시험 분석하기	<p>2.1 수명시험의 시험 결과에 따른 제품의 보증 가능한 품질 수준을 판단할 수 있다.      2.2 수명시험 결과가 보증 규격을 만족하지 못하는 불량의 경우, 그 불량 유형을 파악할 수 있다.      2.3 수명시험 불량의 원인을 분석할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 수명시험 국제 규격 표준, 평가 목적과 평가 방법</li> <li>• 반도체 소자 지식</li> <li>• 전기/전자 회로 지식</li> <li>• 반도체 제품의 전기적 특성과 Test 항목</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 반도체 물리적 불량 분석(Physical FA) 기술</li> <li>• 반도체 전기적 불량 분석(Electrical FA) 기술</li> <li>• 분석 장비 활용 기술</li> <li>• 통계적인 데이터 분석 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 합리적으로 불량분석을 하려는 자세</li> <li>• 기존 불량 유형을 파악하려는 의지</li> <li>• 불량 개선대책을 마련하려는 자세</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

-이 능력단위는 반도체 제품의 정상적인 동작 수명을 보증할 수 있는지 검증하기 위하여, 높은 온도와 전압의 스트레스를 가속하여 동작시키면서 제품의 전기적 특성이 규격 내 정상인지를 판정하여, 제품이 동작하는 수명에 대한 신뢰성을 짧은 시간에 평가하여 시험 결과의 최종 합격/불합격을 판정하고, 불량 발생 시 불량 유형과 원인을 분석하는 업무에 적용한다.

-이 능력단위는 반도체 신뢰성 평가 항목 중 수명시험을 위해 제품의 동작 조건과 관련된 요소인 주변 온도와 동작전압, 동작 모드 등의 가속 시험을 통해 요구되는 국제 규격의 품질을 검증한다.

-수명시험 평가는 국제 규격에서 정하는 가속 조건과 평가 샘플의 제작 방법과 수량 등을 철저히 적용하여 합격/불합격을 판단한다.

-수명시험을 위한 전기적 동작은 제품별로 칩 내부 소자의 동작 Coverage가 높은 조건의 Test pattern을 이용하거나, 소비전류가 높은 동작 Mode를 구현하여 제품의 가혹 조건을 구현할 수 있어야 한다.

-물리적 불량분석 장비에는 De-capsulation, De-layer, X-ray, SEM, Micro-Scope 등의 설비가 있고, 전기적 불량분석 장비에는 Parameter Analyzer, DC Analyzer, Multimeter 등의 기기가 해당된다.

### 자료 및 관련 서류

- 국제 규격 표준(JEDEC)
- 반도체 제품 패키지 사양서
- 반도체 제품 규격(Data Sheet)
- 수명시험 응용 회로도

### 장비 및 도구

- 신뢰성 평가 챔버 (온도)
- 수명시험용 Test pattern Generator 및 전원 공급장치
- 제품별 수명시험 보드 및 소켓
- 물리적 불량분석 장비
- 전기적 불량분석 장비

### 재료

- 물리적 불량 분석용 Chemical 종류
- 전기적 불량 분석 부품(소켓, 수동소자)

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 반도체 수명시험의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 수명시험 설비 활용 능력
  - 반도체의 물리적 불량 분석 기술의 이해 여부
  - 반도체 전기적 불량 분석 기술의 이해 여부
  - 분석 장비 활용 능력
  - 통계적인 데이터 분석 능력

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	수리능력	기초연산 능력, 기초통계 능력, 도표분석 능력, 도표작성 능력
3	문제해결능력	문제처리 능력, 사고력
4	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

## □ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(반도체 수명시험)	
분류번호	기준	1903060110_14v3
	현재	1903060127_23v4, 1903060128_23v4, 1903060129_23v4
개발·개선연도	현재	2023
	최초(1차)	2014
버전번호	v4	
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)	2028	

분류번호 : 1903060129\_23v4

능력단위 명칭 : 반도체 내성시험

능력단위 정의 : 반도체 내성시험이란 반도체 제품이 정전기나 과전류 등의 전기적 스트레스에 대해 내성이 있는지와 원하지 않는 전류급증이 발생하지 않는지를 검증하여 시험 결과가 정상인지 판정하고 불량 발생 시 불량 유형과 원인을 분석하는 능력이다.

능력 단위 요소	수행 준거
1903060129_23v4.1 내성시험 평가하기	<p>1.1 정전기(ESD), 래치업(Latch up), 과전류(EOS) 등 내성시험 항목별 목적을 이해하고 각각의 시험계획을 수립할 수 있다.</p> <p>1.2 내성시험 항목별 보드와 장비를 이용하여 각각의 시험 방법을 갖출 수 있다.</p> <p>1.3 내성시험 항목별 평가 조건이 정상인지 판정할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 내성시험 국제 규격 표준</li> <li>• 내성시험 항목별 평가 목적</li> <li>• 내성시험 항목별 평가 방법</li> <li>• 전기/전자 회로 지식</li> <li>• 반도체 제품의 전기적 특성과 테스트 항목</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 내성시험 설비 활용 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 신뢰성 평가 규격 준수</li> <li>• 인적 실수, 장비 오류 예방</li> </ul>
1903060129_23v4.2 내성시험 분석하기	<p>2.1 내성시험 항목별 시험 결과에 따른 제품의 품질 수준을 판단할 수 있다.</p> <p>2.2 내성시험 결과가 보증규격을 만족하지 못하는 불량의 경우, 그 불량 유형을 파악할 수 있다.</p> <p>2.3 내성시험 불량의 원인을 분석할 수 있다.</p> <p><b>【지식】</b></p> <ul style="list-style-type: none"> <li>• 내성시험 국제 규격 표준, 평가 목적과 평가 방법</li> <li>• 반도체 소자 지식</li> <li>• 전기/전자 회로 지식</li> <li>• 반도체 제품의 전기적 특성과 테스트 항목</li> </ul> <p><b>【기술】</b></p> <ul style="list-style-type: none"> <li>• 반도체 물리적 불량 분석(Physical FA) 기술</li> <li>• 반도체 전기적 불량 분석(Electrical FA) 기술</li> <li>• 분석 장비 활용 기술</li> <li>• 통계적인 데이터 분석 기술</li> </ul> <p><b>【태도】</b></p> <ul style="list-style-type: none"> <li>• 합리적으로 불량분석을 하려는 자세</li> <li>• 기존 불량 유형을 파악하려는 의지</li> <li>• 불량 개선대책을 마련하려는 자세</li> </ul>

## □ 적용범위 및 작업상황

### 고려사항

-이 능력단위는 반도체 제품이 외부로부터 인가되는 이상 원인의 정전기(ESD)나 과전류(EOS) 등 전기적 스트레스에 대해 보증해야 하는 규격 수준의 내성 있는지 검증하고, 칩 내부 실리콘 다이에서 기생 소자로 인해 원치 않는 전류가 급증하지는 않는지(래치업) 검증하여, 시험 결과의 최종 합격/불합격을 판정하고, 불량 발생 시 불량 유형과 원인을 분석하는 업무에 적용한다.

-이 능력단위는 반도체 신뢰성 평가 항목 중 내성시험을 위해 평가 항목별로 제품의 전원 핀들과 입출력 핀들의 조건을 달리하여 정전기, 과전류, 래치업 영향에 대한 국제 규격의 품질을 검증한다.

-내성시험 평가는 국제 규격에서 정하는 평가 수준, 평가 샘플의 제작 방법과 수량 등을 철저히 적용하여 합격/불합격을 판단한다.

-내성시험의 규격은 제품의 제조 FAB 공정이나 응용 기기에 따라 보증 필요 수준이 달라질 수 있다.

-물리적 불량분석 장비에는 De-capsulation, De-layer, X-ray, SEM, Micro-Scope 등의 설비가 있고, 전기적 불량 분석 장비에는 Parameter Analyzer, DC Analyzer, Multimeter 등의 기기가 해당된다.

### 자료 및 관련 서류

- 국제 규격 표준(JEDEC)
- 반도체 제품 패키지 사양서
- 반도체 제품 규격(Data Sheet)
- 내성시험 평가 의뢰서(제품별 Power/IO information sheet 포함)

### 장비 및 도구

- 정전기, 과전류, 래치업 평가 설비
- 제품별 평가보드 및 소켓
- 물리적 불량분석 장비
- 전기적 불량분석 장비

### 재료

- 물리적 불량 분석용 Chemical 종류
- 전기적 불량 분석 부품(소켓, 수동소자)

## □ 평가지침

### 권장평가방법

- 평가자는 능력단위 반도체 내성시험의 수행준거에 제시되어 있는 내용을 평가하기 위해 이론과 실기를 나누어 평가하거나 종합적인 결과물의 평가 등 다양한 평가 방법을 사용할 수 있다.
- 평가자는 다음 사항을 평가해야 한다.

권 장 평 가 방 법	평 가 유 형	
	과 정 평 가	결 과 평 가
A.포트폴리오		
B.문제해결 시나리오		
C.서술형시험	V	V
D.논술형시험		V
E.사례연구	V	
F.평가자 질문	V	
G.평가자 체크리스트		V
H.피평가자 체크리스트		
I.일지/저널		
J.역할연기		
K.구두발표	V	V
L.작업장평가		
M.기타		

### 평가시 고려사항

- 수행준거에 제시되어 있는 내용을 성공적으로 수행할 수 있는지를 평가해야 한다.
- 평가자는 다음 사항을 평가해야 한다.
  - 내성시험 설비 활용 능력
  - 반도체의 물리적 불량 분석 기술의 이해 여부
  - 반도체 전기적 불량 분석 기술의 이해 여부
  - 분석 장비 활용 능력
  - 통계적인 데이터 분석 능력

## □ 관련기초능력

순번	관련기초능력	
	주요영역	하위영역
1	의사소통능력	경청 능력, 문서이해 능력, 문서작성 능력, 의사표현 능력
2	수리능력	기초연산 능력, 기초통계 능력, 도표분석 능력, 도표작성 능력
3	문제해결능력	문제처리 능력, 사고력
4	자원관리능력	물적자원관리 능력, 시간자원관리 능력, 예산자원관리 능력, 인적자원관리 능력
5	기술능력	기술선택 능력, 기술이해 능력, 기술적용 능력

## □ 개발·개선 이력

구 분	내 용	
직무명칭(능력단위명)	반도체개발(반도체 내성시험)	
분류번호	기준	1903060110_14v3
	현재	1903060127_23v4, 1903060128_23v4, 1903060129_23v4
개발·개선연도	현재	2023
	최초(1차)	2014
버전번호	v4	
개발·개선기관	현재	전자 산업인적자원개발위원회(한국전자정보통신산업진흥회)
	최초(1차)	한국반도체산업협회
향후 보완 연도(예정)	2028	