

Procedimento para criar novo projeto

No Vivado IDE, o desenvolvimento de hardware simplificado consiste nos seguintes passos principais:

1. Criar um projeto de design,
2. Adicionar ou criar códigos de design HDL,
3. Adicione um arquivo de *constraints*,
4. Executar síntese, implementação e geração de *bitstream*,
5. Programar um dispositivo FPGA.

Para isso, vamos usar os códigos do Comparador de igualdade de 2 bits apresentados na parte inicial da aula.

Passo 1. Criar um projeto de design

Um novo projeto do Vivado pode ser criado da seguinte forma:

1. Na janela de inicialização do Vivado, clique no ícone Criar Novo Projeto. A janela Novo Projeto é exibida.
2. Insira o nome do projeto como eq2 e o local do diretório desejado e clique em Avançar.
3. Na caixa de diálogo Tipo de projeto, selecione Projeto RTL e marque a caixa Não especificar fontes neste momento. Clique em Avançar. Adicionaremos os arquivos posteriormente usando o Project Manager, que é mais flexível e fornece mais controle.
4. Na caixa de diálogo de seleção de *Parts*, clique na guia *Parts* no campo de seleção para especificar o dispositivo FPGA de destino. Para a placa Nexys A7, selecione o seguinte:
 - Product Category: All
 - Family: Artix-7
 - Sub-Family: Artix-7
 - Package: csg324
 - Speed: -1
 - Part: xc7a100tcsg324-1

Passo 2. Adicionar ou criar códigos de design HDL

Depois que um projeto é criado, podemos adicionar arquivos HDL existentes ao projeto ou criar novos arquivos HDL. O procedimento para adicionar arquivos HDL existentes é o seguinte:

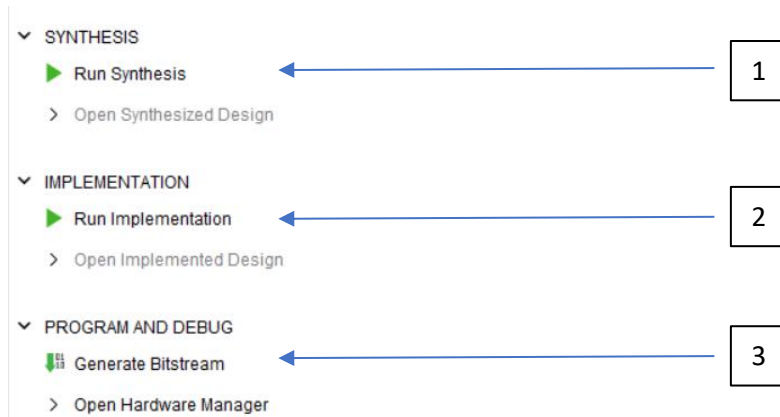
1. Na subjanela Flow Navigator, expanda Project Manager e selecione Add Sources. Uma caixa de diálogo é exibida.
2. Selecione o botão Adicionar ou criar fontes de design e clique em Avançar para prosseguir para a próxima caixa de diálogo.
3. Nesta janela de diálogo, pressione o sinal “+” no meio da janela de diálogo. Uma pequena janela aparece com três itens: Adicionar arquivos..., Adicionar diretórios... e Criar arquivos...
4. Clique no item Adicionar Arquivos.. e navegue até o local. Selecione os três arquivos comparadores e adicione-os à lista. Como alternativa, se os três arquivos estiverem na mesma pasta, clique em Adicionar Diretórios.. para adicionar o diretório.
5. Após incluir todos os arquivos necessários, clique no botão Concluir. Os arquivos vão ser analisados e importados para o projeto e exibido hierarquicamente na subjanela *Design Sources* da subjanela *Sources*.

Passo 3. Adicione um arquivo de *constraints*

O procedimento para adicionar o arquivo de restrição a um projeto é semelhante ao de adicionar um arquivo de design:

1. Na subjanela *Flow Navigator*, expanda Project Manager e selecione Add Sources. Uma caixa de diálogo é exibida.
2. Selecione o botão Adicionar ou criar *constraints* e clique em Avançar para prosseguir para a próxima caixa de diálogo.
3. Nesta janela de diálogo, pressione o sinal "+".
4. Clique em Adicionar arquivos... e navegue até o local. Selecione nexys4_ddr_chu.xdc e marque os arquivos de *constraints* de cópia na caixa do projeto.
5. Clique no botão Concluir. O arquivo será importado para o projeto e exibido na pasta *Constraints* da subjanela *Sources*.
6. Clique no arquivo e ele aparecerá na subjanela *Workplace*. Comente as restrições associadas aos sinais de E/S não utilizados e salve o arquivo.

Passo 4. Executar síntese, implementação e geração de bitstream

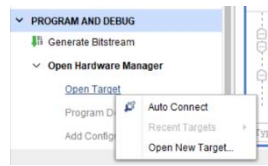


Passo 5. Programar um dispositivo FPGA.

i. Clique em Open Target



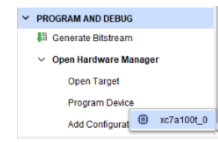
ii. Clique em Auto Connect



iii. Clique em Program Device

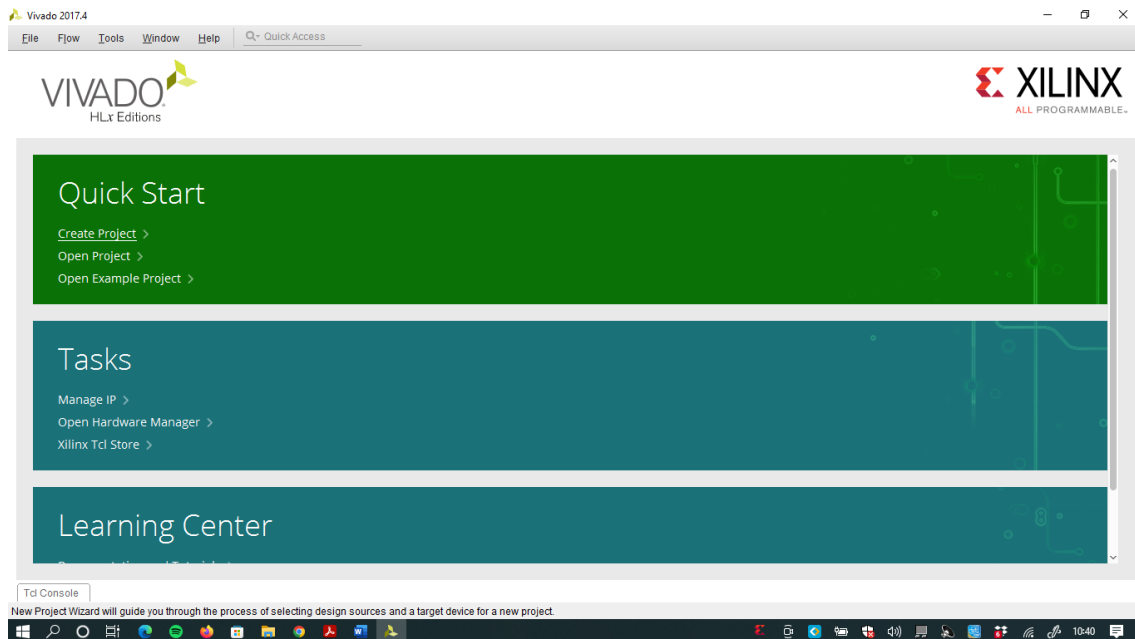


iv. Selecione xc7a100t_0

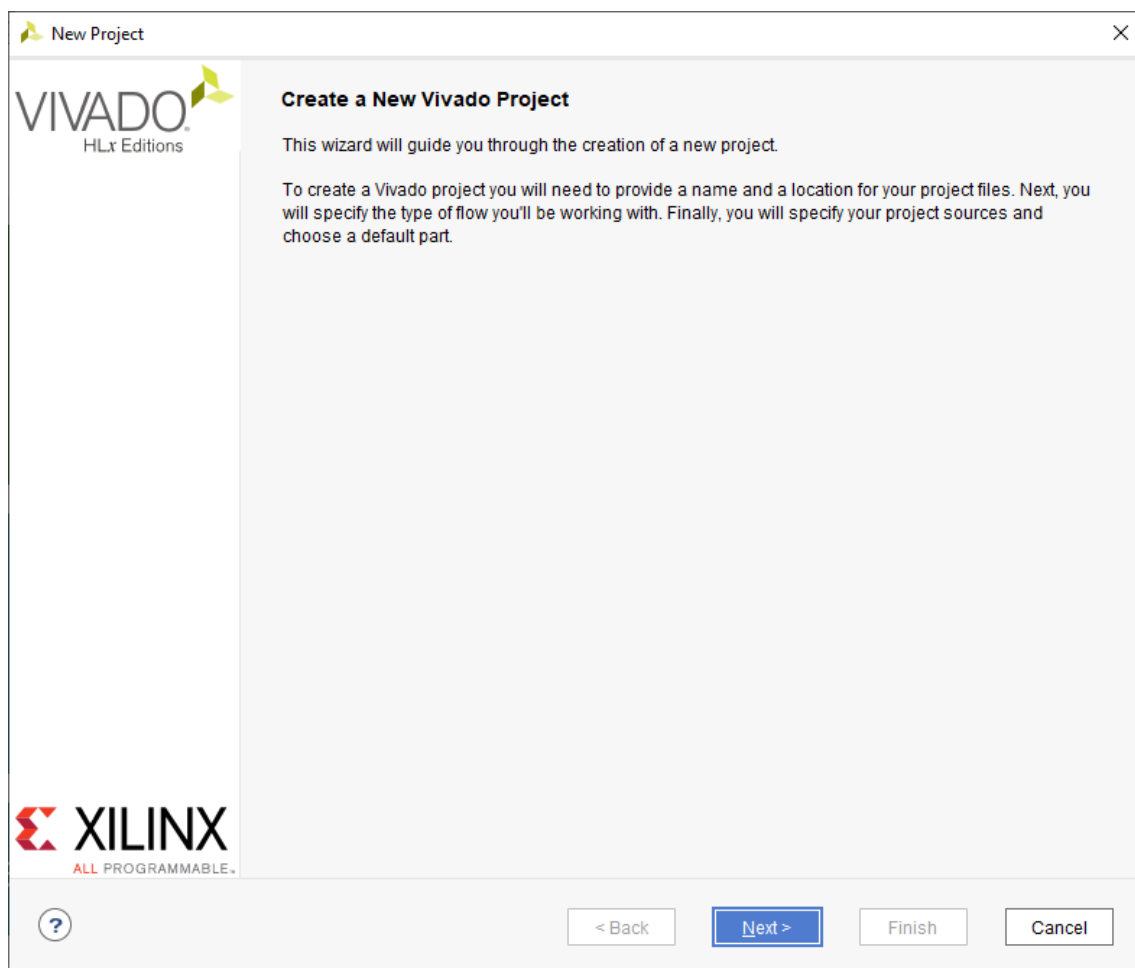


Seguindo o passo a passo

Abrir o Vivado



Na janela de inicialização do Vivado, clique no ícone Criar Novo Projeto. A janela Novo Projeto é exibida.




New Project

X

Project Name

Enter a name for your project and specify a directory where the project data files will be stored.



Project name:

X


Project location:

X

...

☒ Create project subdirectory

Project will be created at: C:/Projetos VHDL/2022-1/comparator



< Back

Next >

Finish

Cancel

Project Type

Specify the type of project to create.



- ☒ **RTL Project**
You will be able to add sources, create block designs in IP Integrator, generate IP, run RTL analysis, synthesis, implementation, design planning and analysis.
 - ☒ Do not specify sources at this time
- ☐ **Post-synthesis Project**: You will be able to add sources, view device resources, run design analysis, planning and implementation.
 - ☐ Do not specify sources at this time
- ☐ **I/O Planning Project**
Do not specify design sources. You will be able to view part/package resources.
- ☐ **Imported Project**
Create a Vivado project from a Synplify, XST or ISE Project File.
- ☐ **Example Project**
Create a new Vivado project from a predefined template.



< Back

Next >

Finish


Cancel

New Project

×

Default Part

Choose a default Xilinx part or board for your project. This can be changed later.



Select:

Parts

Boards

Filter

Product category: All

Speed grade: -1






Family: Artix-7

Temp grade: All Remaining

Package: csg324

Reset All Filters

Search: Q

Part	I/O Pin Count	Available IOBs	LUT Elements	FlipFlops	Block RAMs	Ultra RAMs	DSPs	Gb Transceivers	GTPE2 Transceivers
 xc7a15tcsg324-1	324	210	10400	20800	25	0	45	0	0
 xc7a35tcsg324-1	324	210	20800	41600	50	0	90	0	0
 xc7a50tcsg324-1	324	210	32600	65200	75	0	120	0	0
 xc7a75tcsg324-1	324	210	47200	94400	105	0	180	0	0
 xc7a100tcsg324-1	324	210	63400	126800	135	0	240	0	0

<

>

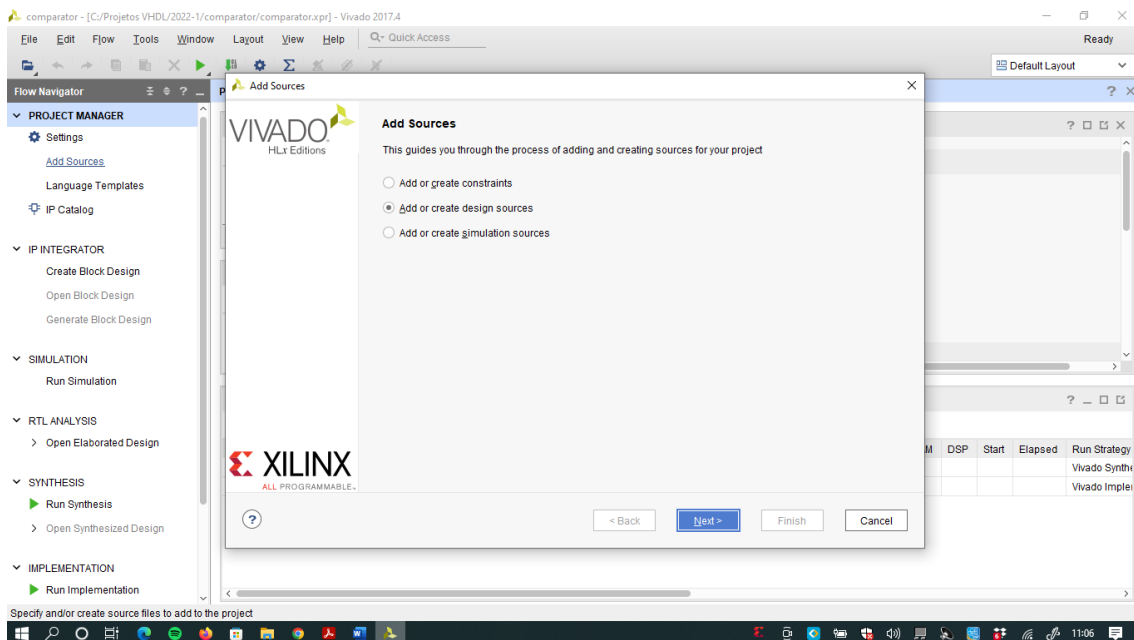
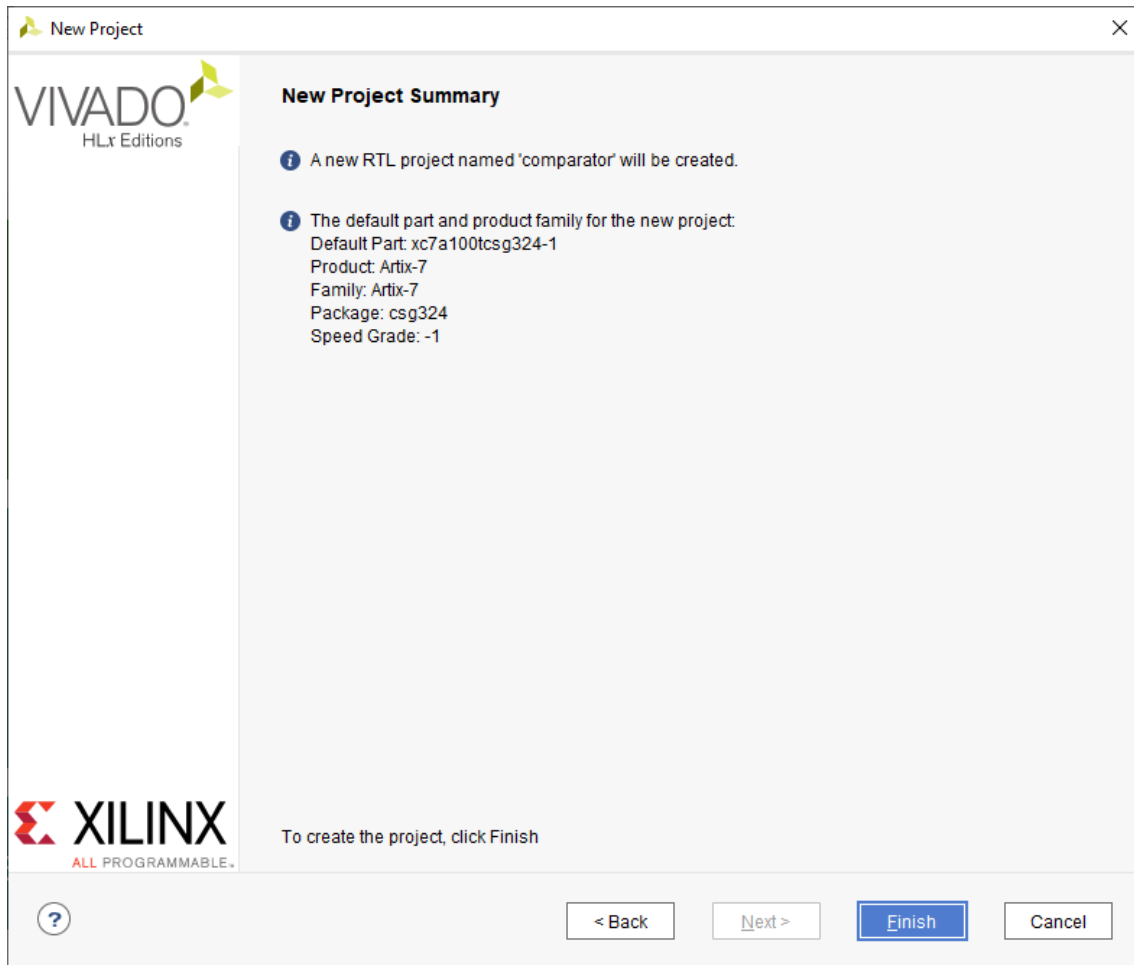
?

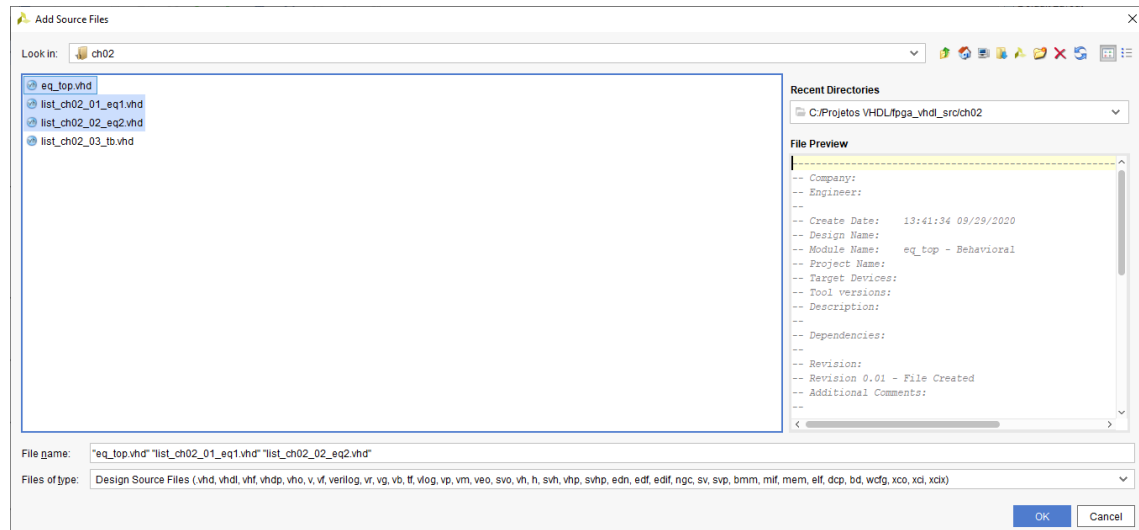
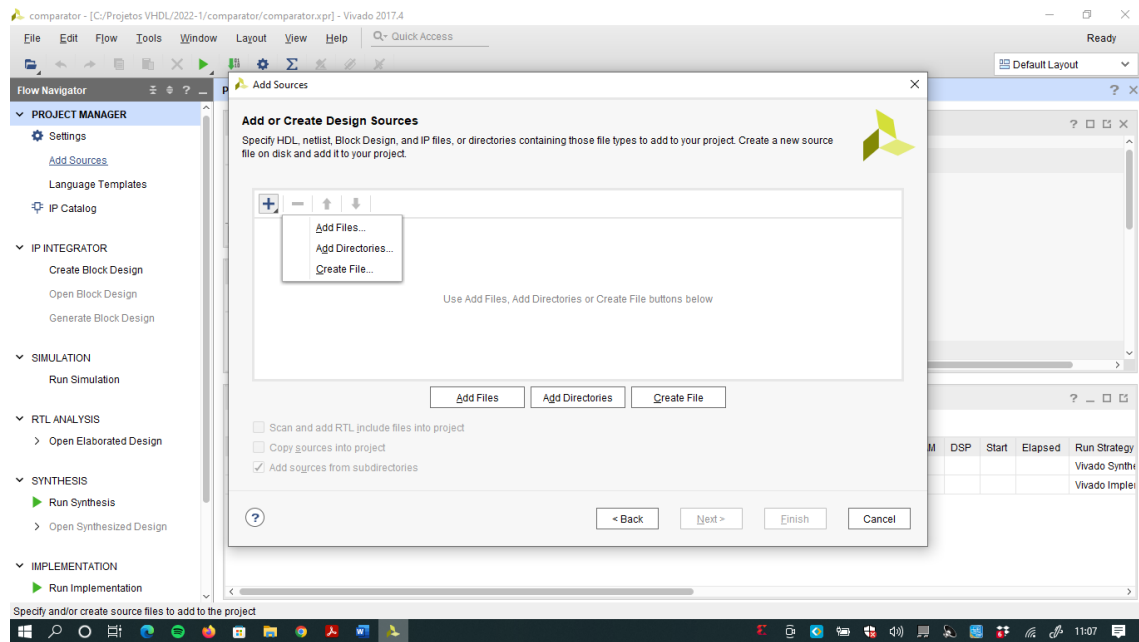
< Back

Next >

Finish

Cancel





Add Sources

Add or Create Design Sources

Specify HDL, netlist, Block Design, and IP files, or directories containing those file types to add to your project. Create a new source file on disk and add it to your project.

+
-
↑
↓

	Index	Name	Library	Location
	1	eq_top.vhd	xil_defaultlib	C:/Projetos VHDL/fpga_vhdl_src/ch02
	2	list_ch02_01_eq1.vhd	xil_defaultlib	C:/Projetos VHDL/fpga_vhdl_src/ch02
	3	list_ch02_02_eq2.vhd	xil_defaultlib	C:/Projetos VHDL/fpga_vhdl_src/ch02

Add Files
Add Directories
Create File

☐ Scan and add RTL include files into project
☐ Copy sources into project
☒ Add sources from subdirectories

?

< Back

Next >

Finish

Cancel

comparator - [C:/Projetos VHDL/2022-1/comparator/comparator.xpr] - Vivado 2017.4

File Edit Flow Tools Window Layout View Help Quick Access

Flow Navigator PROJECT MANAGER - comparator

PROJECT MANAGER
Settings
Add Sources
Language Templates
IP Catalog
IP INTEGRATOR
Create Block Design
Open Block Design
Generate Block Design
SIMULATION
Run Simulation
RTL ANALYSIS
Open Elaborated Design
SYNTHESIS
Run Synthesis
Open Synthesized Design
IMPLEMENTATION
Run Implementation

Sources
eq_top(struct_arch) (eq_top.vhd) (1)
eq2_unit : eq2(struct_arch) (list_ch02_02_eq2.vhd) (2)
eq_bit0_unit : eq1(sop_arch) (list_ch02_01_eq1.vhd) (1)
eq_bit1_unit : eq1(sop_arch) (list_ch02_01_eq1.vhd) (1)

Hierarchy Libraries Compile Order

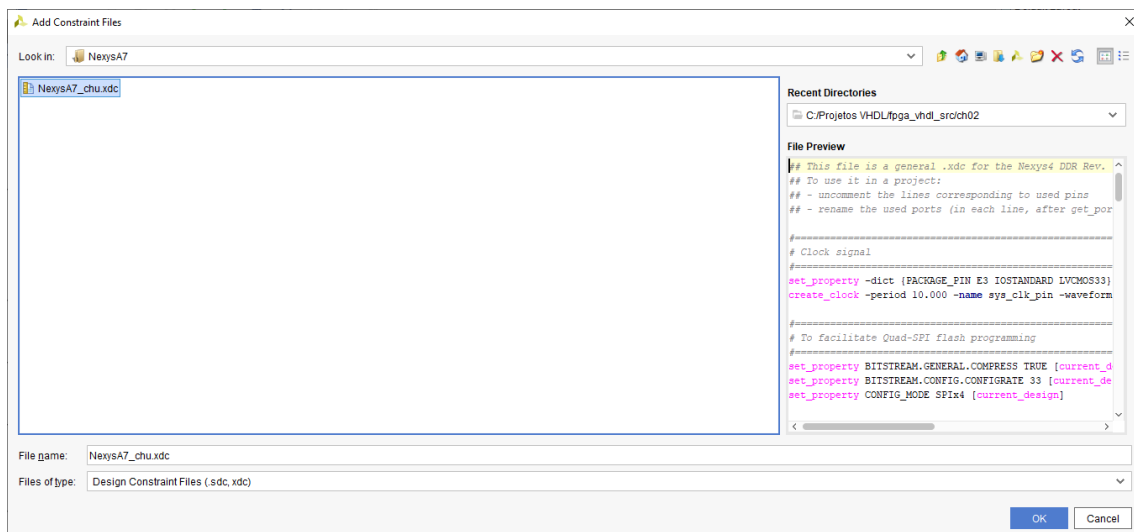
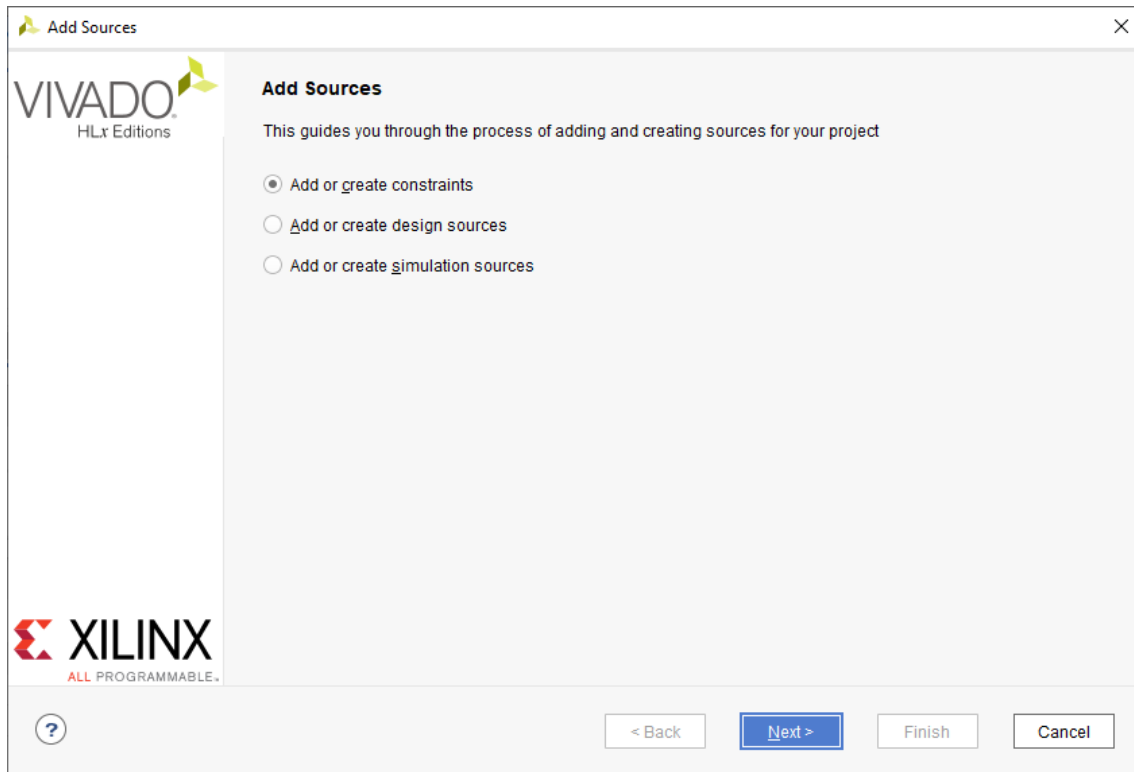
Properties
Select an object to see properties

Project Summary
Settings Edit
Project name: comparator
Project location: C:/Projetos VHDL/2022-1/comparator
Product family: Artix-7
Project part: xc7a100tcsq324-1
Top module name: eq_top
Target language: Verilog
Simulator language: Mixed

Synthesis Implementation
Status: Not started Status: Not started

Tcl Console Messages Log Reports Design Runs

Name	Constraints	Status	WNS	TNS	WHS	THS	TPWS	Total Power	Failed Routes	LUT	FF	BRAMS	URAM	DSP	Start	Elapsed	Run Strategy
> synth_1	constrs_1	Not started															Vivado Synthesi
> impl_1	constrs_1	Not started															Vivado Imple



Add Sources

Add or Create Constraints

Specify or create constraint files for physical and timing constraint to add to your project.

Specify constraint set: constrs_1 (active)

Constraint File	Location
NexysA7_chu.xdc	C:\Projetos VHDL\NexysA7

Add Files

Create File

☐ Copy constraints files into project

?

< Back

Next >

Finish

Cancel

comparator - [C:\Projetos VHDL\2022-1\comparator\comparator.xpr] - Vivado 2017.4

File Edit Flow Tools Window Layout View Help Quick Access

Flow Navigator PROJECT MANAGER - comparator

PROJECT MANAGER

- Settings
- Add Sources
- Language Templates
- IP Catalog
- IP INTEGRATOR
 - Create Block Design
 - Open Block Design
 - Generate Block Design
- SIMULATION
 - Run Simulation
- RTL ANALYSIS
 - Open Elaborated Design
- SYNTHESIS
 - Run Synthesis
 - Open Synthesized Design
- IMPLEMENTATION
 - Run Implementation

Sources

- eq_btt1_unit: eq1(sop_arch) (list_ch02_01_eq1)
- Constrains (1)
 - constrs_1 (1)
 - NexysA7_chu.xdc
- Simulation Sources (1)

Source File Properties

- NexysA7_chu.xdc

General Properties

Tcl Console Messages Log Reports Design Runs

Name	Constraints	Status	WNS	TNS	WHS	THS	TPWS	Total Power	Failed Routes	LUT	FF	BRAMS	URAM	DSP	Start	Elapsed	Run Strategy
> synth_1	constrs_1	Not started															Vivado Synthesi
> impl_1	constrs_1	Not started															Vivado Imple

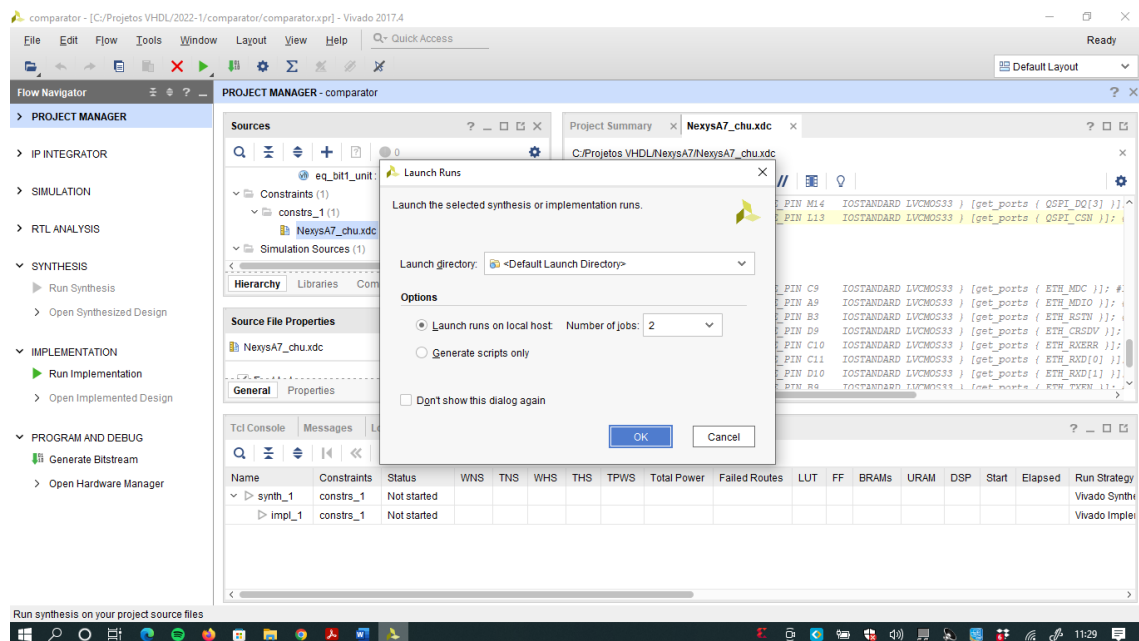
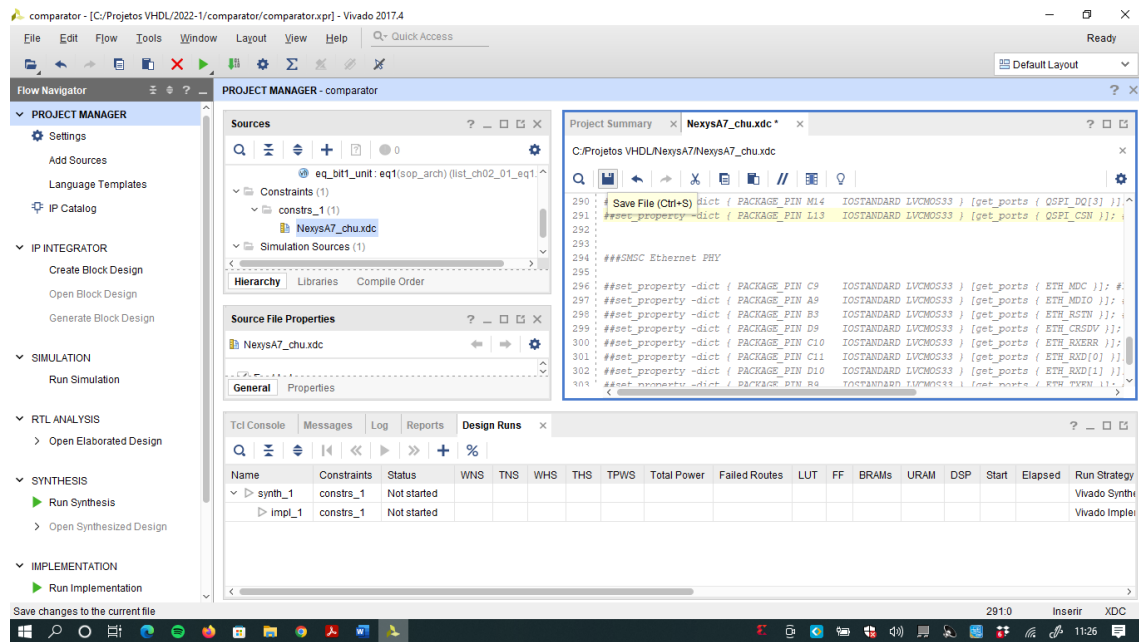
Project Summary NexysA7_chu.xdc

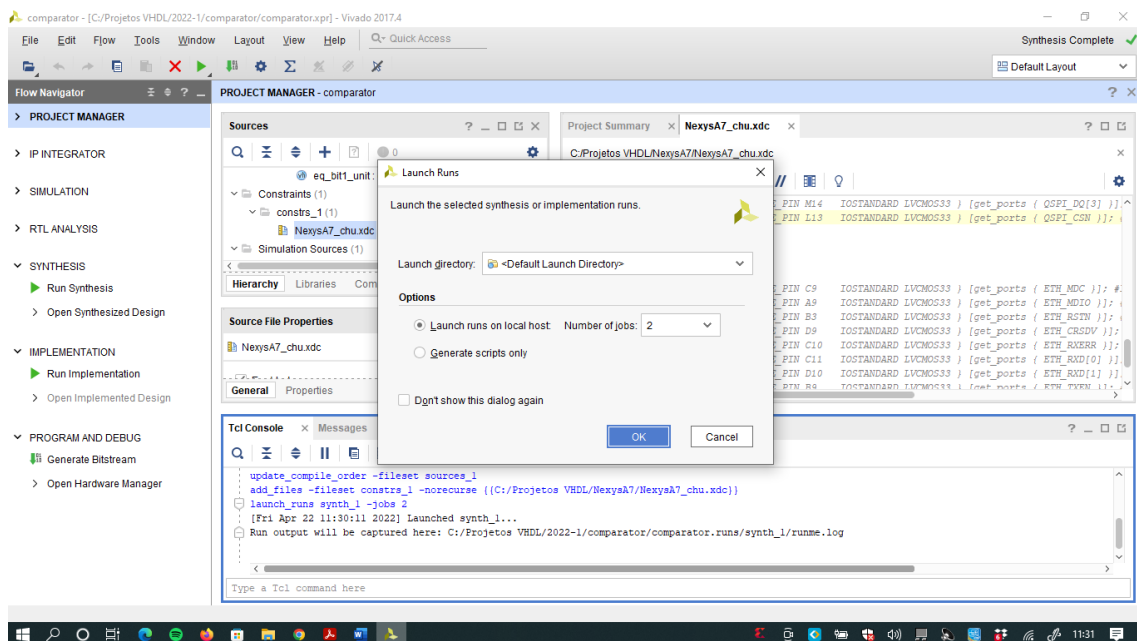
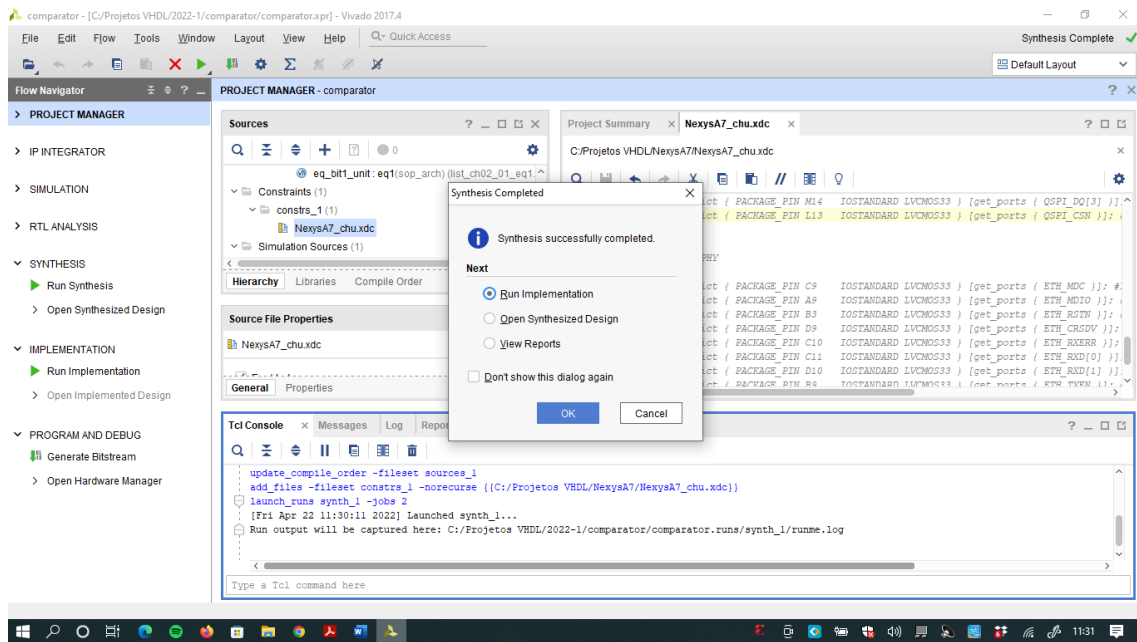
```

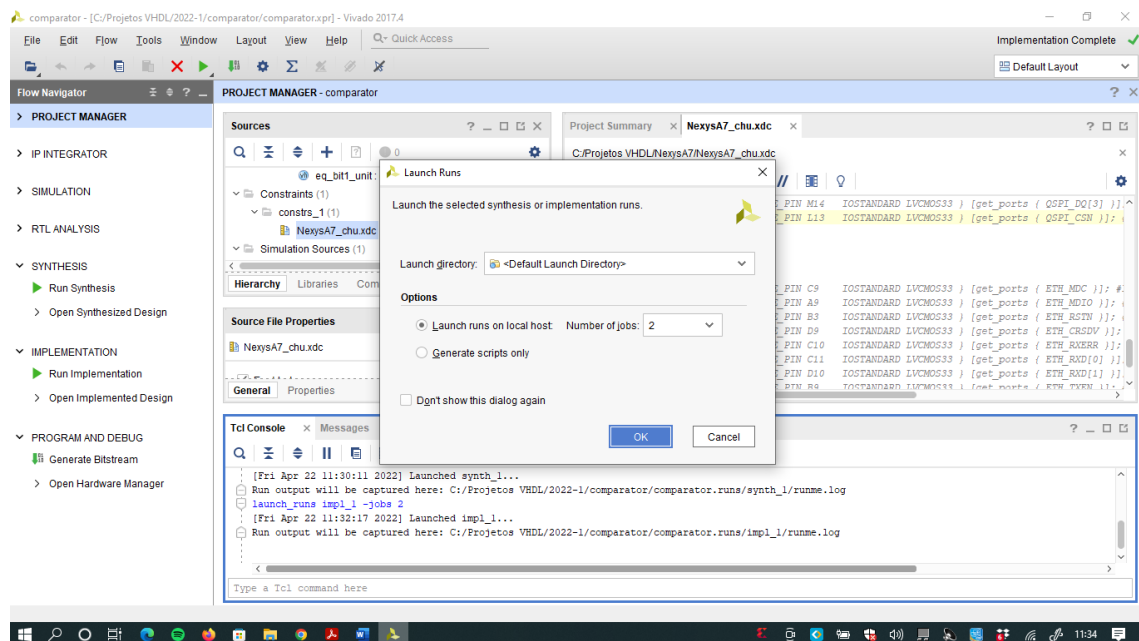
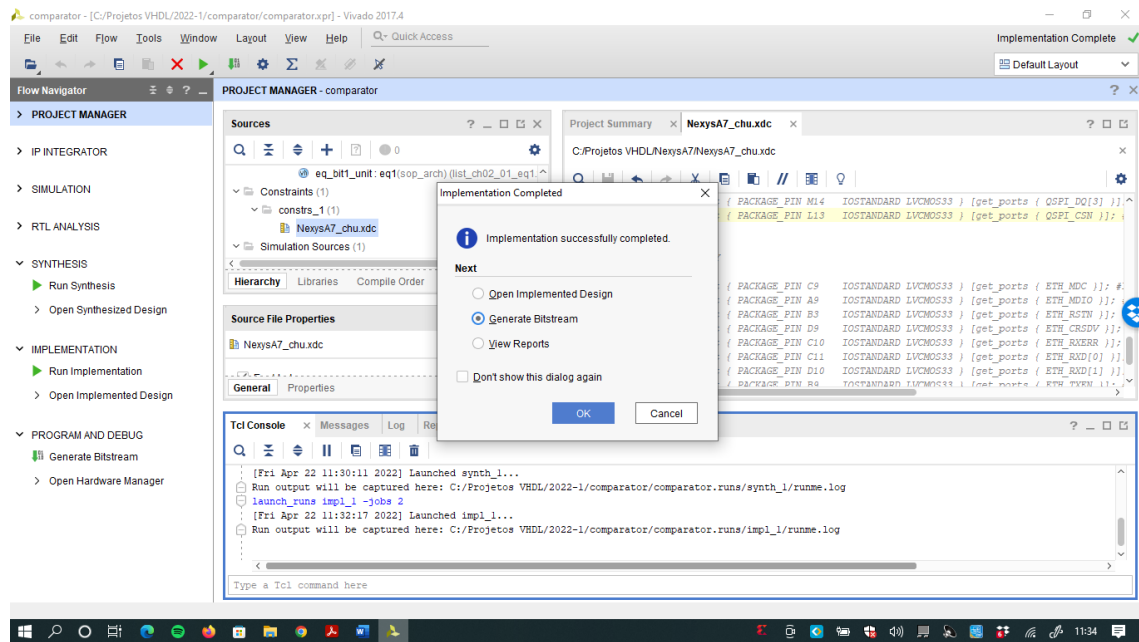
1: ## This file is a general .xdc for the Nexys4 DDR Rev. C
2: ## To use it in a project:
3: ## - uncomment the lines corresponding to used pins
4: ## - rename the used ports (in each line, after get_ports) according to the top level sign
5:
6: # Clock signal
7: # Clock signal
8:
9: set_property -dict {PACKAGE_PIN E3 IOSTANDARD LVCMOS33} [get_ports clk]
10: create_clock -period 10.000 -name sys_clk_pin -waveform (0.000 5.000) -add [get_ports clk]
11:
12:
13: # To facilitate Quad-SPI flash programming
14:

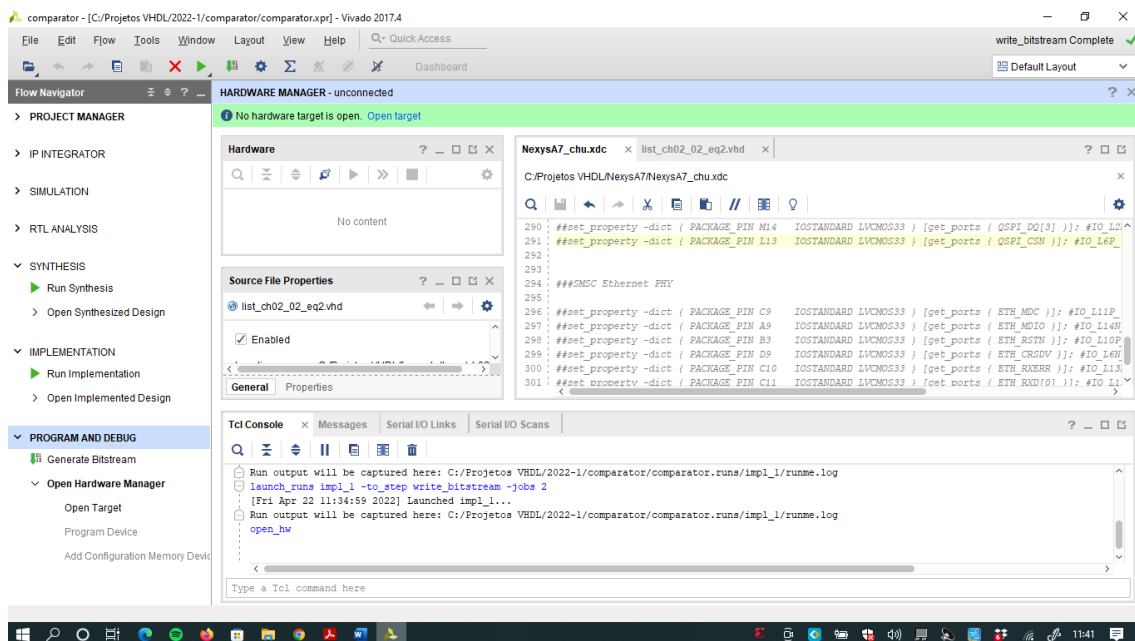
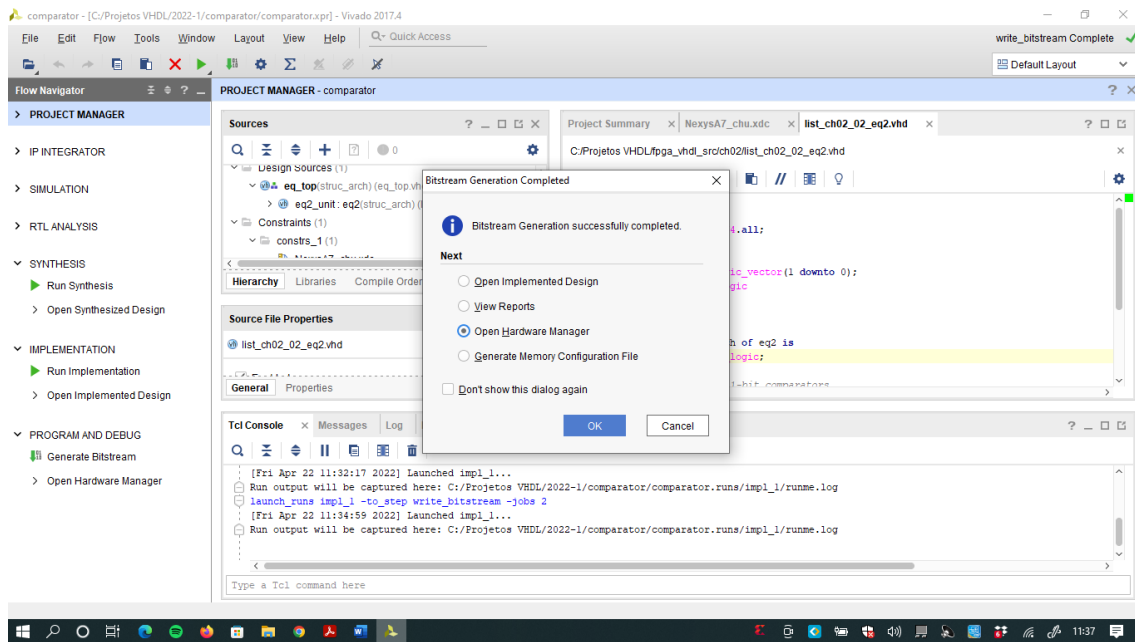
```

1:0 Insert XDC









Conectando o hardware

