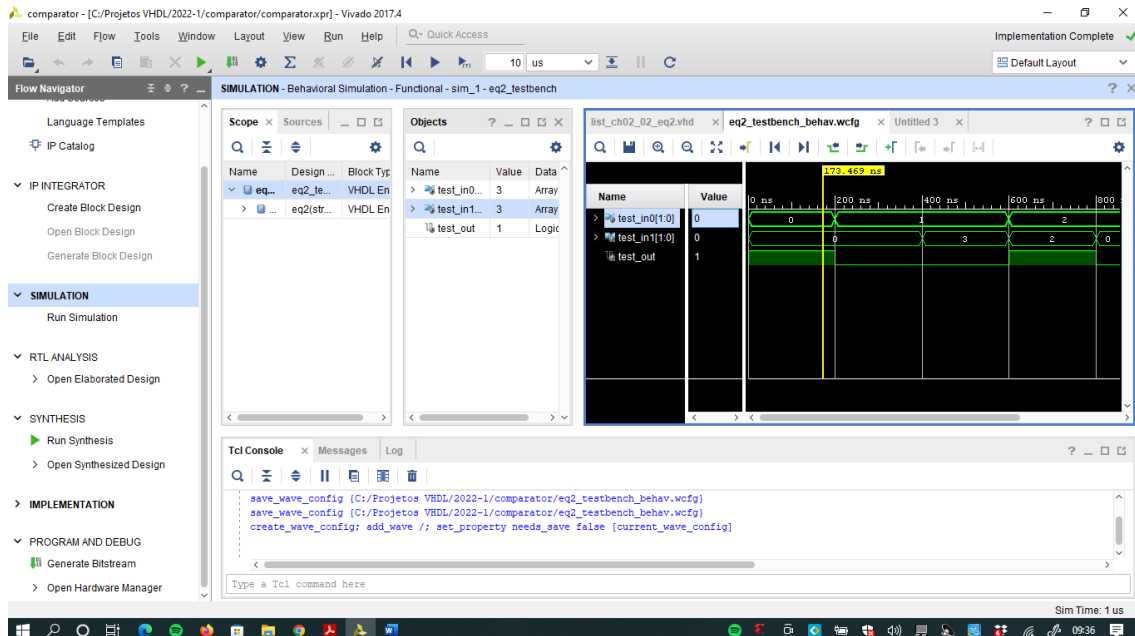


Simulação com Vivado

Vivado Design Suite integra dentro do ambiente de trabalho um simulador, que pode executar simulação comportamental, pós-síntese e pós-implementação. Lembrando que o *layout* da área de tarefa depende do processo. Uma janela com uma área de simulação típica é mostrada na figura, a qual contém três sub-janelas: *Scope*, *Objects* e *Workplace*.



A janela *Scope* mostra a hierarquia do escopo do VHDL, que inclui a declaração de entidade, corpo da arquitetura, *process*, etc. O escopo pode ser expandido ou colapsado de maneira similar à estrutura de diretório de arquivos. A janela *Objects* mostra os objetos VHDL, que podem ser sinais, constantes, etc., dentro do escopo selecionado. A janela *Workplace* contém múltiplos documentos. O documento principal é a janela *Waveform* que apresenta a forma de onda. O comparador de dois bits foi usado no exemplo.

No *Vivado Design Suite*, o fluxo de simulação simplificado consiste dos seguintes passos principais:

1. Criar um projeto.
2. Adicionar ou criar códigos VHDL do projeto.
3. Adicionar ou criar um *testbench* em VHDL.
4. Executar a simulação inicial.
5. Customizar a janela com a forma de onda e simular novamente.

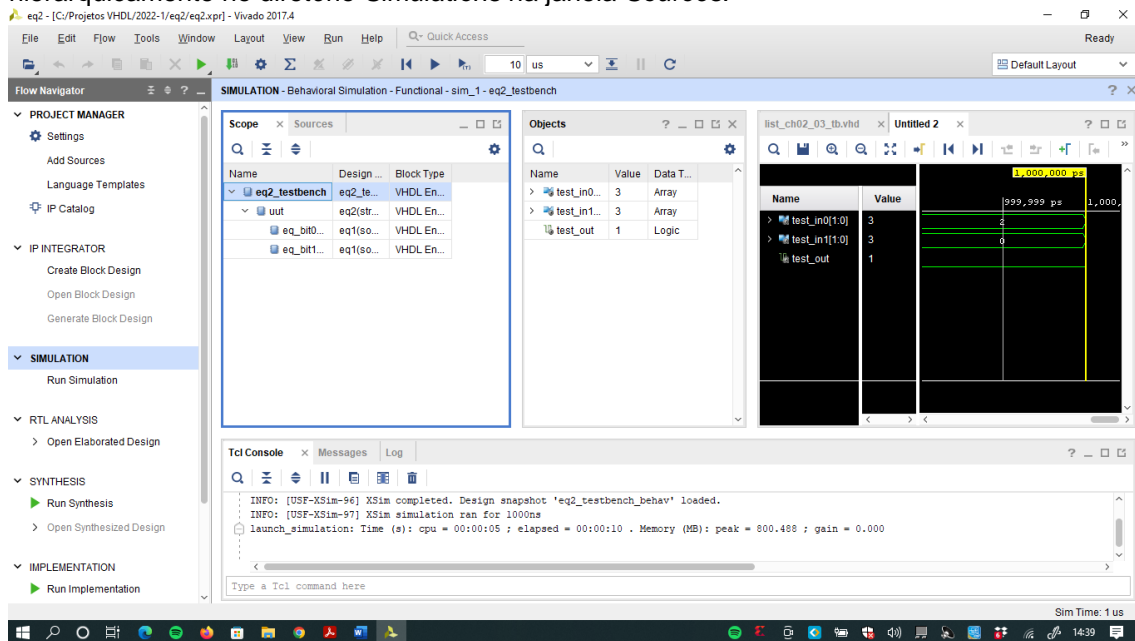
O primeiro e o segundo passos são idênticos ao que é feito para criar o projeto para configurar a FPGA. Note que é possível incluir fontes para o projeto e para a simulação. Quando um arquivo de projeto é adicionado, ele é também incluído no diretório de fontes para simulação. Consequentemente, os primeiros dois passos podem ser omitidos se o projeto já está montado para síntese. Os passos restantes são explicados a seguir.

Adicionar ou criar um *testbench* em VHDL

O processo é similar a adicionar um arquivo ao projeto:

1. Na janela *Flow Navigator*, expanda o *Project Manager* e então selecione *Add Sources*.
2. Selecione o botão *Add or create simulation sources* e clique no botão *Next* para ir para a próxima janela de diálogo.
3. Nessa janela pressione o sinal “+” no canto da janela de diálogo. Uma pequena janela aparece com três itens: *Add Files*, *Add Directories*, e *Create Files*.
4. Clique em *Add Files* e navegue até o local onde está o arquivo *testbench*. Selecione o arquivo *testbench* e adicione à lista.

5. Click no botão *Finish*. Os arquivos serão analisados e importados para o projeto e mostrados hierarquicamente no diretório *Simulations* na janela *Sources*.



O procedimento é similar a adicionar arquivos ao projeto exceto que o botão *Add or create simulation sources* é selecionado no segundo passo. Por causa disso, o arquivo de *testbench* não é incluído no diretório *Design Sources*.

Executar a simulação inicial

Após estabelecer o *testbench*, o procedimento para executar a simulação é o seguinte:

1. Na janela *Flow Navigator*, expanda o item *Simulation* e então selecione *Simulation Settings*. Uma caixa de diálogo aparece.
2. Selecione *sim_1* no campo *Simulation set* e confirme que o *testbench* escolhido esteja no campo *Simulation top-module name*.
3. Na janela *Flow Navigator*, selecione *Run Behavioral Simulation*.
4. Após os códigos serem compilados com sucesso, o simulador abre a janela do *Workspace*. Por *default*, os objetos HDL da entidade top-level aparecem na janela *Waveform* e a simulação roda para 1000ns. Se desejado, selecione *Run > Run all* no menu para completar a simulação.

Customizar a forma de onda mostrada

É frequentemente necessário examinar os sinais e módulos de níveis inferiores. Esses sinais podem ser adicionados e a janela *Waveform* pode ser modificada de acordo. Por exemplo, para verificar os sinais dos dois comparadores de 1 bit, pode-se adicionar seus sinais de entrada e saída na janela. Isto pode ser feito como segue:

1. Na janela *Scope*, expanda o ícone com o nome do *testbench*, em seguida expanda o ícone *uut*, e então selecione a instância cujos sinais quer mostrar. A janela *Objects* é atualizada de acordo e lista os *ports* de entrada e saída internos da instância selecionada.
2. Na janela *Objects*, selecione os sinais que deseja mostrar e arraste para a janela *Waveform*.
3. Repita os passos prévios para mostrar os sinais de todas as instâncias de interesse.
4. Barras de divisão podem ser adicionadas à janela *Waveform* para organizar as formas de onda. No centro da janela *Waveform*, clique com o botão direito do mouse para abrir o menu. Selecione *New Divider* para adicionar uma barra de divisão e entre com o nome da estrutura *top-level*.
5. Repita o passo anterior para cada instância. Arraste a barra de divisão para separar os sinais de cada instância adequadamente.
6. Selecione o menu *Run > Restart* para retornar a simulação para o início e então selecione *Run all* para completar a nova simulação. As formas de onda são mostradas na figura.

