

# **ELE 8575**

## **Hardware**

### **Tópicos abordados**

Gerador de Clock 8224

Modo mínimo 8088

Demultiplexação de endereço

Static-RAM (SRAM), EPROM

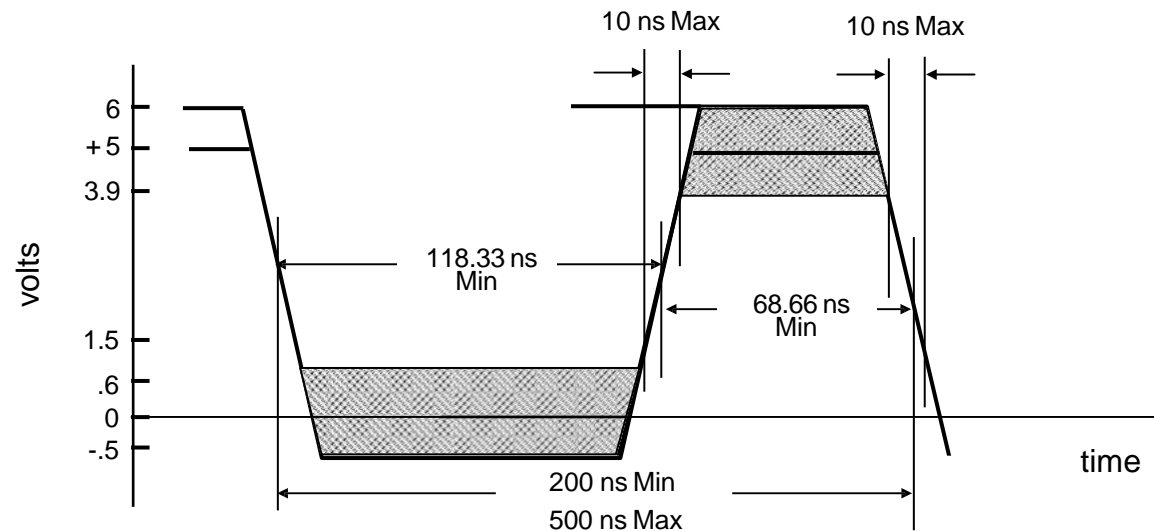
Carta de Temporização de barramento

Caracterização dos ciclos de barramento (de T1 a T4)

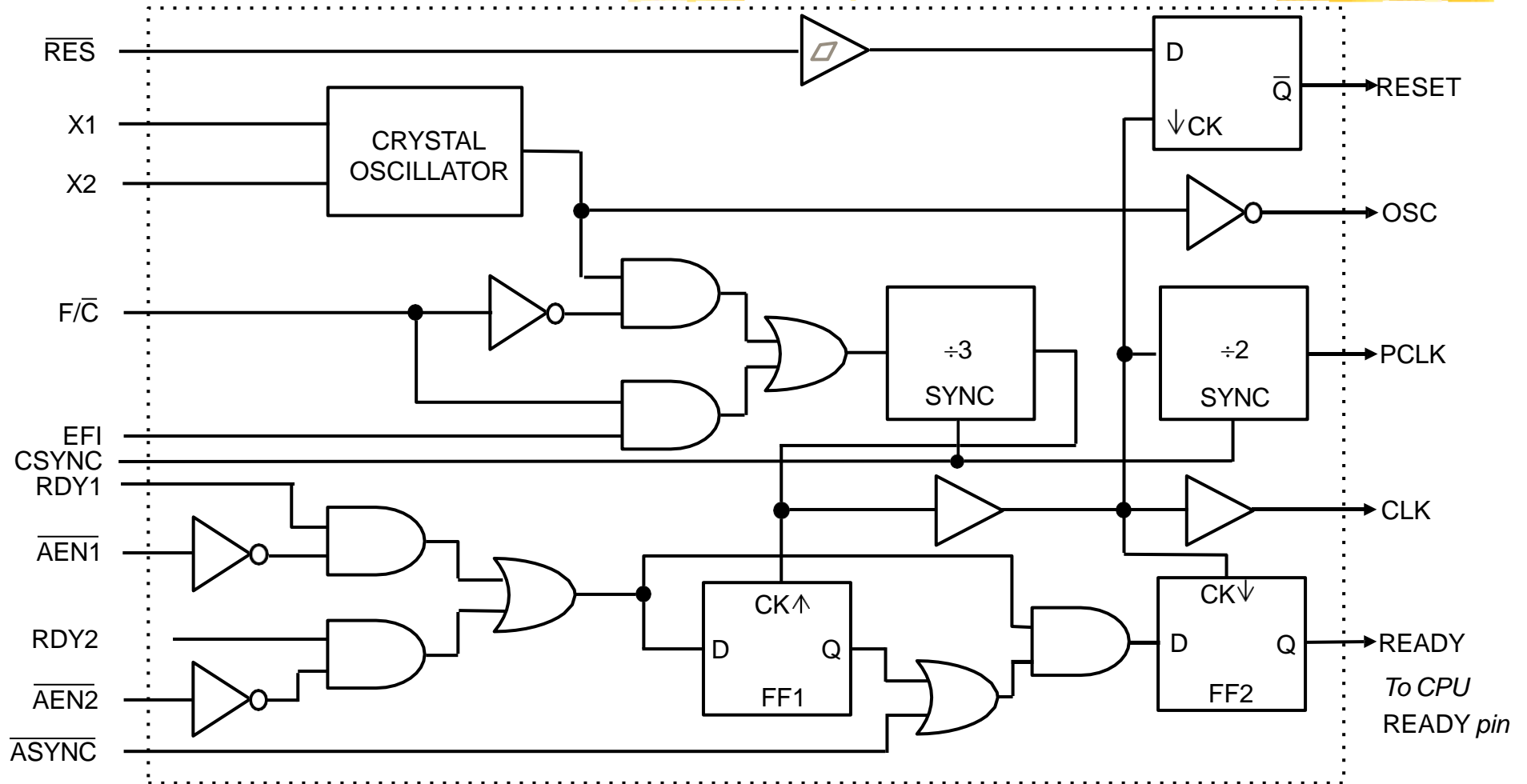
# 8284 Clock Generator

8284 é um circuito integrado que gera os sinais **CLOCK**, **READY** e **RESET** necessários no 8088.

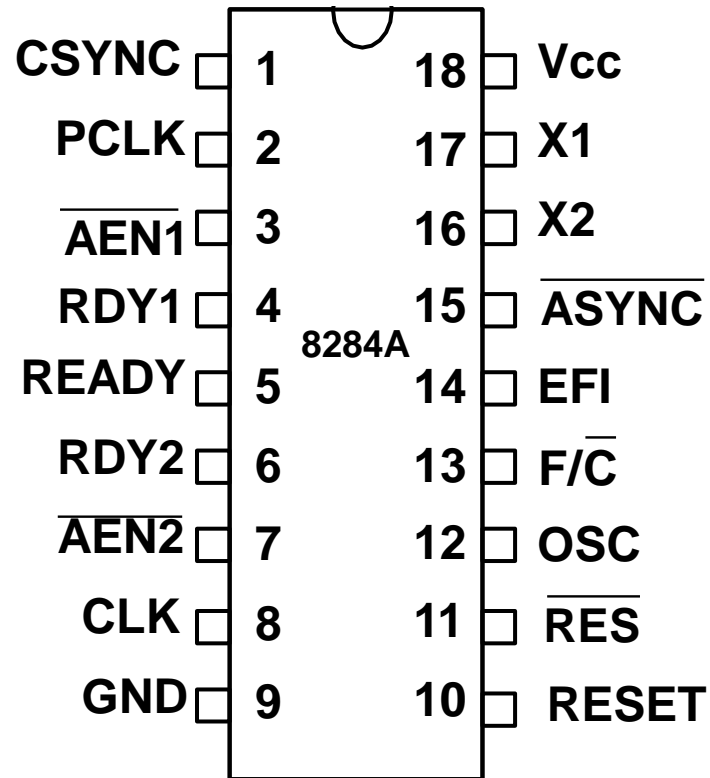
Internamente o 8284 consiste num circuito oscilador (que necessita de um oscilador de cristal externo), divisores, flip-flops, buffers e portas lógicas. A frequência externa do cristal é dividida por 3 para produzir a frequência básica do relógio.



# 8284 Clock Generator



# 8284 Clock Generator



# 8284 Output Pins



**READY** - gera sinal READY para entrada 8088 READY.

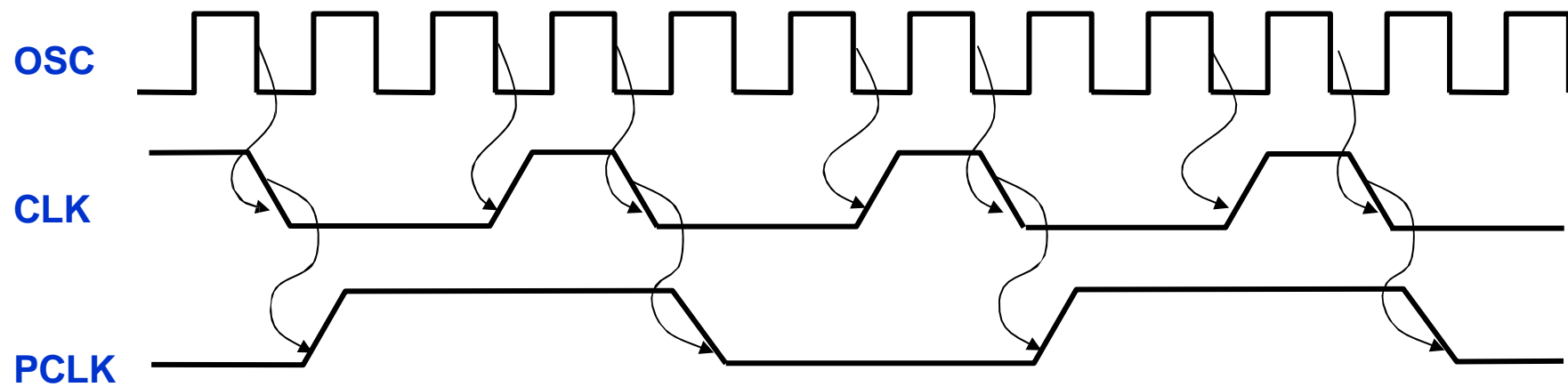
**OSC** - saída do oscilador; fornece uma forma de onda periódica na frequência do cristal. A saída é adequada para a condução da entrada EFI de outro 8284.

**CLK** - clock; produz um onda retangular periódica de 33% do ciclo de funcionamento, que opera a um terço da frequência do EFI ou da frequência do cristal.

**PCLK** - relógio periférico; emite um sinal de relógio que está a metade da frequência da saída principal do CLK. **RESET** - gera uma saída adequada para a entrada de reset 8088.

**RESET** - gera uma saída adequada para a entrada de reset do 8088.

# CLK e PCLK



# 8284 Input Pins

VCC, GND - power supply

RDY1 and RDY2 - *bus ready*,

AEN1, AEN2 - *address enable* (para RDY1 e RDY2, respectivamente)

$\overline{\text{ASYNC}}$  - *ready synchronization select* (seleciona 1 ou 2 estágios de sincronização para RDY1 e RDY2).

X1, X2 – conexão de um cristal externo

EFI - *external frequency input* (entrada de um sinal de clock externo)

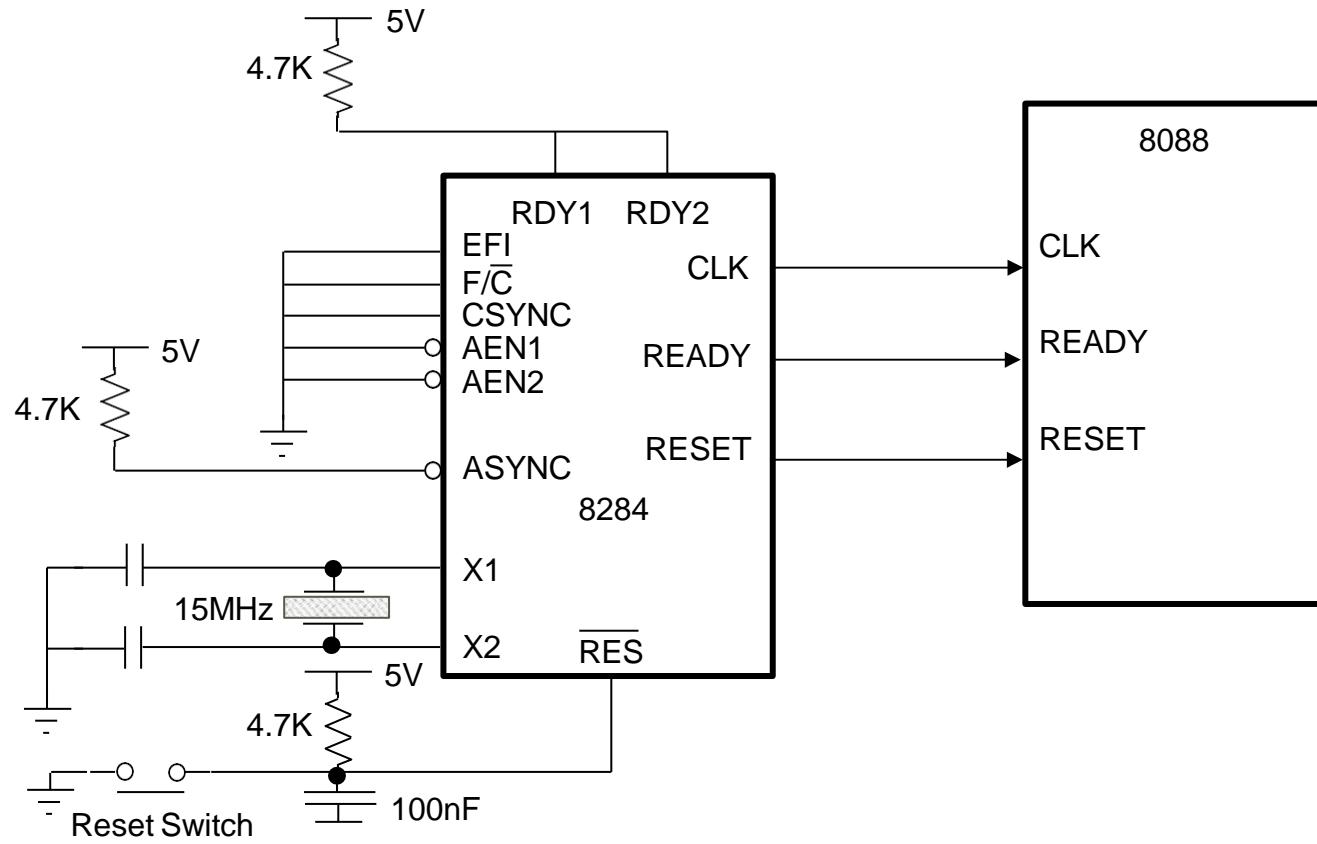
F/C - *frequency/crystal* (seleciona oscilador a cristal ou EFI)

CSYNC - *clock synchronization* usado para aplicações de multiprocessamento. CSYNC=GND para cristal externo,

$\overline{\text{RES}}$  - *reset input*

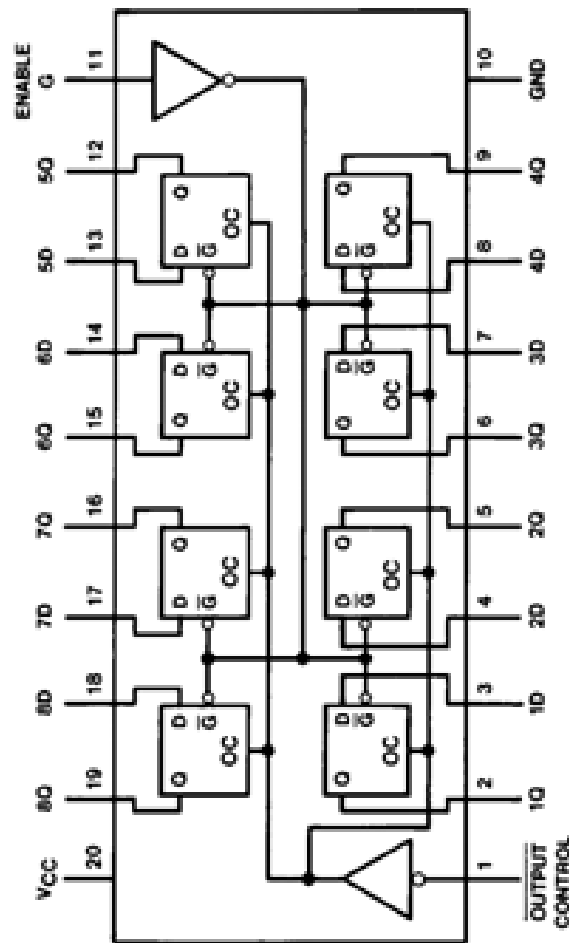
# Uso do 8284

- O 8284 pode ser utilizado para gerar o clock como se mostra abaixo:

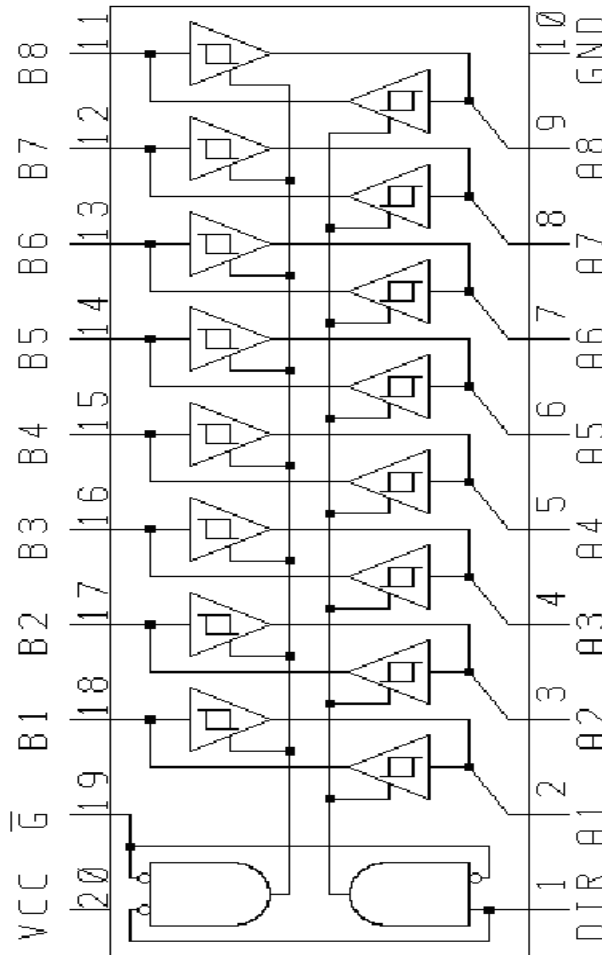




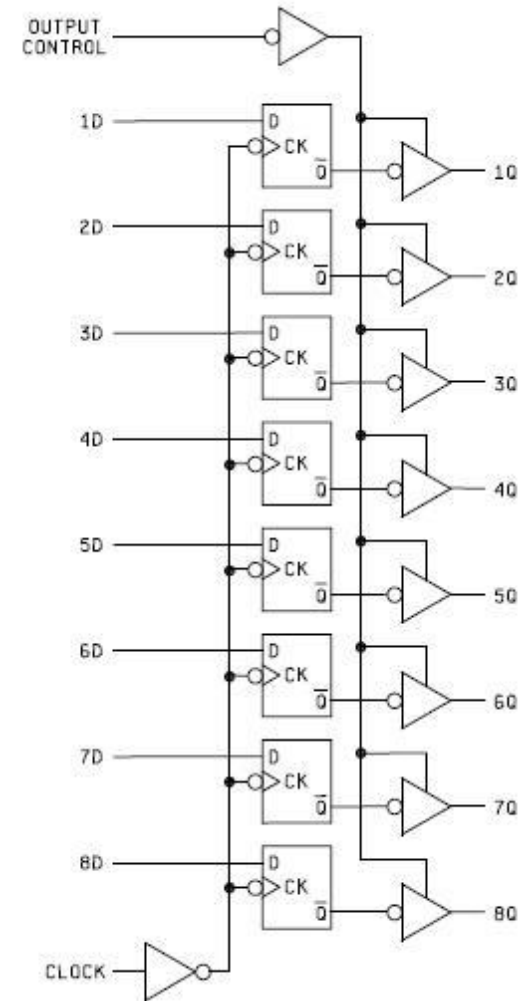
# Latches, buffers 3 estados e Flip-Flops edge-triggered



74373 (Latch)

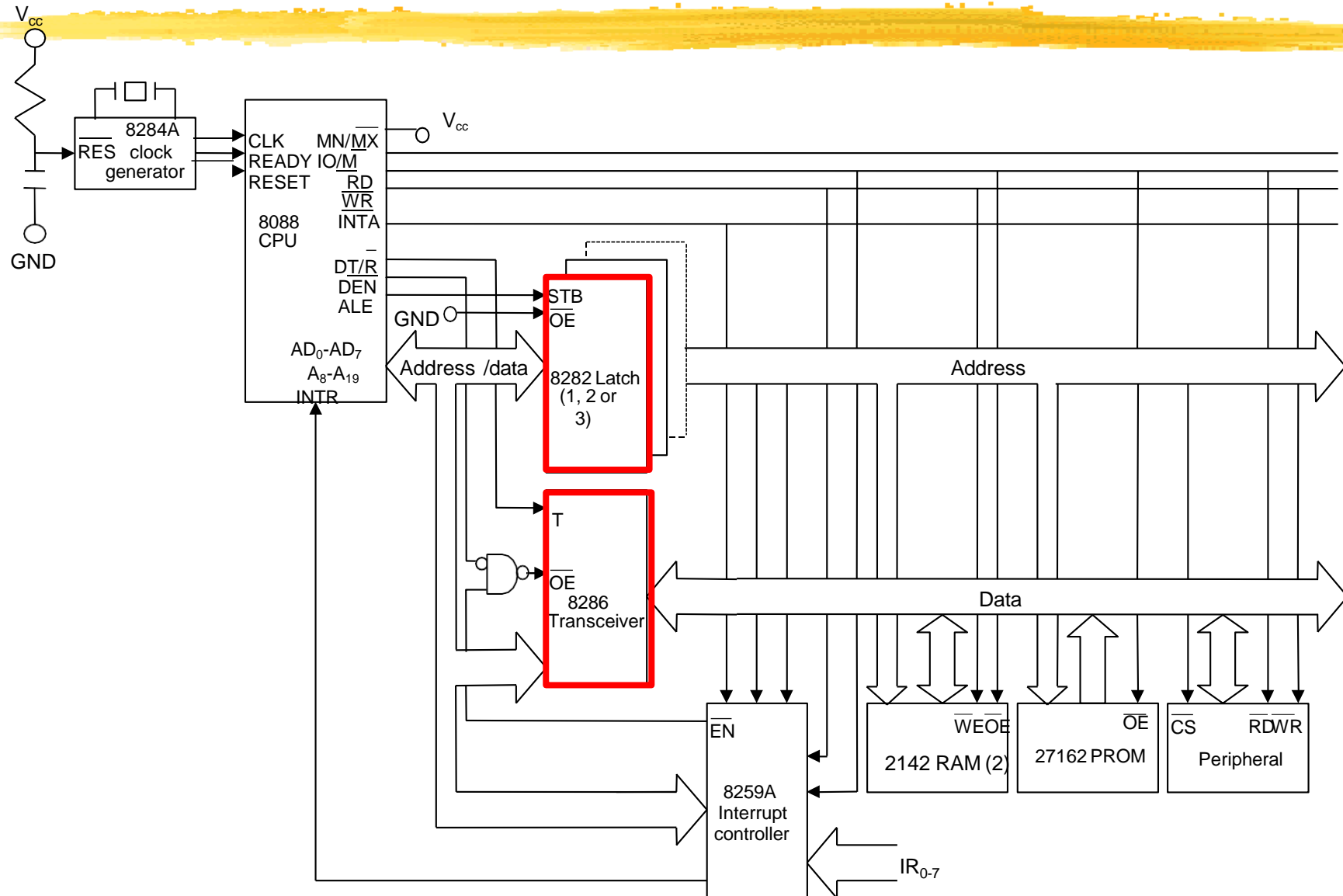


74245 (Buffer tipo  
Schmidt Trigger - 3  
estados)



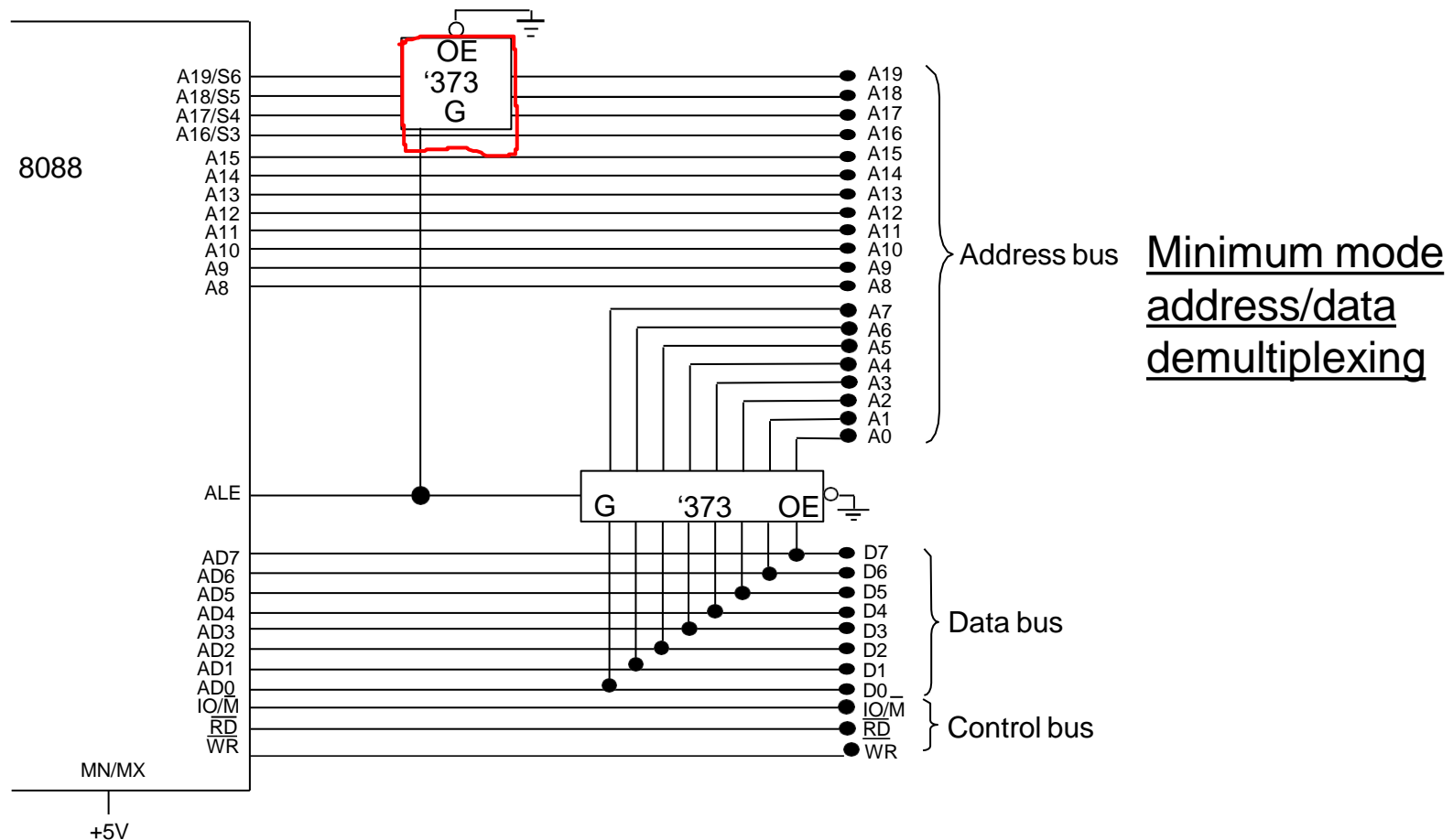
74374 (Flip-Flop D  
disparado pela borda de  
subida)

# Modo Mínimo



# Demultiplexing the Address and Data Bus on 8088

- Dois **latches D** (74LS373) são usados para demultiplexação
- **ALE** indica quando o endereço está em AD0-AD7.



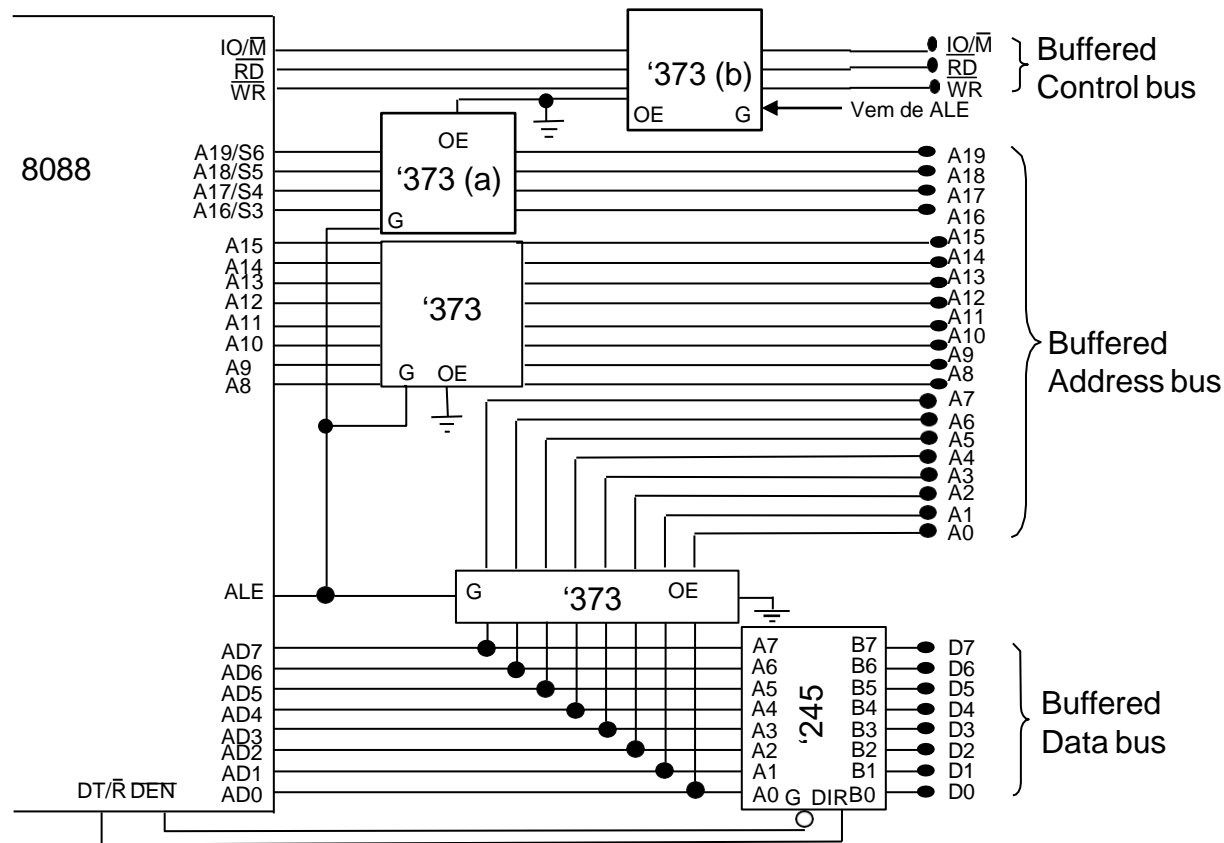
# Necessidade do uso de Latches



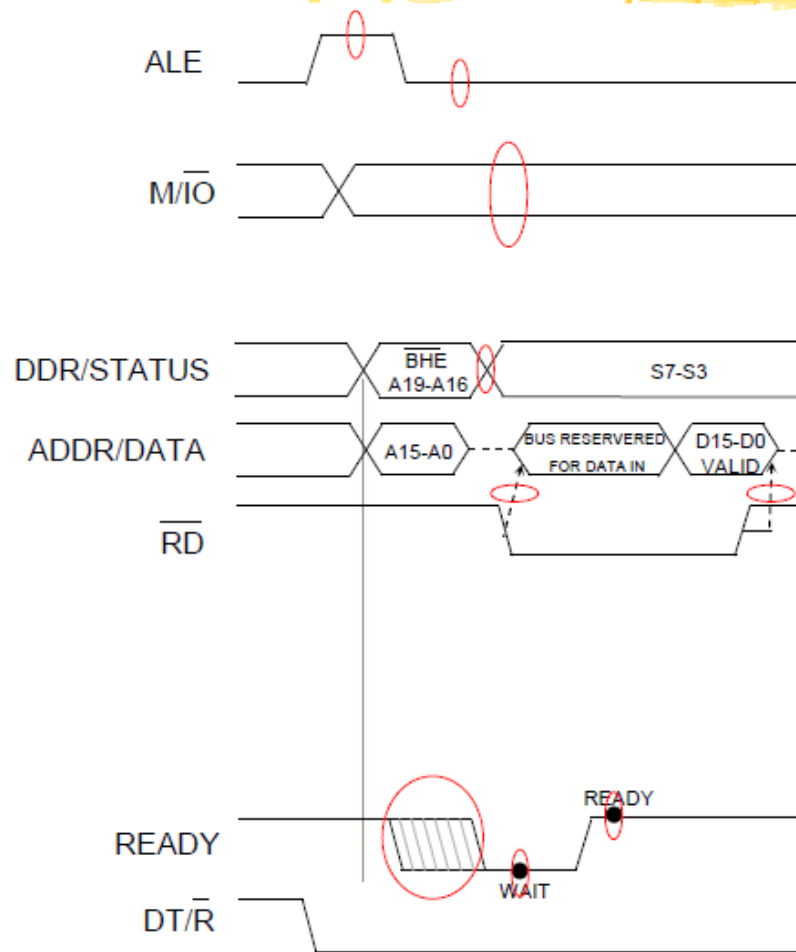
O endereço e o bus de dados do 8088 são multiplexados em pinos AD0 a AD7. As informações de endereço estão contidas em AD0-AD7 apenas quando ALE="1".

Os latches externos são necessários para armazenar a informação de endereçamento antes de AD0-AD7 mudar para dados.

# 8088 com latches em todas suas linhas



# Leitura de Diagrama de tempo



: level represents logic high ("1") or low ("0")

: two lines represent it logic can be either high ("1") or low ("0")

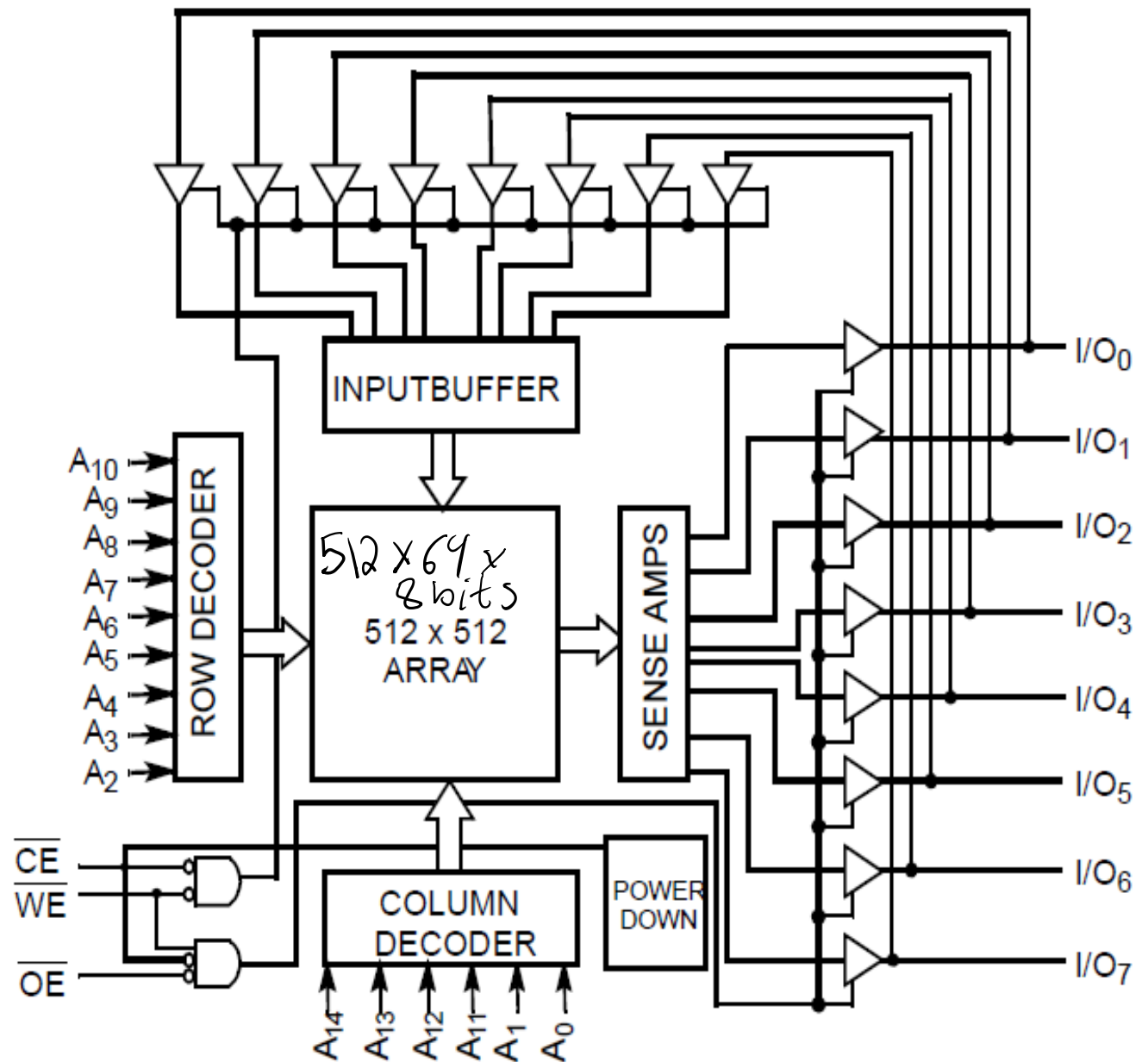
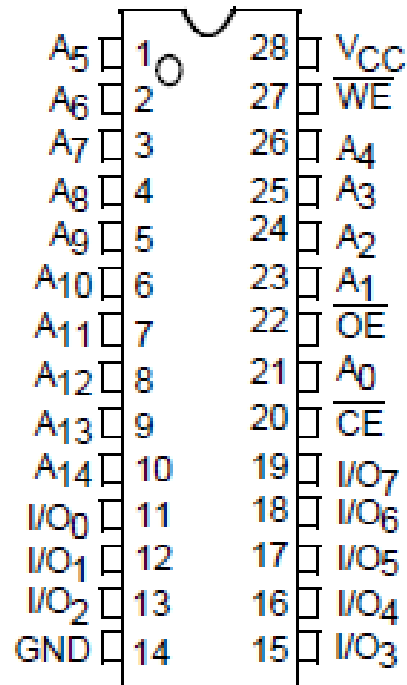
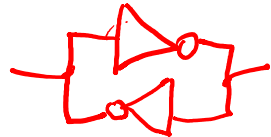
: two lines crossover represent the logic can be changed at this instant

: the arrow usually means the event at the arrow tail will trigger the event at the arrow head

: multiple falling edges mean the READY signal may go low at these possible instants

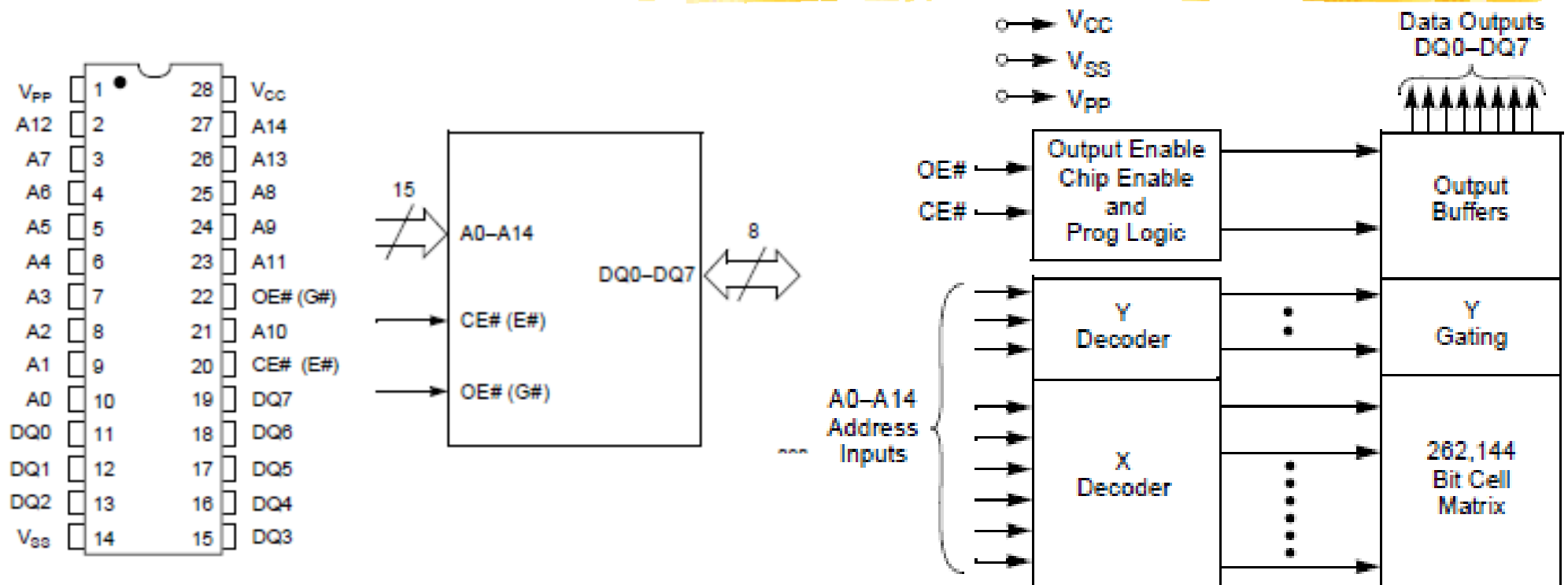
: mean READY signal shall go low before the "WAIT" point to create a Wait state; and shall go high before the "READY" point to go back to T3 state. (refer to page 35)

# Exemplo de uma SRAM - Static RAM



# Exemplo de uma EPROM (CMOS)

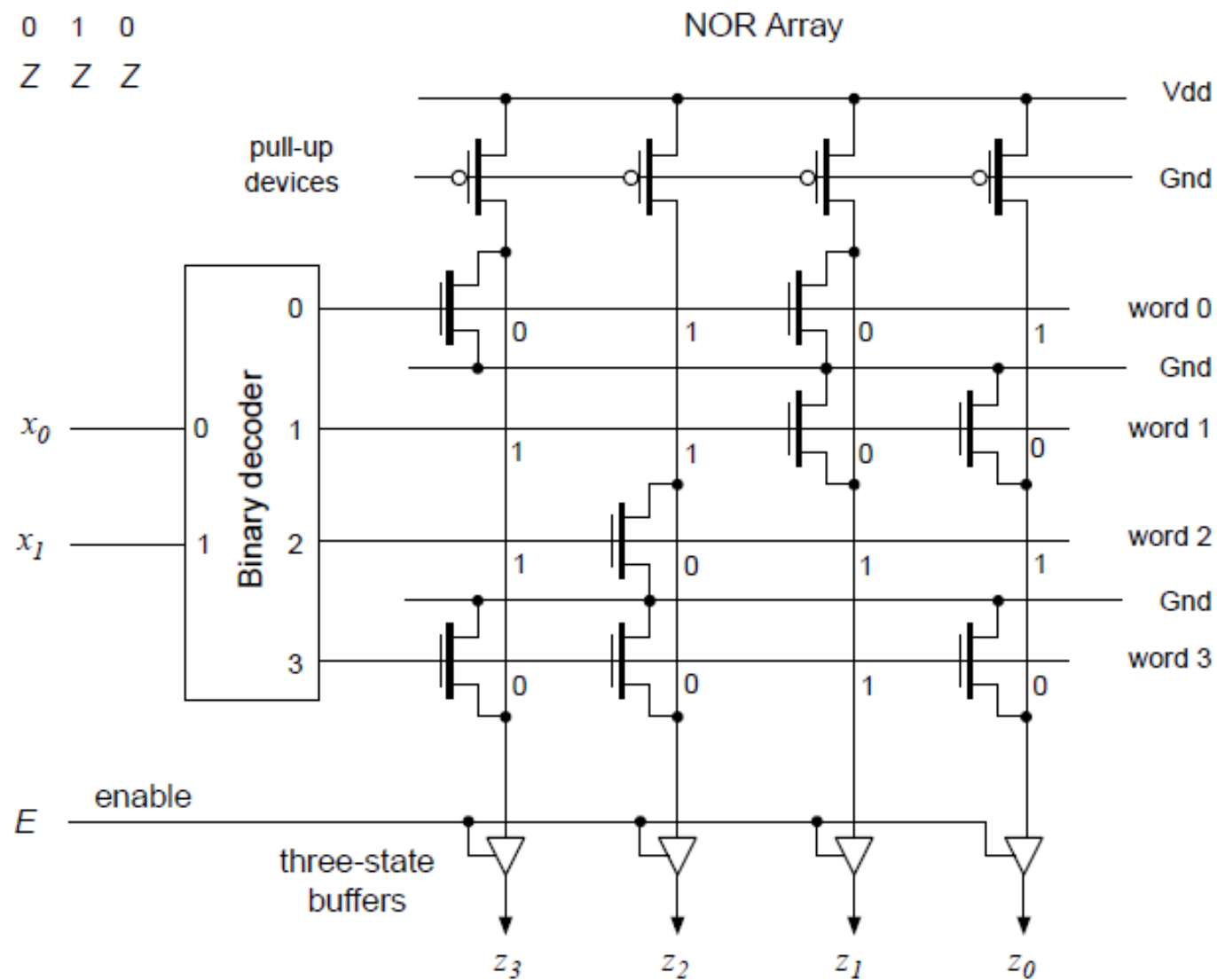
## 32K x 8-bit (Am27C256)






$E$	$x_1$	$x_0$	$z_3$	$z_2$	$z_1$	$z_0$
1	0	0	0	1	0	1
1	0	1	1	1	0	0
1	1	0	1	0	1	1
1	1	1	0	0	1	0
0	-	-	Z	Z	Z	Z

(a)



# Diagrama de temporização de barramento



Para transferir dados sem erros no barramento do sistema, os sinais devem mudar e manter os valores dentro de um determinado período de tempo num ciclo de barramento (*bus cycle*).

Fisicamente, um barramento é feito por um conjunto de condutores ou trilhas na placa de circuito impresso. Estes têm indutância e capacitância distribuídas que tendem a distorcer as formas de onda do sinal, uma vez que são sinais de onda quadrada e não sinusoidais .

Barramentos muito longos geram clock skew que se caracteriza por um atraso nos sinais transmitidos fazendo com que o sinal de *clock* fique ligeiramente fora de fase com o *clock* do microprocessador)

Os tempos de subida (*rise-time*), tempos de descida (*fall-time*) e a duração dos sinais devem estar dentro das especificações do dispositivo ou microprocessador - caso contrário, ocorrerão erros na transferência de dados. A folha de dados (*datasheet*) do fabricante contém informações importantes sobre os requisitos de tempo que podem ser bastante exigentes.

# Caracterização dos ciclos de barramento (de T1 a T4)

- T1** - início do ciclo de barramento. As ações incluem a definição de sinais de controle (ou linhas de estado S0-S2) para gerar os valores necessários para ALE,  $\overline{DT/R}$  e  $\overline{IO/M}$ , e a colocação de um endereço válido no barramento de endereço.
- T2** - os sinais  $\overline{RD}$  ou  $\overline{WR}$  são gerados, o  $\overline{DEN}$  é ativado e, no caso de uma escrita, os dados são colocados no barramento de dados. O  $\overline{DEN}$  liga os buffers do barramento de dados para conectar o  $\mu P$  ao barramento de dados externo. A entrada READY do  $\mu P$  é amostrada no final do T2. Se READY for baixo, um estado de espera  $T_w$  (um ou mais) é inserido antes de T3 começar.

# Caracterização dos ciclos de barramento (de T1 a T4)

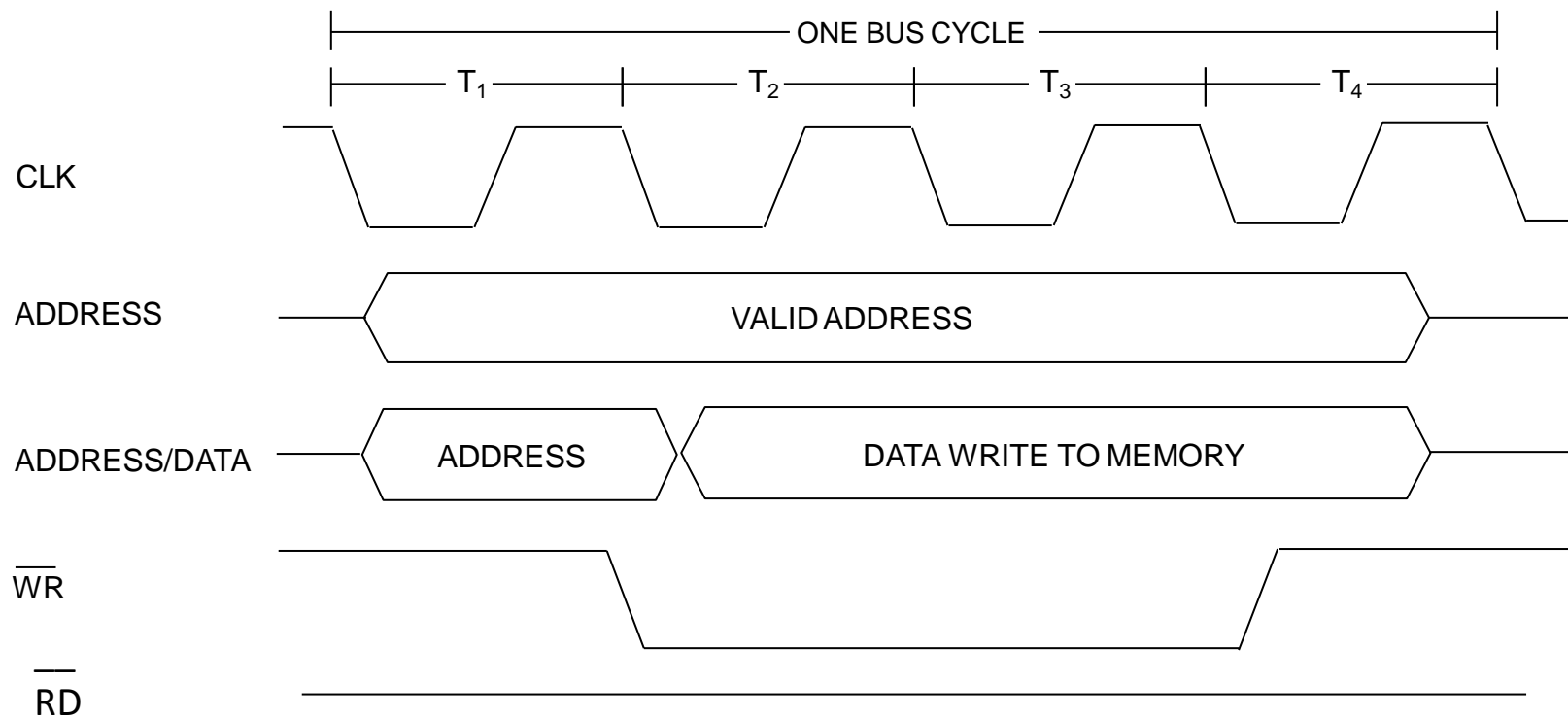
- T3** - este período de relógio é fornecido para permitir o acesso da memória aos dados. Se o ciclo do barramento for um ciclo de leitura, o barramento de dados é amostrado no final de T3.
- T4** - todos os sinais de barramento são desativados em preparação para o próximo ciclo do relógio. O 8088 também termina a amostragem dos dados (num ciclo de leitura) neste período. Para o ciclo de escrita, o borda de subida do sinal  $\overline{WR}$  transfere dados para a memória ou I/O, que ativa e escreve quando o  $\overline{WR}$  retorna ao nível lógico 1 (desativado).

# 8088: Temporização de barramento (CICLO DE ESCRITA)




- O acesso à memória e E/S funciona em ciclos de barramento ou *bus cycles*. Os ciclos de barramento são períodos de tempo iguais a quatro períodos de relógio do sistema (1 período de relógio é muitas vezes chamado de ESTADO T). Por exemplo, se o 8088 funciona a 5MHz, a taxa de ciclo do barramento é de 5/4 MHz (que, nesse caso, é a taxa máxima de transferência de dados).
- Os passos básicos do CICLO DE ESCRITA (simplificadamente) :
  1. Colocar o endereço de memória no barramento de endereços (T1);
  2. Colocar o sinal de memória de escrita ( $\overline{WR}$ ) (T2-T3);
  3. No início de T4, faz-se  $\overline{WR} = '1'$ , finalizando o processo de escrita.

# 8088: Temporização de barramento (CICLO DE ESCRITA)



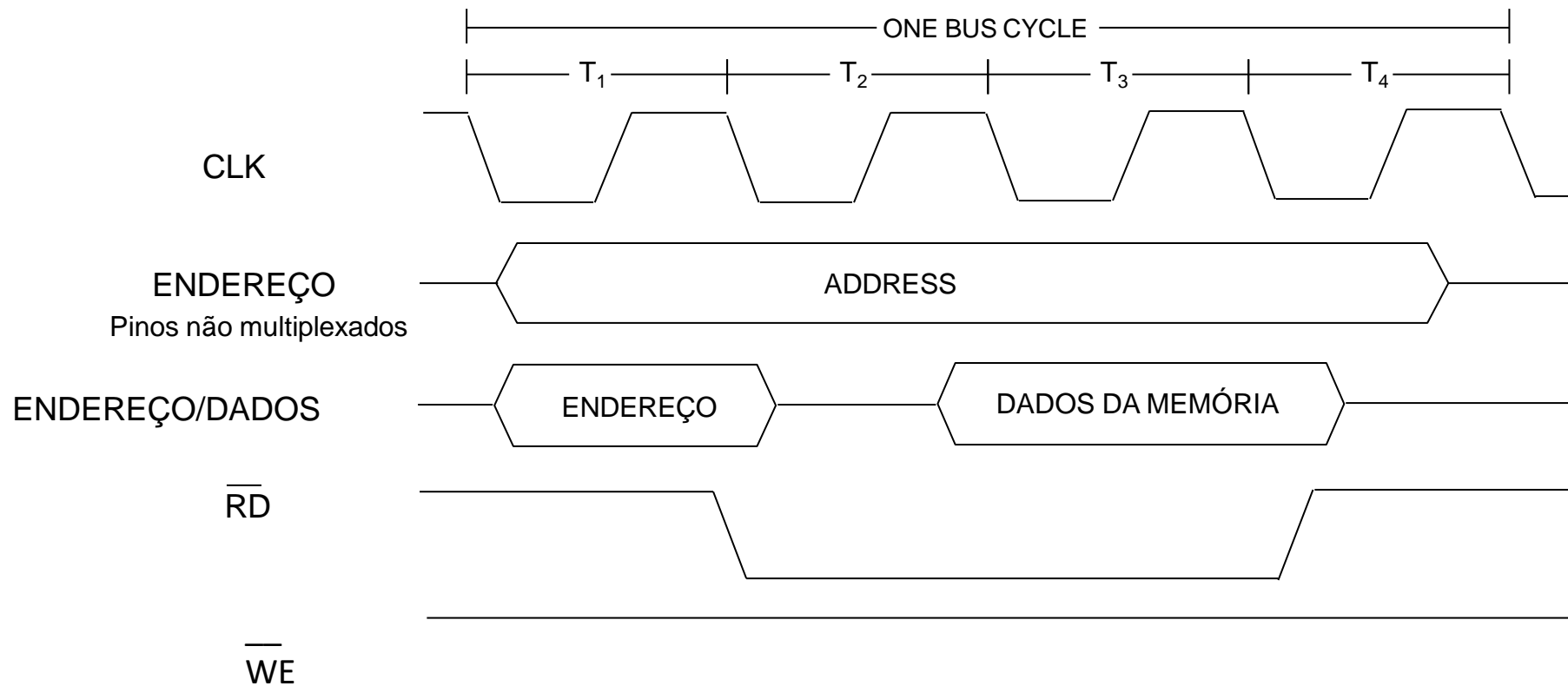
# 8088: Temporização de barramento (CICLO DE LEITURA)



- O acesso à memória e E/S funciona em ciclos de barramento ou *bus cycles*. Os ciclos de barramento são períodos de tempo iguais a quatro períodos de relógio do sistema (1 período de relógio é muitas vezes chamado de ESTADO T). Por exemplo, se o 8088 funciona a 5MHz, a taxa de ciclo do barramento (que, nesse caso, é a taxa máxima de transferência de dados) é de 5/4 MHz.
- Os passos básicos do CICLO DE LEITURA (simplificadamente) :
  1. Colocar o endereço de memória no barramento de endereços (T1);
  2. Colocar o sinal de memória de leitura ( $\overline{RD}$ ) (T2-T3);
  3. Ler os dados colocados por um dispositivo de E/S ou uma memória de dados (T3).

# 8088: Temporização de barramento (CICLO DE LEITURA)

Ciclo de leitura simplificado do 8088





# Carta de temporização 8086 mais completa

