

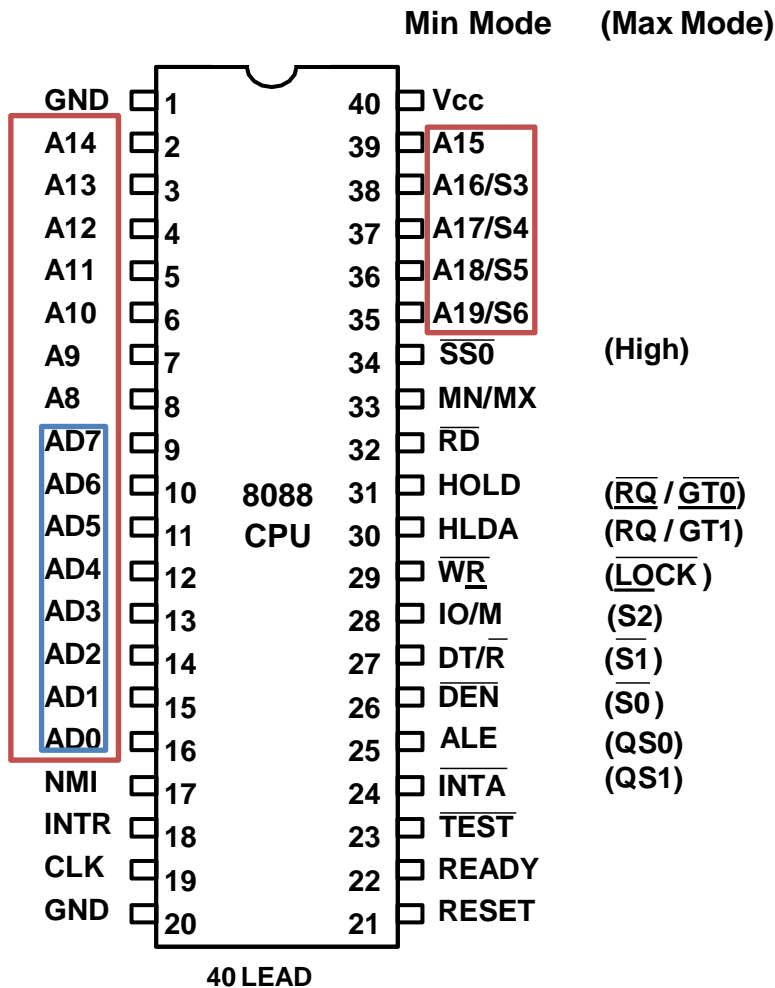
# **ELE 8575**

## **Hardware**



**Tópicos abordados:**  
**Pinagem e peculiaridades**  
**Modo máximo x modo mínimo**  
**Sistema típico**

# Disposição dos pinos do 8088



- 9 pinos têm funções que dependem de  $\overline{MN}/\overline{MX}$  :

$\overline{MN}/\overline{MX} = \text{high}$  -- 8088 opera no MINIMUM MODE

$\overline{MN}/\overline{MX} = \text{low}$  -- 8088 opera no MAXIMUM MODE

- Minimum mode:** -8088 gera diretamente os sinais de controle necessários para acessar a memória e as portas de E/S (ou I/O).
- Maximum mode:-** Os *chips* de suporte externo são usados para gerar sinais de controle; o processador pode trabalhar em um sistema contendo outros processadores

# Sinais comuns aos modos mínimo e máximo

Common signals		
Name	Function	Type
AD7 – AD0	Address/data bus	Bidirectional, 3-state
A15 – A8	Address bus	Output, 3-state
A19/S6 – A16/S3	Address/status	Output, 3-state
$\overline{\text{MN/MX}}$	Minimum/maximum Mode control	Input
$\overline{\text{RD}}$	Read control	Output, 3-state
$\overline{\text{TEST}}$	Wait on test control	Input
READY	Wait state control	Input
RESET	System reset	Input
NMI	Nomaskable Interrupt request	Input
INTR	Interrupt request	Input
CLK	System clock	Input
V <sub>cc</sub>	+5V	Input
GND	Ground	Input

8088

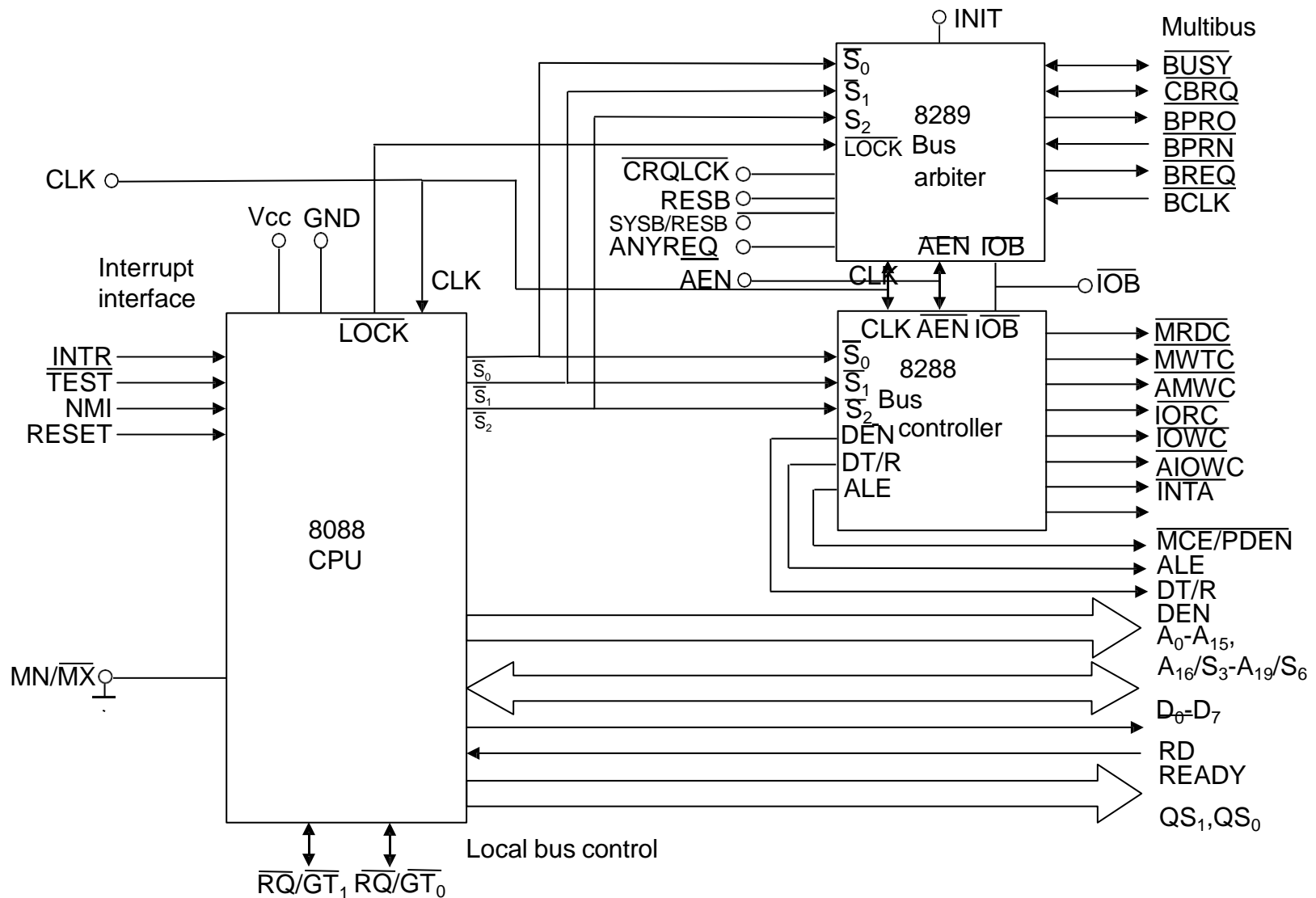
# Sinais somente para Minimum-mode

Minimum mode (MN/ MX = V <sub>CC</sub> )		
Nome	Função	Tipo
HOLD	Hold request	Input
HLDA	Hold acknowledge	Output
$\overline{\text{WR}}$	Write control	Output, 3-state
$\text{IO}/\overline{\text{M}}$	IO/memory control	Output, 3-state
$\text{DT}/\overline{\text{R}}$	Data transmit/receive	Output, 3-state
$\overline{\text{DEN}}$	Data enable	Output, 3-state
$\overline{\text{SSO}}$	Status line	Output, 3-state
ALE	Address latch enable	Output
$\overline{\text{INTA}}$	Interrupt acknowledge	Output

# Sinais somente para Maximum-mode

Maximum mode signals (MN/MX = GND)		
Nome	Função	Tipo
$\overline{RQ}/\overline{GT}_{1,0}$	Request/grant bus access control	Bidirectional
$\overline{LOCK}$	Bus priority lock control	Output, 3-state
$\overline{S2} - \overline{S0}$	Bus cycle status	Output, 3-state
QS1, QS2	Instruction queue status	Output

# 8088 em Maximum-Mode



# 8088 no Maximum-Mode

## Chip 8288: Bus Controller

No modo máximo, o sinal para controlar a memória, E/S e a interface de interrupção é produzido pelo 8288.

$\overline{\text{WR}}$ ,  $\overline{\text{IO/M}}$ ,  $\overline{\text{DT/R}}$ ,  $\overline{\text{DEN}}$ ,  $\overline{\text{ALE}}$ , e  $\overline{\text{INTA}}$  não são mais produzidos pelo 8088, em vez disso 8288 gera os seguintes sinais

$\overline{\text{MRDC}}$  -- memory read command

$\overline{\text{MWTC}}$  -- memory write command

$\overline{\text{AMWC}}$  -- advanced memory write command

$\overline{\text{IORC}}$  -- I/O read command

$\overline{\text{IOWC}}$  -- I/O write command

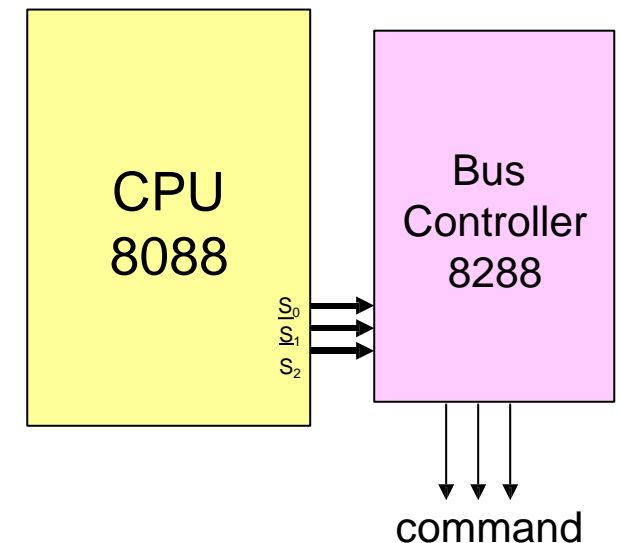
$\overline{\text{AIOWC}}$  -- advanced I/O write command

$\overline{\text{INTA}}$  -- interrupt acknowledge command

# Bus Status Codes – Modo máximo

8288 produz os comandos de acordo com os bits de saída  
 $\overline{S2}$   $\overline{S1}$   $\overline{S0}$  , obtidos a partir do 8088

Status Inputs			CPU Cycle	8288 Command
$\overline{S2}$	$\overline{S1}$	$\overline{S0}$		
0	0	0	Interrupt Acknowledge	$\overline{INTA}$
0	0	1	Read I/O Port	$\overline{IORC}$
0	1	0	Write I/O Port	$\overline{IOWC}, \overline{AIOWC}$
0	1	1	Halt	None
1	0	0	Instruction Fetch	$\overline{MRDC}$
1	0	1	Read Memory	$\overline{MRDC}$
1	1	0	Write Memory	$\overline{MWTC}, \overline{AMWC}$
1	1	1	Passive	None





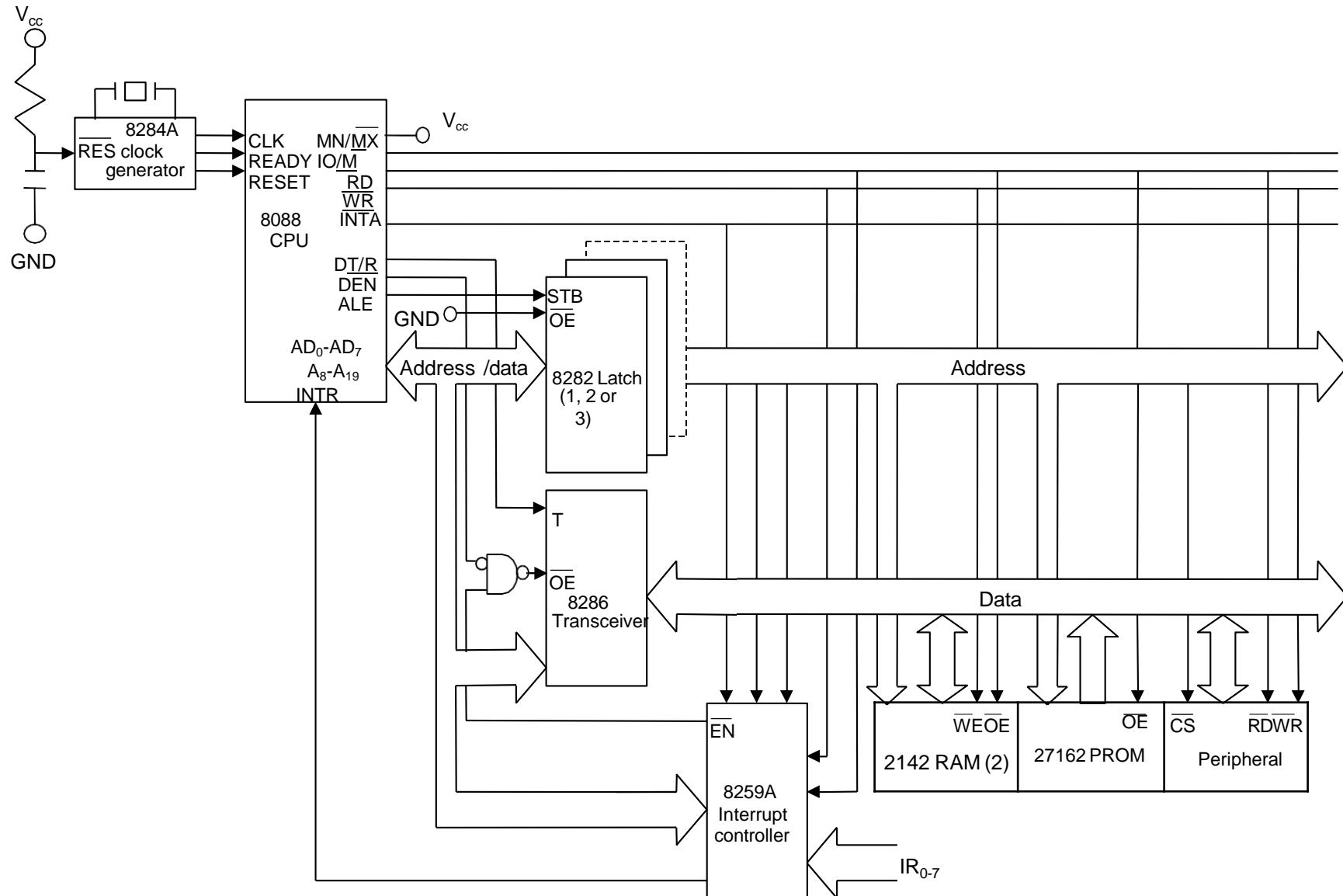
# Queue Status Codes

Dois novos sinais são produzidos pelo 8088 em modo de máximo: QS0 e QS1. O código de dois bits diz ao circuito externo que tipo de informação foi removida da fila de instruções no ciclo anterior.

QS1	QS0	Queue Status
0 (low)	0	No Operation. During the last clock cycle, nothing was taken from the queue.
0	1	First Byte. The byte taken from the queue was the first byte of the instruction.
1 (high)	0	Queue Empty. The queue has been reinitialized as a result of the execution of a transfer instruction.
1	1	Subsequent Byte. The byte taken from the queue was a subsequent byte of the instruction.

**(maximum-mode)**

# Sistema típico Minimum Mode



# Pinos do 8088 e suas funções

Os pinos do 8088 podem ser agrupados nas nove categorias seguintes:

## 1. Power Supply e Clock (VCC, GND e CLK)

VCC=5 volts (5 ou 10% tolerância)

CLK A entrada precisa de uma forma de onda retangular periódica com tempos de subida e descida inferiores a 10ns.

## 2. Minimum/Maximum Mode

Minimum mode : quando  $(\overline{MN}/\overline{MX}) = +5V$

# Pinos do 8088 e suas funções

## 3. Status ( $\overline{S0}$ , $\overline{S1}$ , e $\overline{S2}$ ) – Somente maximum-mode

Os pinos de status são saídas que são usadas pelo controlador de barramento 8288 para gerar sinais de controle de acordo com a tabela a seguir:

S2	S1	S0	Ação
0	0	0	Interrupt acknowledge (INTA)
0	0	1	I/O read
0	1	0	I/O write
0	1	1	HALT
1	0	0	Code access (fetching instruction)
1	0	1	Memory read
1	1	0	Memory write
1	1	1	Passive state (not used)

# Pinos do 8088 e suas funções

## 4. Bus Master (HOLD, HLDA, $\overline{\text{RQ/GT0}}$ , $\overline{\text{RQ/GT1}}$ and $\overline{\text{LOCK}}$ )

O controle do barramento local é transferido para outros dispositivos com a ajuda dos seguintes sinais:

- Modo Mínimo - HOLD e HLDA
- Maximum Mode - request/grant ( $\overline{\text{RQ/GT0}}$ ,  $\overline{\text{RQ/GT1}}$ ) and  $\overline{\text{LOCK}}$

**HOLD** é uma entrada (modo mínimo) que diz ao processador para suspender as operações e permitir que outros dispositivos acessem o barramento do sistema. A execução do programa só é retomada quando  $\text{HOLD}=0$ .

**HLDA** (hold acknowledge) é uma saída que informa a outros dispositivos do sistema que o 8088 está em um estado HOLD. Quando outro dispositivo quer acessar o barramento, ele espera por  $\text{HLDA}=1$ .

# Pinos do 8088 e suas funções

## 4. Bus Master pins (cont.) (HOLD, HLDA, $\overline{\text{RQ/GT0}}$ , $\overline{\text{RQ/GT1}}$ e $\overline{\text{LOCK}}$ )

*Request and Grant pins* ( $\overline{\text{RQ/GT0}}$  e  $\overline{\text{RQ/GT1}}$ ) são usados somente no modo máximo e funcionam tanto como entradas (para aceitar pedidos) quanto como saídas (para conceder pedidos). Quando outro dispositivo quer se tornar o BUS MASTER, ele emite uma solicitação puxando um dos pinos de solicitação para o N.L. 0 por um ciclo de relógio. Depois que uma solicitação é recebida, o 8088 entra em um estado HOLD e envia um sinal de concessão no mesmo pino.  $\overline{\text{RQ/GT0}}$  é mais prioritário que o  $\overline{\text{RQ/GT1}}$ .

$\overline{\text{LOCK}}$  é um pino de saída no modo máximo e informa outros dispositivos que eles não podem assumir o barramento.

# Pinos do 8088 e suas funções

## 5. Pinos ligados à interrupção de hardware (NMI, INTR and INTA)

- Os pinos de entrada NMI (*nonaskable interrupt* ou interrupção não-mascarável) e INTR (pedido de interrupção) estão presentes em ambos os modos.
- O NMI é uma entrada que, na presença de uma borda ascendente, dispara uma interrupção que não pode ser desativada. Cada interrupção tem um código associado e a NMI gera a interrupção número 2.
- A INTR é uma entrada que, quando em N.L. 1, indica ao  $\mu P$  uma solicitação de interrupção feita por um dispositivo externo. Desde que a *flag* de interrupção no registro FLAGS esteja habilitada, o processador responderá à solicitação de interrupção da mesma forma que processa uma instrução INT do software. Ou seja, os atendimentos de pedidos de interrupção por INTR podem ser bloqueados por software.
- O pino de saída INTA (*interrupt acknowledge*) informa ao dispositivo que gerou uma INTR se o pedido de interrupção sera aceito (N.L. 0) ou não (N.L.1).

# Pinos do 8088 e suas funções

## 6. RESET

Uma entrada que inicializa o processador. Após um RESET, o processador lê o local de memória FFFF0h em busca de uma instrução.

## 7. Bus control pins

- Constitui-se por ser um grupo de 7 pinos que geram os sinais de controle para a transferência de dados de e para o barramento de dados e de endereços no modo mínimo. No modo máximo apenas dois (RD e READY) destas 7 funções estão disponíveis diretamente (os outros sinais de protocolo do barramento são gerados a partir dos pinos de status).
- Os sete pinos neste grupo incluem: READY - uma entrada para informar ao processador que a memória ou porta de E/S selecionada está pronta para completar uma operação de leitura ou gravação. Enquanto READY não for ativado, estados de espera são adicionados (por exemplo, para memória lenta).



# Pinos do 8088 e suas funções

## 7. Bus control pins (cont.)

RD (read) - saída que indica que o processador está realizando operação de leitura a partir da memória ou de uma porta de E/S.

ALE (addressing latch enable) - uma saída para demultiplexar os pinos de endereço/dados. Quando a  $ALE=1$ , as informações de endereço estão sendo enviadas.

DEN (data enable) - uma saída usada com um buffer tristate externo para desconectar os pinos de dados do processador do barramento de dados. (Quando  $DEN=0$  os dados do  $\mu P$  aparecem no barramento.

DT/ $\bar{R}$  (*data transmit/receive*) - saída que indica o sentido do fluxo de dados

WR (*write*) – saída que indica quando o  $\mu P$  está escrevendo (E/S ou memória)

IO/ $\bar{M}$  - saída que indica se a operação é de memória ou E/S

(8086:  $M/\bar{IO}$  )

# Pinos do 8088 e suas funções

## 8. Address, data pins and address status pins

**AD0-AD7** (*address/data bus pins*) – pinos que multiplexam tanto informações de endereço como dados em diferentes momentos do ciclo do barramento. Normalmente uma *latch* externo armazena as informações de endereço destes pinos antes que os pinos sejam trocados para transportar os dados. Quando estiverem trafegando dados, tanto os bytes de ordem baixa como alta de uma palavra de dados de 16 bits são transferidos através destes pinos.

**A8-A15** (*address bus pins*) – pinos usados unicamente para especificar um endereço (de memória ou porta de E/S).

**A16/S3-A19/S6** (*address bus or status pins*) – pinos multiplexados que ou levam informações de endereçamento de memória ou informações de status do  $\mu P$ . Quando for status, S6 está sempre = 0. S5 descreve o estado da *flag* de interrupção no registro FLAGS. S4 e S3 descrevem o registro de segmento que está sendo usado para gerar o endereço físico que foi emitido no endereço durante o ciclo atual do barramento.

# Pinos do 8088 e suas funções

## 8. Address, data pins and address status pins (cont.)

S4	S3	Segment register
0	0	ES
0	1	SS
1	0	CS or no segment
1	1	DS

Os pinos de endereço A0-A15 especificam um número de porta de E/S de 16 bits e A0-A19 especificam endereço de memória.

## 9. Co-processor aritmético

Os 3 pinos ( $\overline{\text{TEST}}$ , QS0 e QS1) são usados para interações entre o co-processor aritmético 8088 e 8087 de modo a sincronizar o  $\mu\text{P}$  com hardware externo.

# Pinos do 8088 e suas funções

## 9. Coprocessor interaction pins (cont.)

**TEST**: pino de entrada que é testado pela instrução WAIT. Se **TEST** = 0, a instrução WAIT equivale à instrução NOP. Se **TEST** = 1 então a instrução WAIT espera até esse pino trocar de estado (o  $\mu$ P entra num estado ocioso “idle state”). O pino **TEST** é geralmente conectado ao Co-processador aritmético (deve ser conectado à lógica 0 se o 8087 não estiver presente). **NOP** – No Operation: Essa instrução não executa nenhuma operação, mas gasta ciclo de clock.

**QS0** e **QS1** (status da fila): fornecem as informações da fila interna de instrução 8088. Os bits de status da fila indicam o conteúdo da fila interna de instruções de acordo com a tabela a seguir:

QS1	QS0	instruction queue contents
0	0	No operation (queue is idle)
0	1	First byte of an opcode
1	0	Queue is empty
1	1	Subsequent byte of an opcode