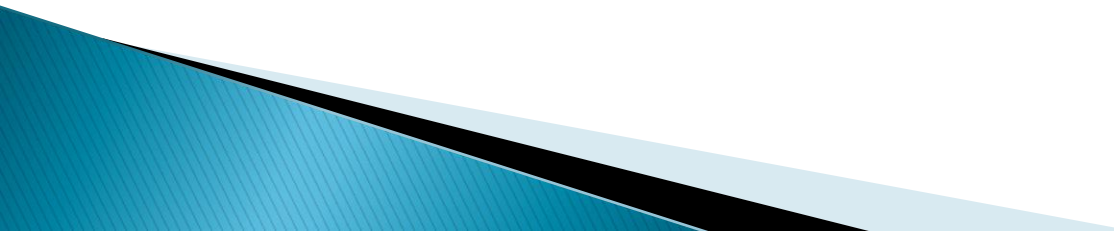


Capítulo 3–Circuitos Sequenciais

Comportamento de um flip-flop não ideal
Profa. Eliete Caldeira

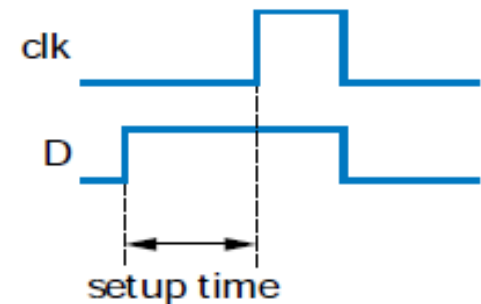
Comportamento de um flip-flop não ideal

- ▶ Metaestabilidade:
 - Surge da incapacidade de observar os chamados tempos de *setup* e de *hold*
 - ▶ Flip-flops reais:
 - São construídos com condutores e portas lógicas
 - Apresentam atrasos de tempo
 - Impõem algumas restrições relativas ao instante em que as entradas dos flip-flops podem mudar de valor em relação à borda de clock
 - O objetivo é assegurar uma operação correta apesar desses atrasos.
- 

Comportamento de um flip-flop não ideal

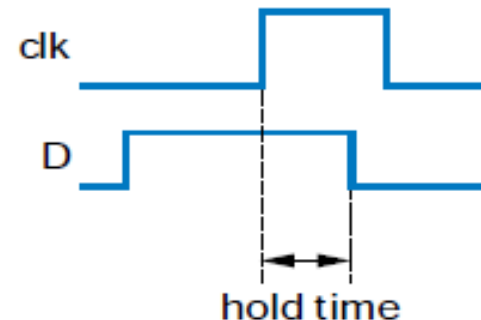
▶ Tempo de *setup*

- As entradas de um flip-flop devem estar estáveis durante um intervalo de tempo mínimo antes da chegada da borda do clock
- Este tempo corresponde ao tempo que os valores de entrada gastam para se propagar através das lógicas combinacionais
- Os valores de entrada devem estar à espera nas entradas das portas lógicas internas antes da chegada do pulso de clock



Comportamento de um flip-flop não ideal

- ▶ Tempo de *hold*
 - Entradas de um flip-flop devem permanecer estáveis por um intervalo de tempo mínimo após a chegada da borda do clock
 - Caso contrário o sinal não tem tempo de se propagar através das portas internas e criar um estado com realimentação estável



Comportamento de um flip-flop não ideal

- ▶ Largura (duração) mínima do pulso de clock:
 - Deve ser suficientemente largo para garantir que os valores corretos possam se propagar através da lógica interna e estabelecer um estado de realimentação estável

Comportamento de um flip-flop não ideal

- ▶ Exemplo: Oscilação gerada por violação do tempo de *setup*

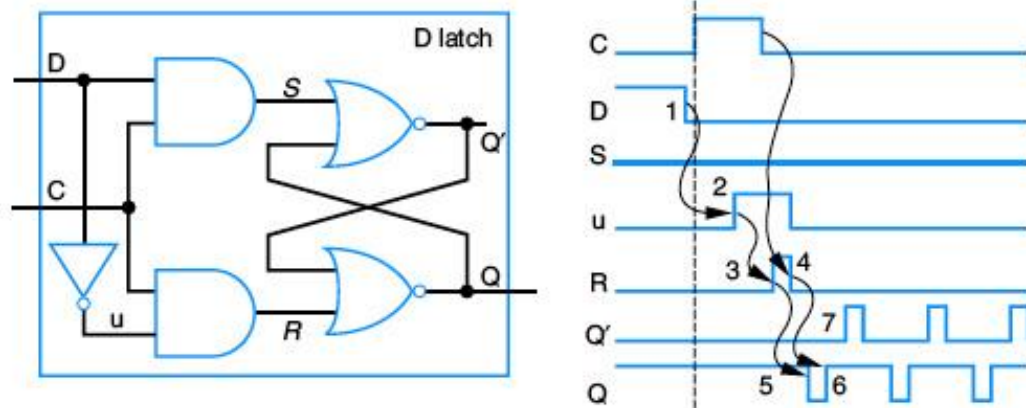


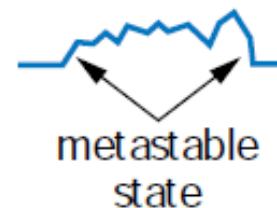
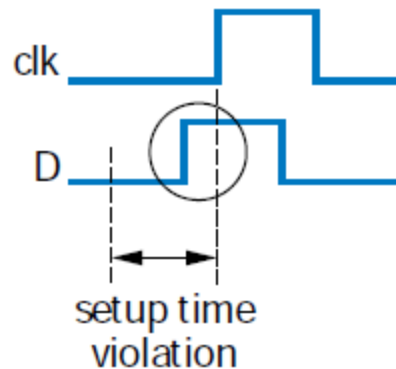
Figure 3.61 Setup time violation: D changed to 0 (1) too close to the rising clock. U changed to 1 after the inverter delay (2), and then R changed to 1 after the AND gate delay (3). But then the clock pulse was over, causing R to change back to 0 (4) before a stable feedback situation with Q=0 occurred in the cross-coupled NOR gates. R's change to 1 did cause Q to change to 0 after the NOR gate delay (5), but R's change back to 0 caused Q to change right back to 1 (6). The glitch of a 0 on Q fed back into the top NOR gate, causing Q' to glitch to 1 (7). That glitch of a 1 fed back to the bottom NOR gate, causing another glitch of a 0 on Q. That glitch runs around the cross-coupled NOR gate circuit (oscillation)—a race condition would eventually cause Q to settle to 1 or 0, or possibly enter a metastable state (to be discussed).

Comportamento de um flip-flop não ideal

- ▶ Um flip-flop vem acompanhado de *datasheet*.
 - Tempos de *setup*, *hold* e as larguras mínimas do pulso de clock

Comportamento de um flip-flop não ideal

- ▶ Se t_{setup} e t_{hold} não são assegurados:
 - flip-flop poderá entrar em estado metaestável
 - Um estado diferente de 0 ou 1
 - Sistema está apenas marginalmente estável
 - Saída com tensão intermediária entre a tensão de um 0 e a de um 1 podendo oscilar um pouco



Comportamento de um flip-flop não ideal

- ▶ Para evitar metaestabilidade
 - Pode-se medir o caminho mais longo
 - E fazer T_{clk} mais longo do que este caminho
- ▶ Por que ainda ocorre violação dos tempos de *setup* e *hold*?
- ▶ **O problema são as entradas externas**
 - Não se pode controlar quando essas entradas irão mudar de valor
 - Elas poderão violar os tempos de *setup* e *hold*
- ▶ A metaestabilidade é basicamente um problema que ocorre quando um flip-flop tem entradas assíncronas

Comportamento de um flip-flop não ideal

- ▶ **Entradas externas – solução parcial**
 - Sincronizar a entrada assíncrona de um circuito com o seu clock
- ▶ **Sincronização:**
 - Alimentar um único flip-flop D com a entrada assíncrona e então usar a saída desse flip-flop sempre que a entrada for necessária
 - A entrada assíncrona afetará apenas um flip-flop diretamente

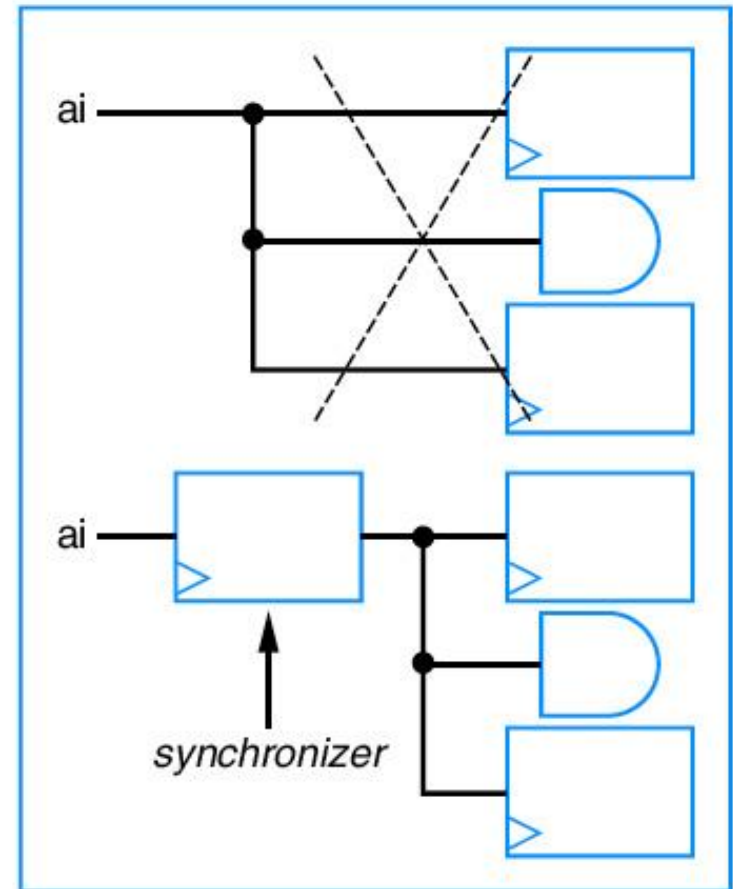


Figure 3.62 Feeding asynchronous external inputs into a single flip-flop can reduce metastability problems.

Comportamento de um flip-flop não ideal

- ▶ Metaestabilidade pode continuar ocorrendo...
- ▶ Podemos escolher um flip-flop de sincronização que minimize o problema da metaestabilidade:
 - Extremamente rápido e/ou
 - Com tempos de *setup* e *hold* muito pequenos e/ou
 - Com circuitos especiais para minimizar a metaestabilidade

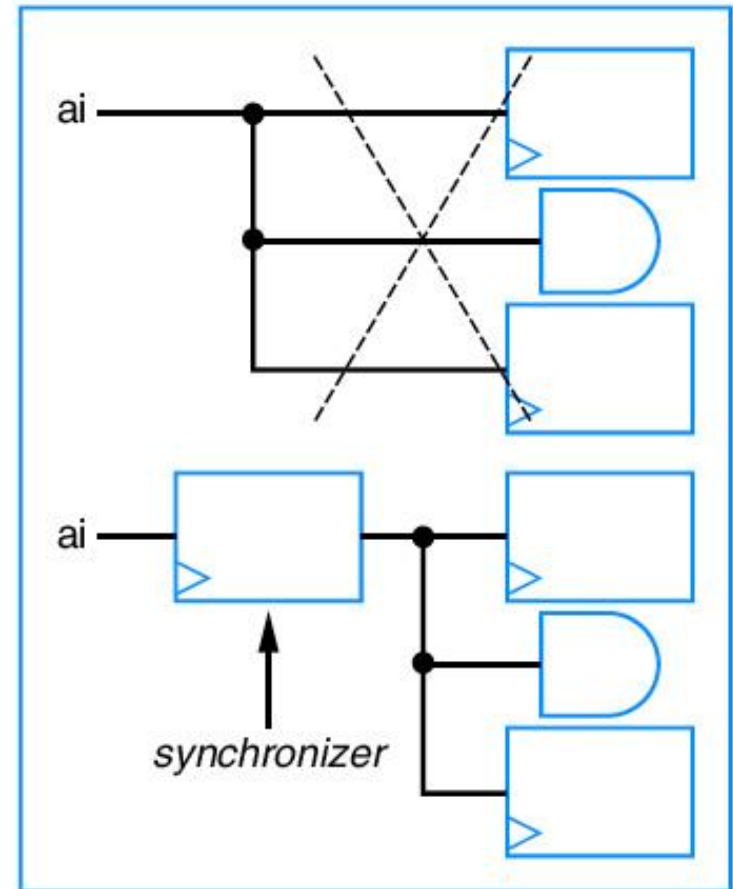


Figure 3.62 Feeding asynchronous external inputs into a single flip-flop can reduce metastability problems.

Comportamento de um flip-flop não ideal

- ▶ Metaestabilidade ainda continuará ocorrendo no flip-flop de sincronização.
- ▶ Mas...
 - A probabilidade é reduzida
 - E tipicamente, o flip-flop não permanece em metaestabilidade por muito tempo

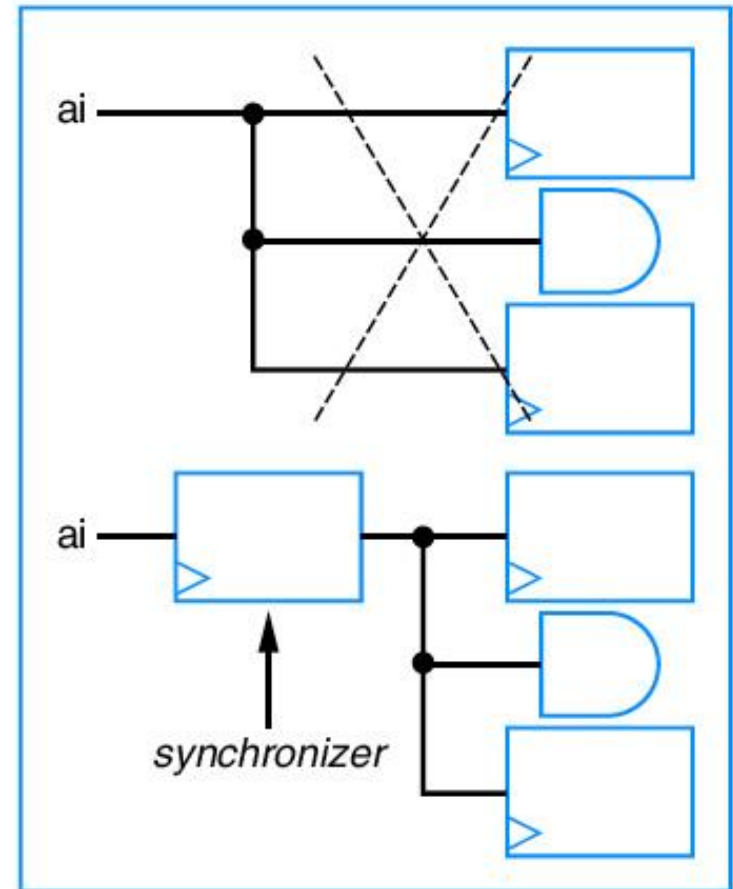


Figure 3.62 Feeding asynchronous external inputs into a single flip-flop can reduce metastability problems.

Comportamento de um flip-flop não ideal

- ▶ Assim pode-se melhorar o circuito introduzindo mais um ou dois flip-flops de sincronização
- ▶ Desvantagem:
 - Atrasar em diversos ciclos as alterações que ocorrem no sinal de entrada

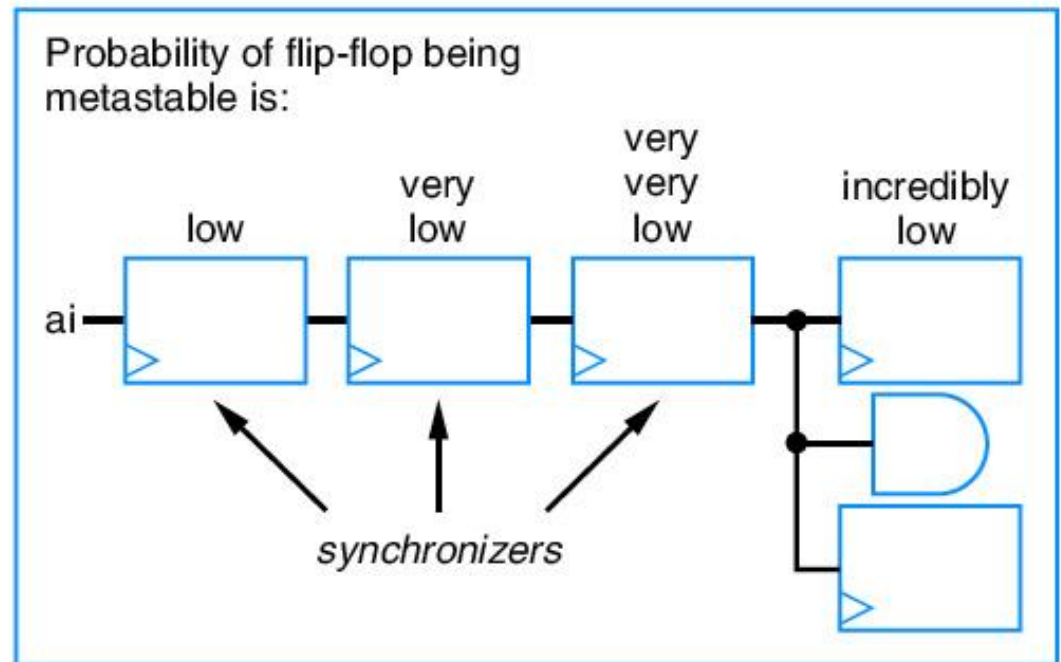


Figure 3.63 Synchronizer flip-flops reduce probability of metastability in our regular flip-flops.

Comportamento de um flip-flop não ideal

- ▶ Mas há uma solução para metaestabilidade?
 - **NÃO!** O circuito poderá falhar.
- ▶ Tempo médio entre falhas (MTBF):
 - Medida para qualificar projetos
 - Procura-se obter MTBFs de muitos anos

Entradas de set e reset dos flip-flops

- ▶ Entradas de Set e Reset
- ▶ Entradas:
 - Reset síncrono: $Q = 0$ na próxima borda de clk
 - Set síncrono: $Q = 1$ na próxima borda de clk
 - Reset Assíncrono: $Q = 0$ imediatamente
 - Set Assíncrono: $Q = 1$ imediatamente

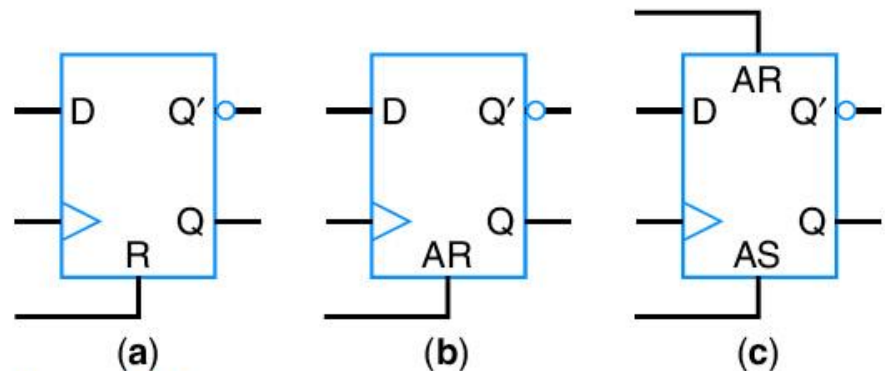


Figure 3.64 D flip-flops with: (a) synchronous reset R, (b) asynchronous reset AR, and (c) asynchronous reset and set.

Entradas de set e reset dos flip-flops

- ▶ Entradas de Reset Assíncrono muda imediatamente a saída

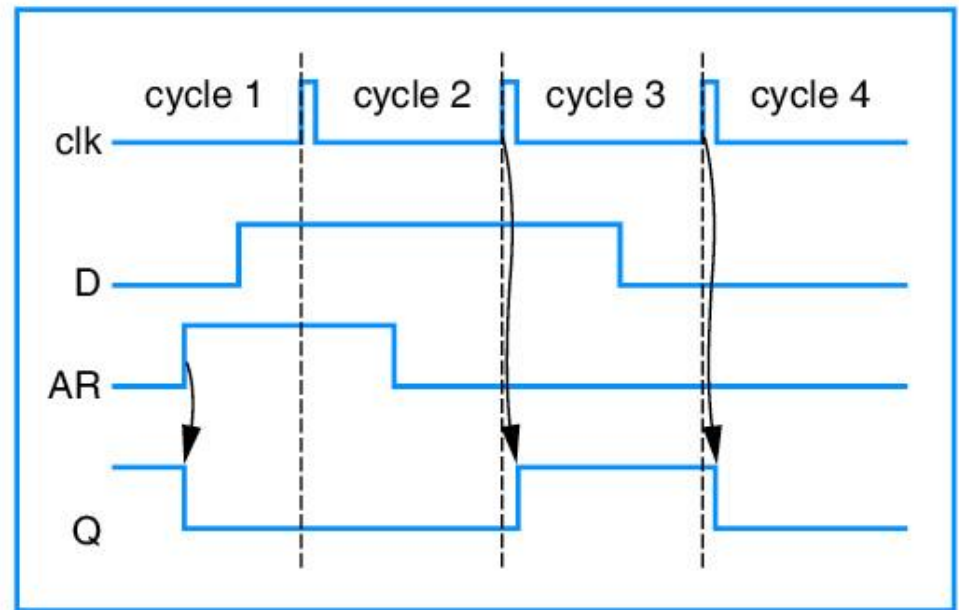


Figure 3.65 Asynchronous reset forces the flip-flop to 0, independent of clk or D.

Entradas de set e reset dos flip-flops

- ▶ Estado inicial de um bloco de controle
 - Os projetos vistos ate agora não garantem o estado inicial indicado nos diagramas das Máquinas de Estado
- ▶ Pode-se usar o Set (ou o Reset) para isso.
 - Basta assegurar que o Set (ou o Reset) do bloco de controle estará em 1 quando o sistema for energizado inicialmente, garantindo o estado inicial desejado

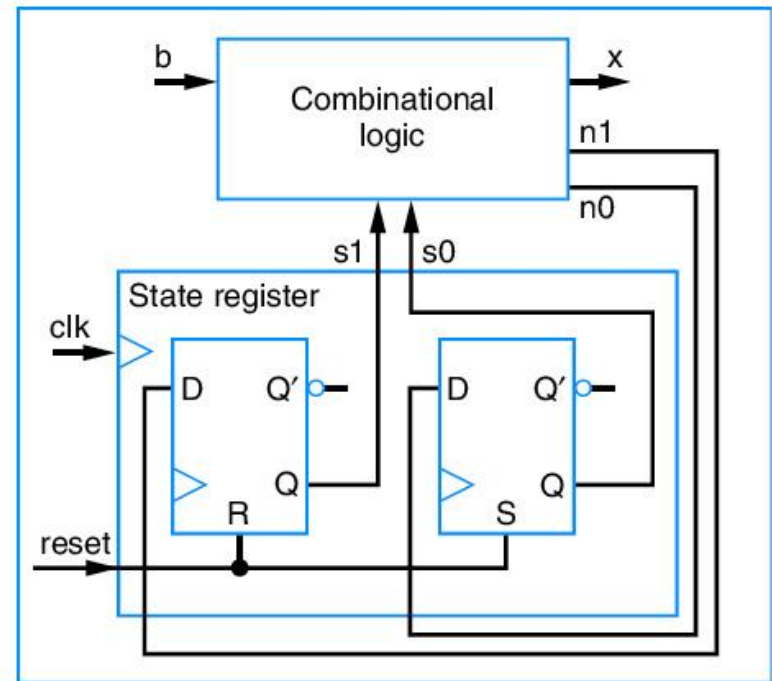


Figure 3.66 Three-cycles-high laser timer controller with a reset input that loads the state register with the initial state 01.

Entradas de set e reset dos flip-flops

▶ Reset Síncrono

▶ Vantagens:

- Cria um circuito completamente síncrono
- Fornece um filtro para o sinal de reset de tal forma que o circuito não será afetado por *glitches* (oscilações ou indefinições na saída)
- Garante o tempo de recuperação do reset pois haverá pelo menos um ciclo de clock para o circuito voltar ao estado inicial

▶ Desvantagens

- As vezes precisa ser prolongado para alcançar a borda de transição do clock
- Requer a presença de um clock para reinicializar o circuito
- Acaba por ser mais lento

Entradas de set e reset dos flip-flops

- ▶ Reset Assíncrono
- ▶ Vantagens:
 - Possui alta prioridade
 - É rápido
 - Não precisa de um clock para reiniciar o circuito
- ▶ Desvantagens
 - É mais sensível a *glitches*
 - Pode ter problemas de metaestabilidade

Comportamento nao ideal – *glitches* de saída

- ▶ *Glitching* é a presença de valores temporários em um condutor elétrico, causado tipicamente por diferentes atrasos de tempo devido a caminhos lógicos diferentes que chegam até a esse condutor.
- ▶ *Glitching* pode ocorrer quando um bloco de controle altera os estados, devido aos diferentes comprimentos dos caminhos entre cada um dos flip-flops do registrador de estado do bloco de controle e as saídas deste.
- ▶ Se o *glitching* é um problema em um sistema em particular:
 - Pode-se resolver com a inserção de um flip-flop na saída
 - Problema: atrasa a saída em 1 ciclo de relógio

Entradas ativas em nível lógico baixo (lógica negativa)

- ▶ Componente pode ter uma entrada que é ativa em nível baixo
- ▶ Ativa em nível baixo (lógica negativa): é ativada quando se faz a entrada ser 0
- ▶ Entradas ativas em nível baixo ocorrem quando a implementação do projeto interno de um componente requer menos portas do que quando é implementado com entradas ativas em nível alto
- ▶ Exemplo: Flip-flop D com uma entrada síncrona de reset ativada em nível baixo

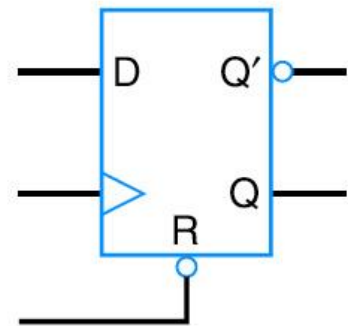


Figure 3.67 D flip-flop with active low synchronous reset input.

Entradas ativas em nível lógico baixo (lógica negativa)

- ▶ Componente pode ter uma entrada que é ativa em nível baixo
- ▶ Ativa em nível baixo (lógica negativa): é ativada quando se faz a entrada ser 0
- ▶ Entradas ativas em nível baixo ocorrem quando a implementação do projeto interno de um componente requer menos portas do que quando é implementado com entradas ativas em nível alto
- ▶ Exemplo: Flip-flop D com uma entrada síncrona de reset ativada em nível baixo

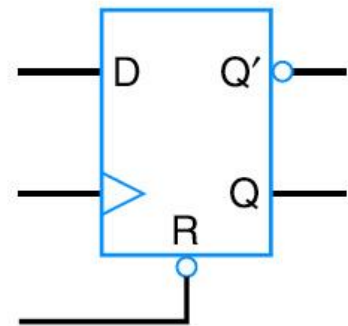


Figure 3.67 D flip-flop with active low synchronous reset input.

Para ser continuado...