



## Plano de Ensino

**Universidade Federal do Espírito Santo**

**Campus de Goiabeiras**

**Curso:** Engenharia de Computação

**Departamento Responsável:** Departamento de Engenharia Elétrica

**Data de Aprovação (Art. nº 91):** 28/06/2019

**DOCENTE PRINCIPAL :** ANSELMO FRIZERA NETO

**Matrícula:** 1834196

**Qualificação / link para o Currículo Lattes:** <http://lattes.cnpq.br/8928890008799265>

**Disciplina:** ELETRÔNICA DIGITAL

**Código:** ELE08500

**Período:** 2019 / 2

**Turma:** 06

**Pré-requisito:**

**Carga Horária Semestral:** 75

Disciplina: ELE08475 - CIRCUITOS ELÉTRICOS I

Disciplina: INF09330 - PROGRAMAÇÃO II

### Distribuição da Carga Horária Semestral

**Créditos:** 4

**Teórica**

**Exercício**

**Laboratório**

60

0

15

### Ementa:

Introdução aos Sistemas Digitais. Álgebra de Boole. Postulados e teoremas básicos. Exemplos de álgebras de Boole. Lei de Morgan. Manipulação de expressões booleanas. Circuitos lógicos, Portas Lógicas. Características Elétricas de Famílias lógicas. Circuitos de chaveamento, Relés. Técnicas de interfaceamento. Análise e síntese de Circuitos combinacionais. Minimização. Método dos mapas e método tabular. Implementação de circuitos lógicos programáveis. Projetos com circuitos SSI, MSI e LSI. Circuitos lógicos programáveis combinacionais (ROM, PLA e PAL). Projetos com PLDs e CPLDs. Linguagens de programação de PLDs. Aplicações (circuitos aritméticos, conversores de código, detetores de erros). Circuitos sequenciais, Latches e Flip-Flops. Modelo generalizado de circuitos sequenciais. Circuitos tipo Mealy, Moore e Medvedev. Análise e síntese de circuitos sequenciais por Máquinas algorítmicas de estado. Implementação de circuitos sequenciais com componentes discretos e Circuitos lógicos programáveis (GAL). Linguagem de programação de PLD. Introdução a circuitos lógicos avançados (FPGA e CPLD). Aplicações (contadores, controladores, sequenciadores, etc.). Laboratório: Montagem e análise de circuitos lógicos. Álgebra booleana. Lógica Programável.

### Objetivos Específicos:

Ao final desta unidade curricular o aluno estará apto a analisar, otimizar e projetar sub-sistemas digitais combinacionais e sequenciais, além de circuitos aritméticos implementados das duas maneiras (combinacionalmente e sequencialmente). Quanto à tecnologia de implementação, o aluno deverá ser capaz de propor um sistema digital utilizando tanto lógica discreta quanto por meio de uma linguagem de descrição de hardware, como VHDL, sendo a segunda forma o foco do curso.

### Conteúdo Programático:

#### PROGRAMA (TEORIA)

##### Módulo 1 - Projeto Lógico Combinacional

- 1.1. Introdução: conceitos, digital vs. analógico, codificações e representações
- 1.2. Transistor como chave, Portas Lógicas CMOS e TTL
- 1.3. Álgebra de Boole
- 1.4. Representações de Funções Booleanas
- 1.5. Redes de 2 Níveis: Processo Lógico Combinacional, Otimização, Tradeoffs
- 1.6. Redes Multiníveis: Processo Lógico Combinacional e Tradeoffs
- 1.7. Componentes de Blocos Operacionais e Seus Tradeoffs

##### Módulo 2 - Projeto Lógico Sequencial

- 2.1. Flip-flops e Latches

- 2.2. Máquina de Estados Finitos (FSMs) e Blocos de Controle
- 2.3. Análise de Projetos com FSMs
- 2.4. Otimização e Tradeoffs em Lógica Sequencial
- 2.5. Componentes de Blocos Operacionais

### Módulo 3 - Implementação Física

- 3.1. Implementação Física
- 3.2. VHDL (tópico abordado exclusivamente em laboratórios)
- 3.3. Conversores A/D e D/A

### PROGRAMA (LABORATÓRIOS)

- Lab. 1: Conceitos gerais (FPGA & VHDL)
- Lab. 2: Operadores, Modelagem por Process, e técnicas de Roteamento.
- Lab. 3: Circuitos Combinacionais
- Lab. 4: Circuitos Sequenciais: Flip-Flops e Registradores
- Lab. 5: Circuitos Sequenciais: FSM (1/3)
- Lab. 6: Circuitos Sequenciais: FSM (2/3)
- Lab. 7: Circuitos Sequenciais: FSM (3/3)
- Rep.: Reposição de conteúdo perdido (1 aula)

#### Metodologia:

Aulas expositivas teóricas e de laboratório, atividades práticas em laboratório e realização de exercícios em sala de aula.

#### Critérios / Processo de avaliação da Aprendizagem :

#### AVALIAÇÃO

##### Média Parcial (MP)

$$MP = 0.40 * P1 + 0.40 * P2 + 0.20 * P3$$

- P1 = Nota da Avaliação 1  
P2 = Nota da Avaliação 2  
P3 = Nota da Avaliação 3

##### Média Final (MF)

$$MF = Média(MP, PF)$$

MP = Média Parcial  
PF = Nota da Prova Final

#### Bibliografia básica:

Vahid, F. "Sistemas Digitais, Projeto, Otimização e HDL" Ed. Bookman, 2008.

#### Bibliografia complementar:

Wakerly, J.F. "Digital Design Principles and Practices" 4a ed., Prentice-Hall. 2006.  
Tocci, Widmer; Sistemas Digitais, Princípios e Aplicações, LTC, 10ª edição.  
Katz, R. H. "Contemporary Logic Design" 2 ed. Prentice-Hall, 2005.  
Mano, M. M. "Digital Design Fundamentals" Prentice-Hall. 2002.  
Mendonça, A; Zelenovsky, R; "Eletrônica Digital: Curso Prático e Exercícios" MZ Editora, 2006.  
Ercegovac, M. Lang, T.; Moreno, J. H. "Introdução aos Sistemas Digitais". Bookman, 2000.

#### Cronograma:

Aula	Data	Descrição	Exercícios	Observações
01	13/08/2019	1.1. Introdução: conceitos, digital vs. analógico, codificações e representações		
02	15/08/2019	1.2. Transistor como chave, Portas Lógicas CMOS e TTL		
03	16/08/2019	Lab. 1: Conceitos gerais (FPGA & VHDL)		

Aula	Data	Descrição	Exercícios	Observações
04	20/08/2019	1.3. Álgebra de Boole		
05	22/08/2019	1.4. Representações de Funções Booleanas		
06	23/08/2019	Lab. 2: Operadores, Modelagem por Process, e técnicas de Roteamento.		
07	27/08/2019	1.5. Redes de 2 Níveis: Processo Lógico Combinacional, Otimização, Tradeoffs		
08	29/08/2019	1.5. Redes de 2 Níveis: Processo Lógico Combinacional, Otimização, Tradeoffs		
09	30/08/2019	Lab. 2: Operadores, Modelagem por Process, e técnicas de Roteamento.		
10	03/09/2019	1.6. Redes Multiníveis: Processo Lógico Combinacional e Tradeoffs		
11	05/09/2019	1.7. Componentes de Blocos Operacionais e Seus Tradeoffs		
12	06/09/2019	Lab. 3: Circuitos Combinacionais		
13	10/09/2019	Aula de Exercícios	Módulo 1	
14	12/09/2019	Primeira Avaliação Parcial		
15	13/09/2019	Lab. 3: Circuitos Combinacionais		
16	17/09/2019	Revisão da Primeira Avaliação Parcial		
17	24/09/2019	2.1. Flip-flops e Latches		
18	26/09/2019	2.2. Máquina de Estados Finitos (FSMs) e Blocos de Controle		
19	27/09/2019	Lab. 4: Circuitos Sequenciais: Flip-Flops e Registradores		
20	01/10/2019	Aula de Exercícios Módulo 2		
21	04/10/2019	Lab. 4: Circuitos Sequenciais: Flip-Flops e Registradores		
22	17/10/2019	2.2. Máquina de Estados Finitos (FSMs) e Blocos de Controle		
23	22/10/2019	2.3. Análise de Projetos com FSMs		
24	24/10/2019	2.4. Otimização e Tradeoffs em Lógica Sequencial		
25	25/10/2019	Lab. 5: Circuitos Sequenciais: FSM (1/3)		
26	29/10/2019	2.5. Componentes de Blocos Operacionais		
27	31/10/2019	2.5. Componentes de Blocos Operacionais		
28	01/11/2019	Lab. 5: Circuitos Sequenciais: FSM (1/3)		
29	05/11/2019	Aula de Exercícios Módulo 2		
30	07/11/2019	Aula de Exercícios	Módulo 2	
31	08/11/2019	Aula de Reposição de Laboratório		
32	12/11/2019	Aula de Exercícios	Módulo 2	
33	19/11/2019	Segunda Avaliação Parcial		
34	21/11/2019	Revisão da Segunda Avaliação Parcial		
35	22/11/2019	Lab. 6: Circuitos Sequenciais: FSM (2/3)		
36	26/11/2019	3.1. Implementação Física		

Aula	Data	Descrição	Exercícios	Observações
37	28/11/2019	3.1. Implementação Física		
38	29/11/2019	Lab. 6: Circuitos Sequenciais: FSM (2/3)		
39	03/12/2019	3.3. Conversores A/D e D/A		
40	05/12/2019	3.3. Conversores A/D e D/A		
41	06/12/2019	Lab. 7: Circuitos Sequenciais: FSM (3/3)		
42	10/12/2019	Terceira Avaliação Parcial		
43	12/12/2019	Revisão da Terceira Avaliação Parcial		
44	13/12/2019	Lab. 7: Circuitos Sequenciais: FSM (3/3)		
45	17/12/2019	Prova Final		

**Observação:**

Maiores detalhes no AVA.