

**CENTRO TECNOLÓGICO  
DEPARTAMENTO DE INFORMÁTICA**

Arquitetura de Computadores I – Turmas 01 e 02 (EARTE) – 2021/2  
Prof. Rodolfo da Silva Villaca – [rodolfo.villaca@ufes.br](mailto:rodolfo.villaca@ufes.br)

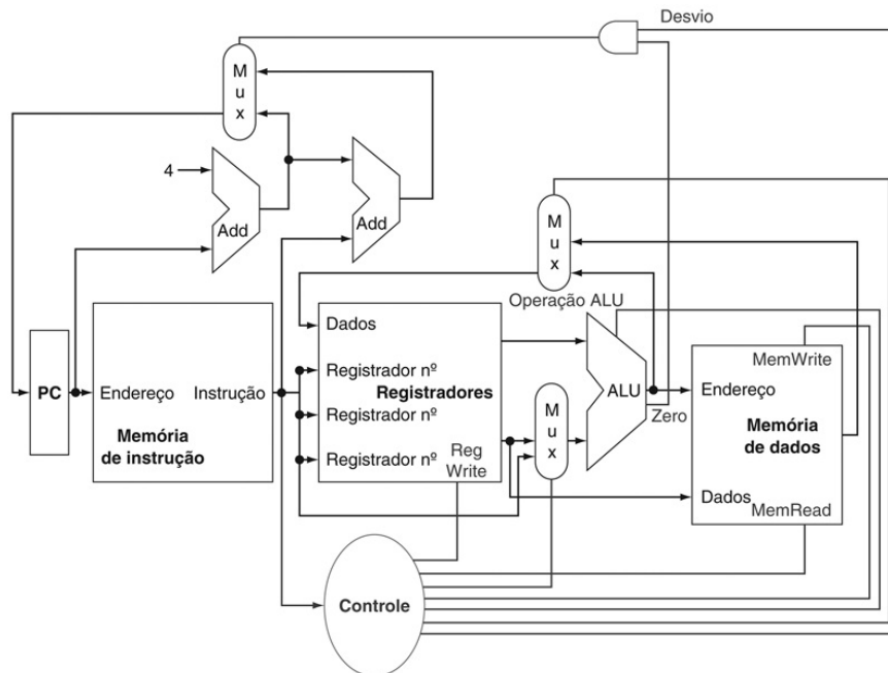
**Laboratório VI – Projeto CPU Monociclo**

**1. Objetivo**

- Entender os passos necessários para estender uma CPU para que ela dê suporte a execução de novas instruções na arquitetura (Instruction Set Architecture ou ISA) que não haviam sido implementadas no projeto inicial da CPU monociclo.

**2. Atividades**

A implementação da CPU monociclo da figura a seguir implementa apenas uma pequena parte do conjunto de instruções MIPS. Novas instruções devem ser adicionadas, mas a decisão depende, dentre outras coisas, do custo e complexidade da inclusão do suporte a estas instruções no caminho de dados e no controle do processador.



**FIGURA 4.2** A implementação básica do subconjunto MIPS incluindo os multiplexadores necessários e as linhas de controle.

**3. Questões**

Instrução 1:

*lwi Rt, Rd(Rs)*

–  $Reg[Rt] = Mem[Reg[Rd] + Reg[Rs]]$

Instrução 2:

*addi Rt, Rd, imed.*

–  $Reg[Rt] = Reg[Rd] + imed$



Universidade Federal  
do Espírito Santo

**CENTRO TECNOLÓGICO**  
**DEPARTAMENTO DE INFORMÁTICA**

Instrução 3:

bne Rt, Rd, desloc

```
- if (Reg[Rt] != Reg[Rd]) {  
    PC = (PC + 4) + desloc; // salta se diferentes  
}  
else {  
    PC = PC + 4;  
}
```

Para cada uma das 3 novas instruções apresentadas, responda:

- a) Quais blocos existentes (se existirem) podem ser usados para esta nova instrução?
- b) Quais novos blocos devem ser adicionados para esta nova instrução?
- c) Quais sinais são necessários para se executar esta nova instrução?