



Plano de Ensino

Universidade Federal do Espírito Santo

Campus de Goiabeiras

Curso: Engenharia de Computação

Departamento Responsável: Departamento de Engenharia Elétrica

Data de Aprovação (Art. nº 91): 29/03/2022

DOCENTE PRINCIPAL : ELIETE MARIA DE OLIVEIRA CALDEIRA

Matrícula: 3221253

Qualificação / link para o Currículo Lattes: <http://lattes.cnpq.br/8508979665054143>

Disciplina: SISTEMAS DIGITAIS

Código: ELE08572

Período: 2022 / 1

Turma: 05.1

Pré-requisito:

Carga Horária Semestral: 60

Disciplina: INF09274 - ARQUITETURA DE COMPUTADORES I

Distribuição da Carga Horária Semestral

Créditos: 3	Teórica	Exercício	Laboratório
	45	0	15

Ementa:

Controladores, microprogramação. Metodologias de desenvolvimento. Linguagem de descrição de hardware. Unidades aritméticas e lógicas. Aplicações. Arquitetura de computadores. Laboratório: Montagem de sistemas digitais.

Objetivos Específicos:

Esta unidade curricular tem como objetivos: projetar circuitos digitais no nível de sistemas; entender o funcionamento, sintetizar e implementar tais sistemas utilizando ferramentas EDA-CAD (Projetos eletrônicos assistidos por computador) tais como CUPL, VERILOG e VHDL; aprender o funcionamento, características e utilização dos vários tipos de conversores digital-analógicos (DAC) e analógico-digitais (ADC) do ponto de vista de sistemas digitais, incluindo tipos de interfaceamento; aprender os tipos principais de arquiteturas de computadores.

Conteúdo Programático:

Parte 1- Circuitos Digitais Básicos

Cap. 01- Circuitos Combinacionais a nível de porta

Cap. 02- FPGA e software para projeto digital

Cap. 03- Circuitos combinacionais RTL

Cap. 04- Circuitos sequenciais regulares

Cap. 05- Máquinas de estados finitos (FSM)

Cap. 06- Máq. de estados finitos com datapath (FSMD)

Parte 2- Módulos I/O

Cap. 07- UART

Cap. 08- Teclado PS2

Cap. 09- Mouse PS2

Cap. 10- SRAM externa

Cap. 11- RAMs e ROMs internas

Cap. 12- Controlador VGA: gráfico

Cap. 13- Controlador VGA: texto

Parte 3- Microcontroladores

Cap. 14- Partes de hardware e software. Série de instruções

Cap. 15- Assembler

Cap. 16- Interface de entrada e saída

Cap. 17- Interface de interrupção

ATIVIDADES DE LABORATÓRIO

Teste dos códigos de cada capítulo usando a placa Nexys A7.

Metodologia:

Aulas expositivas

As aulas da segunda-feira serão realizadas sob forma de aulas expositivas. Na medida do possível, cada aula será autocontida, apresentando um capítulo. Nessas aulas serão apresentados exemplos em forma de código em VHDL. No Classroom serão disponibilizados vídeos de aulas gravadas durante os semestres de Earte para explanação de conceitos teóricos para os estudantes. O curso será na metodologia "hands on", por isso, na quarta-feira, a aula teórica será ministrada de preferência no espaço do laboratório. Nessas aulas serão apresentados e discutidos os exercícios de programação propostos sobre o capítulo, os quais deverão ser entregues via Classroom.

Aulas práticas

Nas aulas de laboratório, os estudantes realizarão o teste dos circuitos descritos na teoria. Os roteiros e códigos serão disponibilizados no Classroom da disciplina. O curso se baseia na apresentação aprendizagem por exemplos, sendo assim todos os capítulos vêm com projetos propostos para a realização usando uma placa de aprendizagem com uma FPGA. Para alguns projetos são apresentados testbenchs o que possibilita a simulação usando o ambiente Xilinx ISE. Em todos os casos os códigos são apresentados e o estudante deve montar o projeto, gerar o arquivo de programação, simular usando o testbench se for o caso ou realizar o teste com a placa Nexys A7. O estudante precisa mostrar o circuito em funcionamento para a professora durante a aula de laboratório. Estas atividades serão realizadas nas aulas no Laboratório de Micro usando o software ISE da Xilinx e a placa de aprendizagem Nexys A7.

Critérios / Processo de avaliação da Aprendizagem :

Serão aplicadas duas avaliações sobre o conteúdo abordado nas aulas teóricas (PP1 e PP2) em forma de projetos para serem realizados em VHDL. Os exercícios propostos sobre cada capítulo consistindo em pequenos projetos para criar ou modificar códigos existentes darão origem a uma nota específica (NA). Quanto ao laboratório, os alunos receberão roteiros explicativos com os respectivos códigos em VHDL para analisar e testar no laboratório. A nota NL será gerada a partir da apresentação entrega dos arquivos .syn contendo o relatório de síntese do projeto bem como o pdf com o resultado da simulação (quando for o caso).

A média parcial MP será a média aritmética de PP1, PP2, NL e NA, ou seja $MP = (PP1+PP2+NL+NA)/4$

O aluno que obtiver $MP \geq 7,0$ estará aprovado e sua média final será igual à média parcial ($MF=MP$).

O aluno que obtiver $MP < 7,0$ deverá fazer a Prova Final (PF), e sua média final será a média aritmética entre a média parcial e a prova final, ou seja, $MF=(MP+PF)/2$.

O aluno que obtiver $MF \geq 5,0$ estará aprovado; caso contrário estará reprovado por nota

Bibliografia básica:

M. Morris Mano, Morris M Mano. Digital Design (3rd Edition). Prentice Hall. 2001 . ISBN: 0130621218.

Bibliografia complementar:

Randy H. Katz, Gaetano Borriello. Contemporary Logic Design (2nd Edition). Prentice Hall. 2004. ISBN: 0201308576

Cronograma:

Observação:

BIBLIOGRAFIA BÁSICA

- Chu, P.P.: FPGA Prototyping by VHDL Examples Spartan 3 version. John Wiley. 2008.
- Kilts, S.: Advanced FPGA Design. Wiley. 2007.
- Shen, J.P.; Lipasti, M.H.: Modern Processor Design. Tata McGrawHill. 2005.
- Ercegovic, M.; Lang, T.; Moreno, J. H.: Introdução aos Sistemas Digitais. Bookman. 2000.

BIBLIOGRAFIA COMPLEMENTAR

- Wakerly, J.F.: Digital Design Principles and Practices. 3rd edition. PrenticeHall. 2000.
- D'Amore, R. VHDL: Descrição e Síntese de Circuitos Digitais. LTC. 2005.
- Mano, M.M; C.H. Kline: Logic and Computer Design Fundamentals. 2nd edition. Prentice-Hall. 2000.
- Katz, R, G. Borriello. Contemporary Logic Design. 2nd Edition. Prentice Hall.