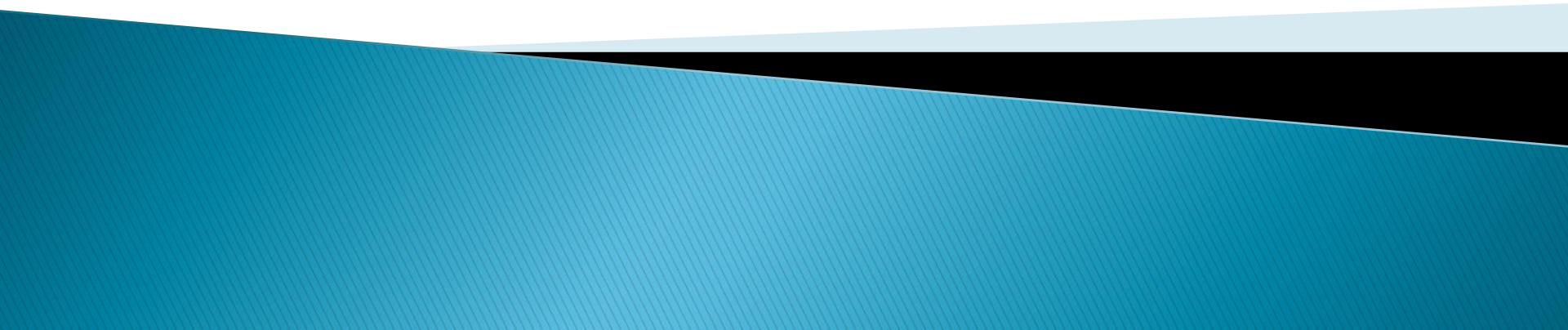


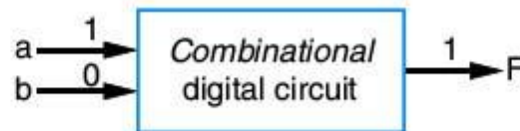
# Capítulo 2–Projeto Lógico Combinacional

Profa. Eliete Caldeira



# Introdução

- ▶ Circuito combinacional – circuito digital cuja saída no instante  $t$  depende apenas da entrada no instante  $t$
- ▶ Circuito sequencial – circuito digital cuja saída no instante  $t$  depende de entradas em instantes anteriores



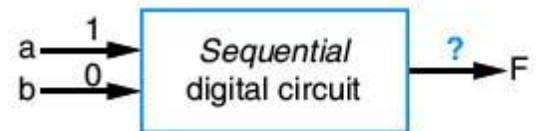
If we know the present input bit values, then we can determine the output value.

If  $ab=00$ , then  $F$  is 0

If  $ab=01$ , then  $F$  is 0

If  $ab=10$ , then  $F$  is 1

If  $ab=11$ , then  $F$  is 0



We cannot determine the output value just from looking at the present input values. We must also know the *history* of input values.

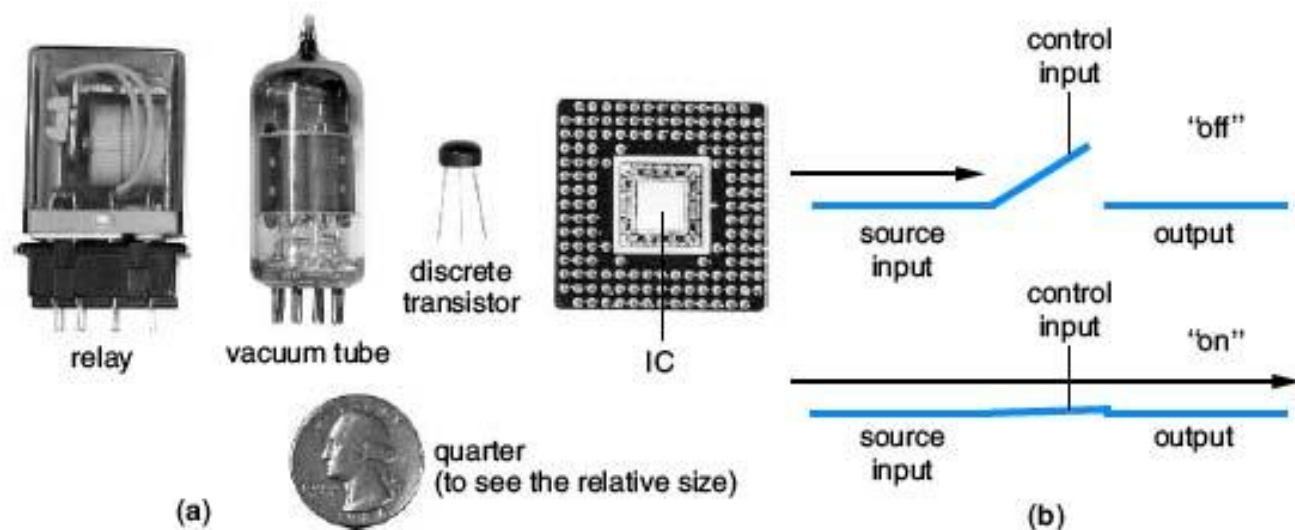
e.g., if  $ab$  was 00 and then 10,  $F$  is 0

but if  $ab$  was 11 and then 10,  $F$  is 1

**Figure 2.1** Combinational versus sequential digital circuits.

# Chaves

- ▶ A entrada de controle permite (*ON*) ou não (*OFF*) a passagem de corrente entre a fonte e a saída



**Figure 2.3** (a) The evolution of switches: relays (1930s), vacuum tubes (1940s), discrete transistors (1950s), and integrated circuits (ICs) containing transistors (1960s–present). IC's originally held about ten transistors; now they can hold more than a billion. (b) Simple view of a switch.

# Os Transistores CMOS

- ▶ Os chips ou CI's são feitos com transistores CMOS em silício
- ▶ nMOS é ativo em nível lógico alto
- ▶ pMOS é ativo em nível lógico baixo

Fonte (*source*)  
Dreno (*drain*)  
e porta (*gate*)

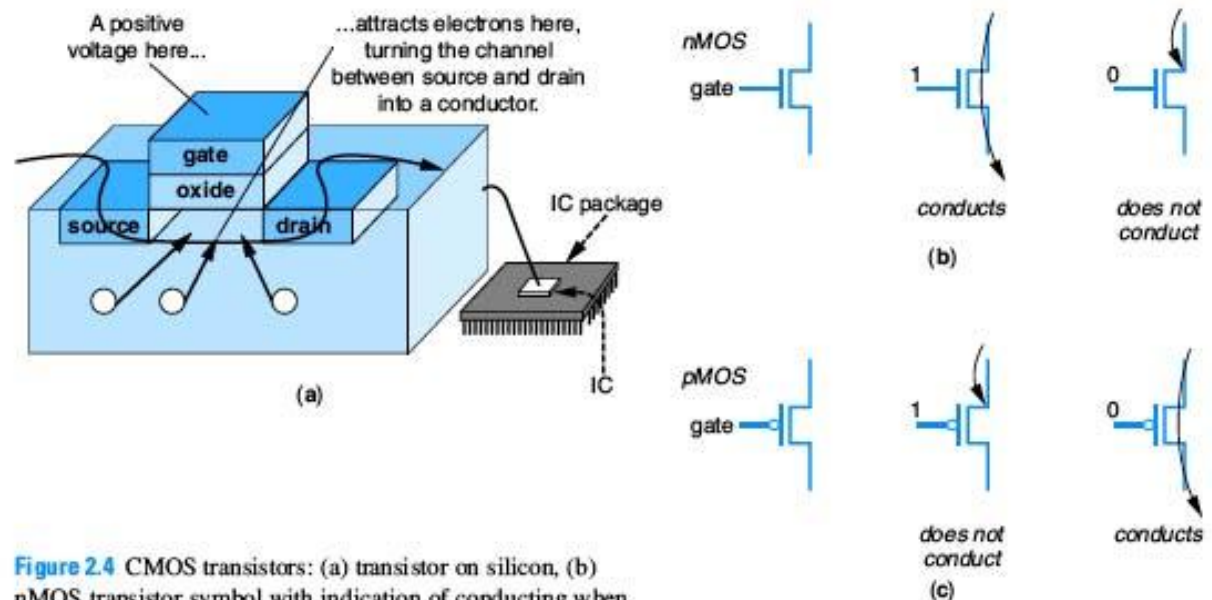
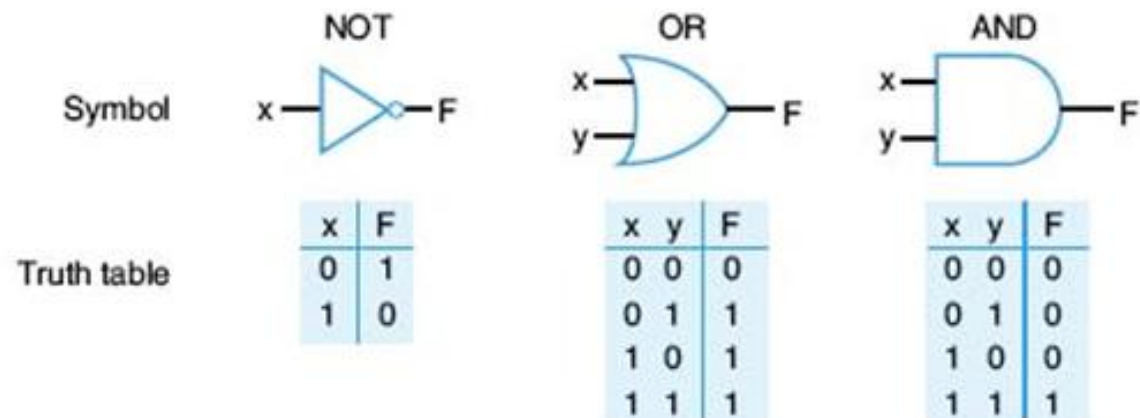


Figure 2.4 CMOS transistors: (a) transistor on silicon, (b) nMOS transistor symbol with indication of conducting when gate = 1, (c) pMOS transistor symbol conducts when gate = 0.

# Portas Lógicas Booleanas

- ▶ Álgebra booleana – desenvolvida por George Boole– usa variáveis que só podem ser 1 ou 0 (verdadeiro ou falso) e cujos operadores AND, OR e NOT operam com estas variáveis e dão como retorno 1 ou 0
- ▶ Operações booleanas  $\Rightarrow$  portas lógicas

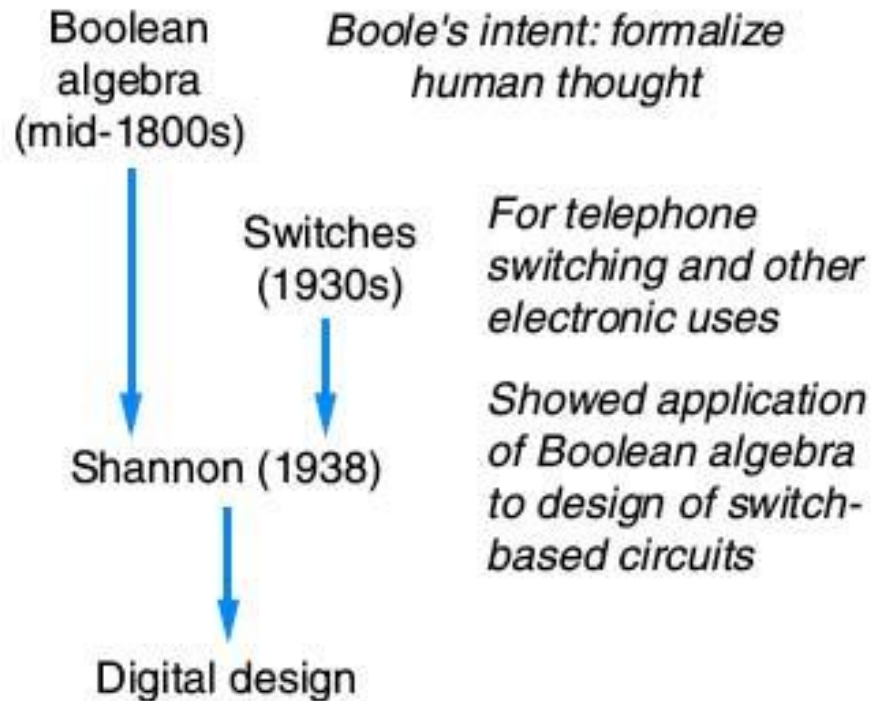


# Exercícios– Escreva a expressão booleana

- ▶ Exercício 1 – Escreva a expressão booleana
  - a) Um chuveiro automático de um sistema de combate a incêndio deve borrifar água quando uma temperatura elevada for detectada e o sistema estiver habilitado
    - $e=1$ , se temperatura elevada; caso contrário  $e=0$
    - $h=1$ , se habilitado; caso contrário  $h=0$
    - $c = 1$  se chuveiro ligado;  $c=0$  caso contrário
  - b) Um alarme sonoro deverá ser ativado se o sistema de alarme estiver habilitado e se o carro for sacudido ou se a porta for aberta
    - $s=1$ , se carro sacudido; caso contrário  $s=0$
    - $p=1$ , se porta aberta; caso contrário  $p=0$
    - $h=1$ , se habilitado; caso contrário  $h=0$
    - $a=1$ , se alarme ligado;  $a=1$  caso contrário



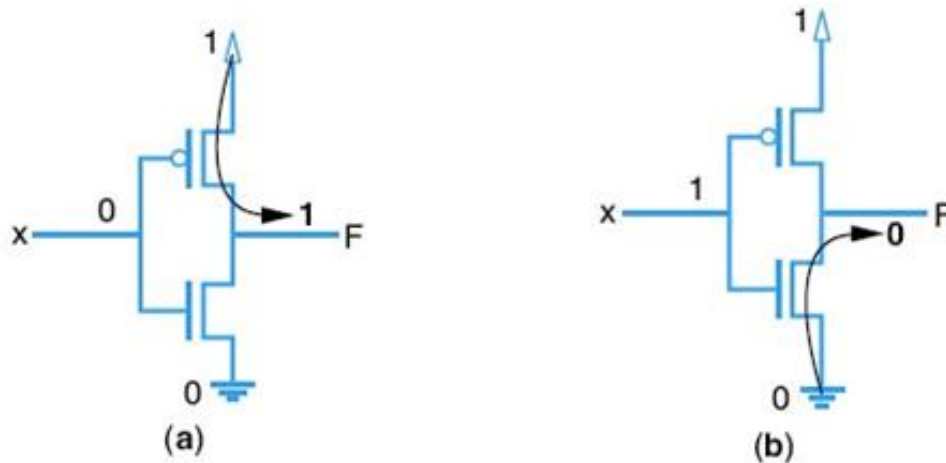
# Álgebra de Boole e Álgebra de Chaveamento



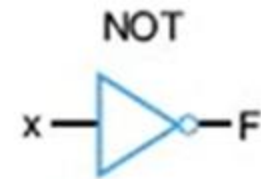
**Figure 2.7** Shannon applied Boolean algebra to switch-based circuits, providing a formal basis to digital circuit design.

# Porta NOT (Inversora)

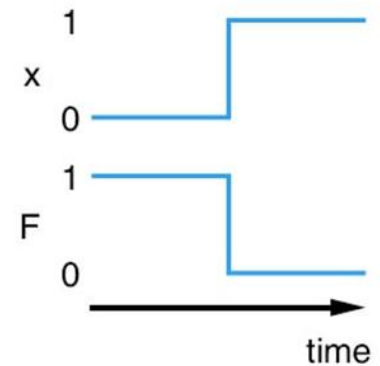
$$F = x' \quad \text{ou} \quad F = \bar{x}$$



**Figure 2.9** Inverter conduction paths when: (a) the input is 0, and (b) the input is 1.



x	F
0	1
1	0

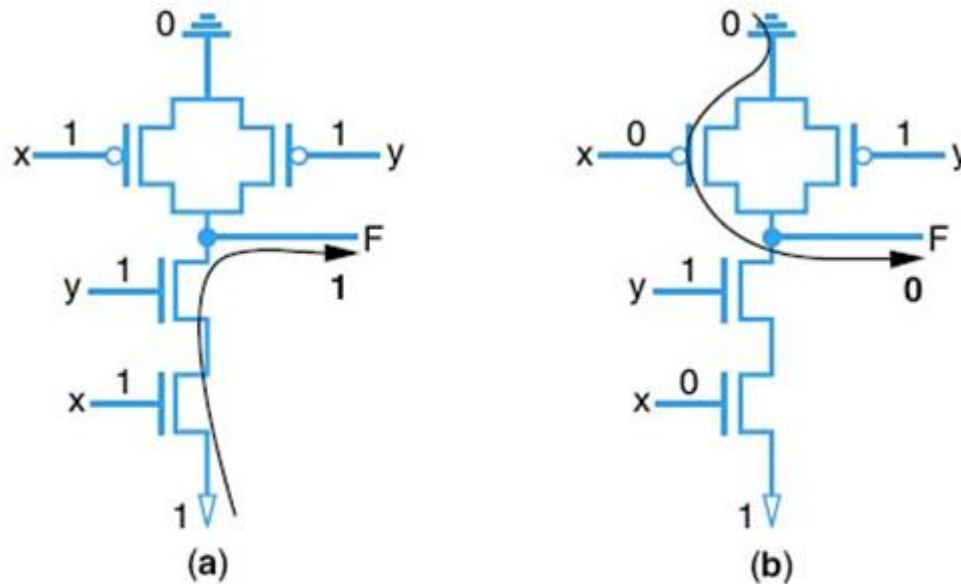


**Figure 2.10** Inverter timing diagram.

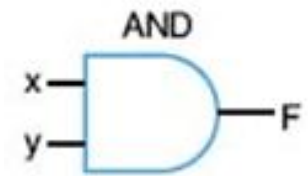


# Porta AND ("E")

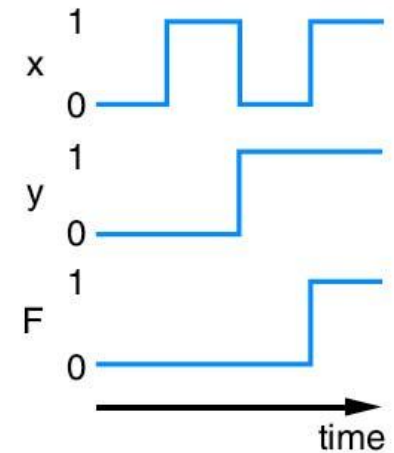
$$F = x.y \quad \text{lê} - \text{se} \quad F = x \text{ AND } y$$



**Figure 2.13** AND gate conduction paths when: (a) all inputs are 1, and (b) and input is 0.



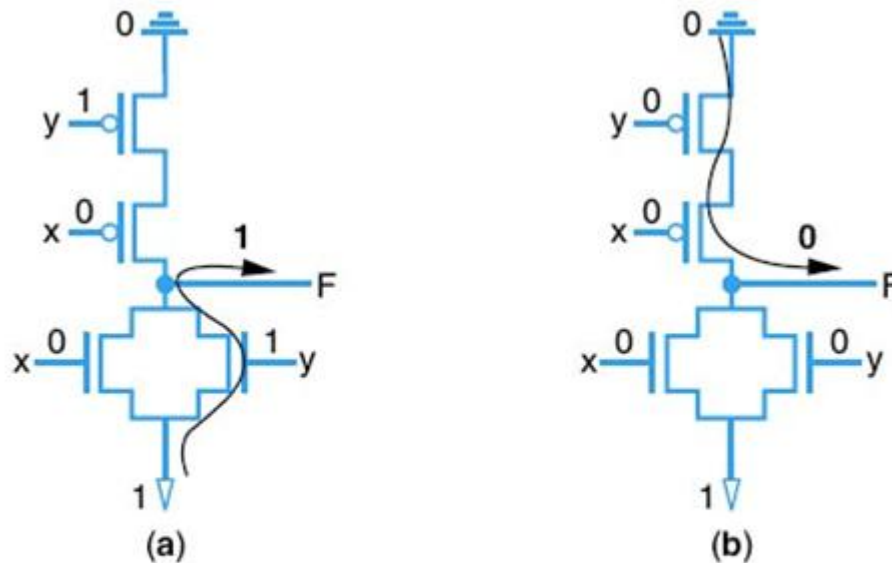
x	y	F
0	0	0
0	1	0
1	0	0
1	1	1



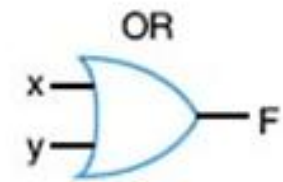
**Figure 2.14** AND gate timing diagram.

# Porta OR (“OU”)

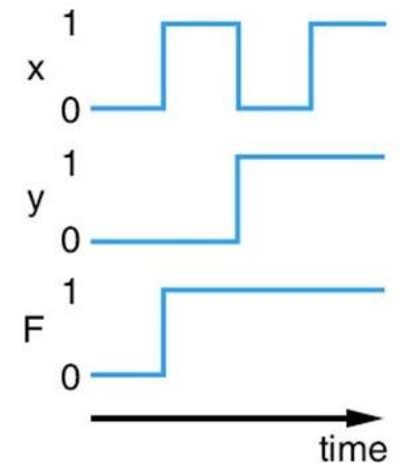
$$F = x + y \quad \text{lê} \quad \text{se} \quad F = x \text{ OR } y$$



**Figure 2.11** OR gate conduction paths when: (a) one input is 1, and (b) both inputs are 0.



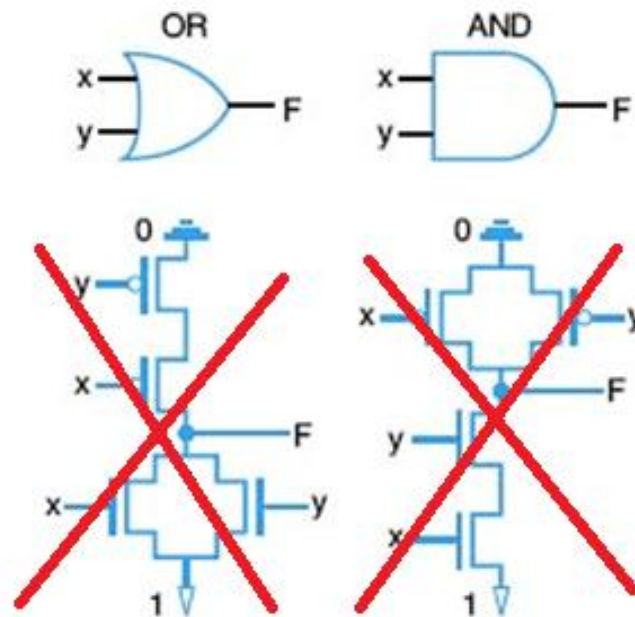
x	y	F
0	0	0
0	1	1
1	0	1
1	1	1



**Figure 2.12** OR gate timing diagram.

# Portas CMOS

- As portas AND e OR apresentadas não são boas!



# CMOS – Características de passagem

► Um nMOS é ativo no nível lógico 1, ou seja:

- Conduz se  $V_{GSn} \geq V_{tn}$
- Corta se  $V_{GSn} < V_{tn}$

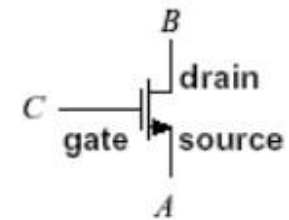
Onde  $V_{tn}$  é a tensão de limiar do nMOS

► Um pMOS é ativo no nível lógico 0, ou seja:

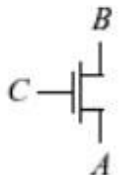
- Conduz se  $V_{SGp} \geq |V_{tp}|$
- Corta se  $V_{SGp} < |V_{tp}|$

Onde  $V_{tp}$  é a tensão de limiar do pMOS

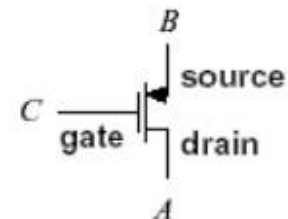
NMOS transistor



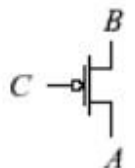
logical symbol



PMOS transistor

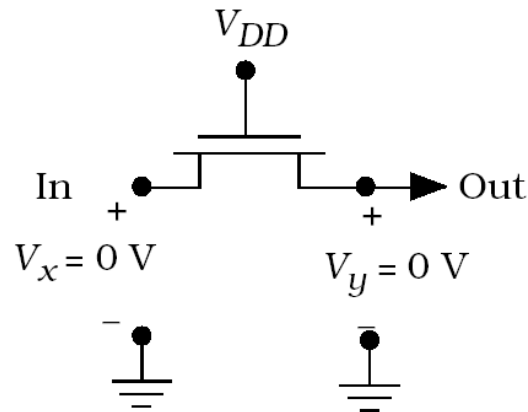


logical symbol

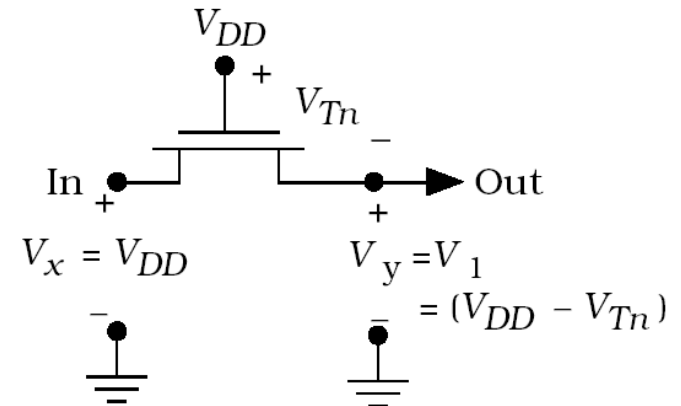


# CMOS – Características de passagem

## ► nMOS

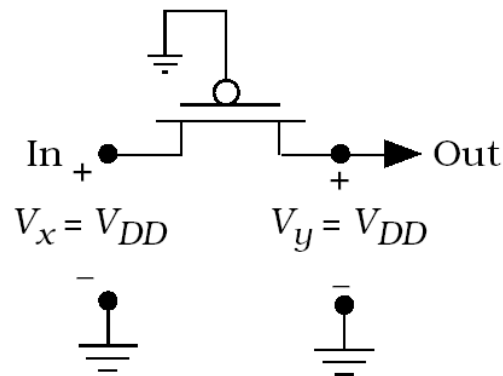


(a) Logic 0 transfer

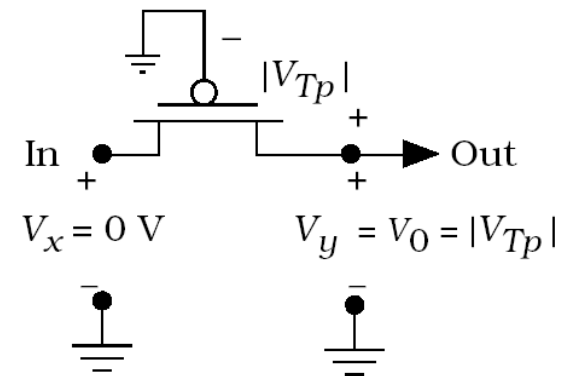


(b) Logic 1 transfer

## ► pMOS



(a) Logic 1 transfer



(b) Logic 0 transfer

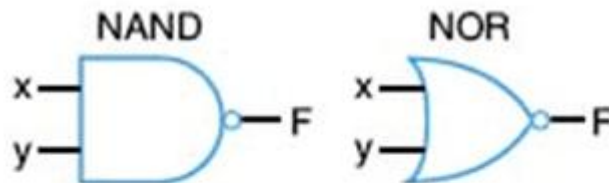
# CMOS – Características de passagem

- ▶ Um nMOS (ativo no nível lógico 1):
  - Passa bem o nível lógico 0
  - Passa mal ou degrada o nível lógico 1
- ▶ Um pMOS (ativo no nível lógico 0):
  - Passa bem o nível lógico 1
  - Passa mal ou degrada o nível lógico 0



# Portas CMOS

- ▶ Sendo assim, as portas CMOS devem ser inversoras como a NAND e a NOR



x	y	F
0	0	1
0	1	1
1	0	1
1	1	0

$$F = \overline{x \cdot y}$$

ou

$$F = (x \cdot y)'$$

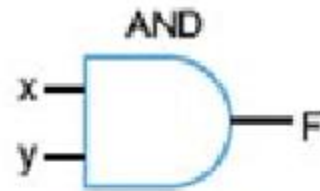
x	y	F
0	0	1
0	1	0
1	0	0
1	1	0

$$F = \overline{x + y}$$

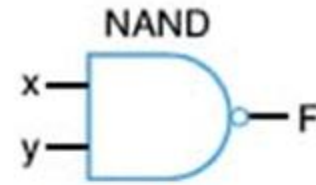
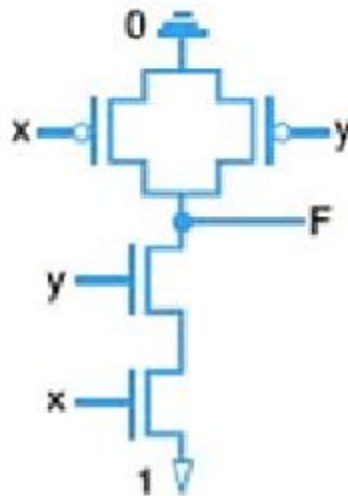
ou

$$F = (x + y)'$$

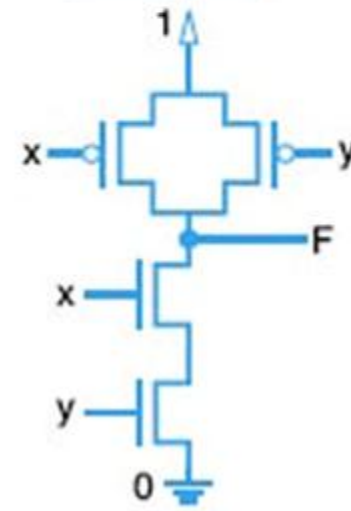
# Porta NAND CMOS



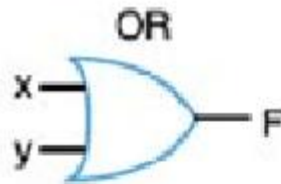
x	y	F
0	0	0
0	1	0
1	0	0
1	1	1



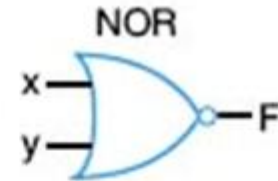
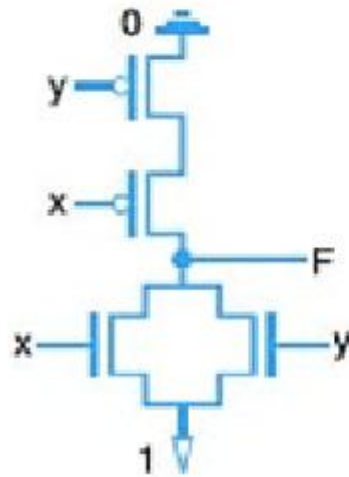
x	y	F
0	0	1
0	1	1
1	0	1
1	1	0



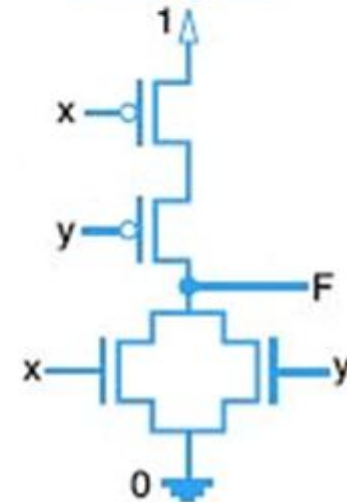
# Porta NOR CMOS



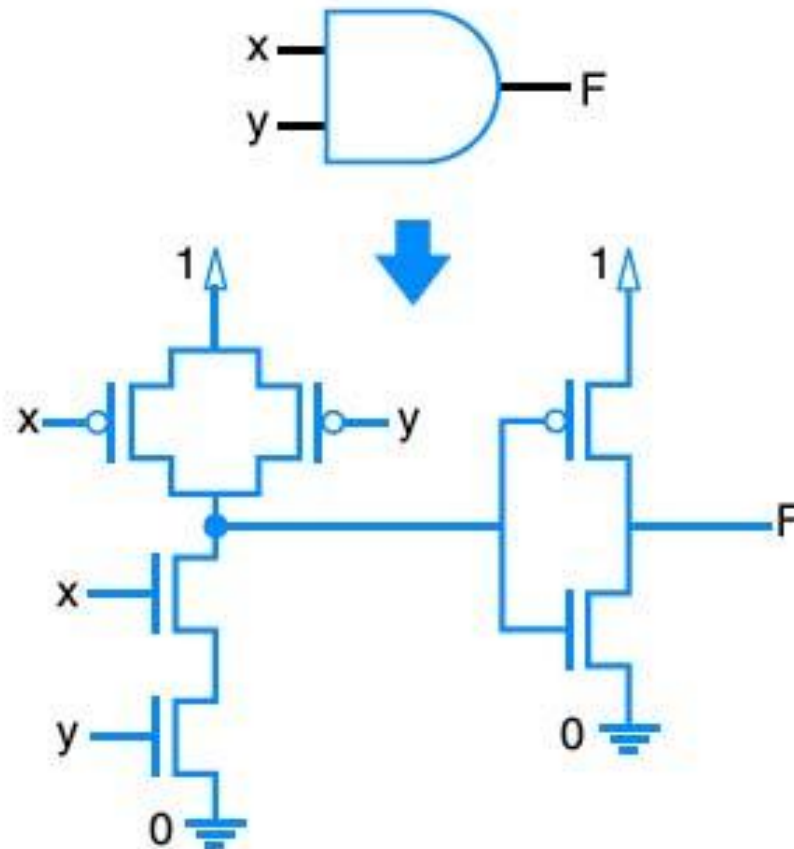
x	y	F
0	0	0
0	1	1
1	0	1
1	1	1



x	y	F
0	0	1
0	1	0
1	0	0
1	1	0

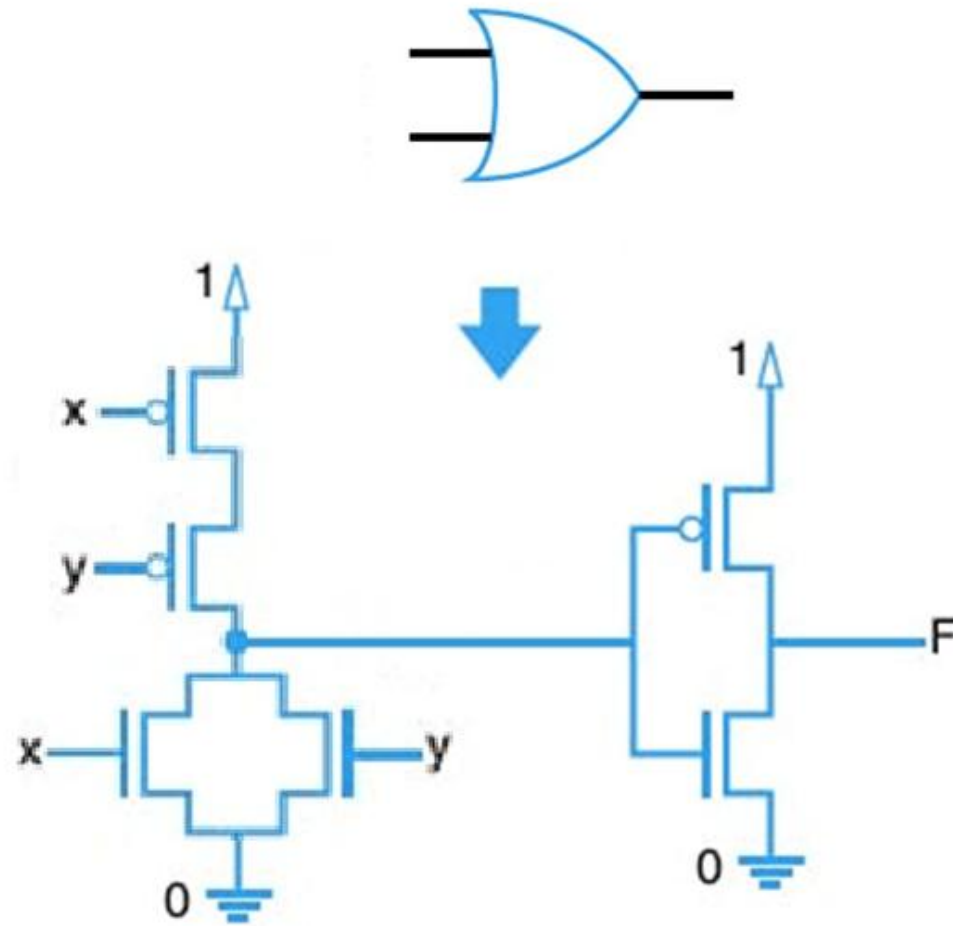


# Porta AND CMOS



**Figure 2.46** AND gate in CMOS.

# Porta OR CMOS



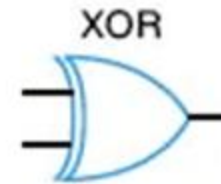
# Portas XOR e XNOR

## ► XOR (OU Exclusivo)

$$F = x \oplus y$$

$$F = x\bar{y} + \bar{x}y$$

$$F = xy' + x'y$$



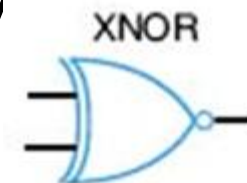
x	y	F
0	0	0
0	1	1
1	0	1
1	1	0

## ► XNOR (Não OU Exclusivo ou Equiv

$$F = \overline{x \oplus y}$$

$$F = \bar{x}\bar{y} + xy$$

$$F = x'y' + xy$$



x	y	F
0	0	1
0	1	0
1	0	0
1	1	1

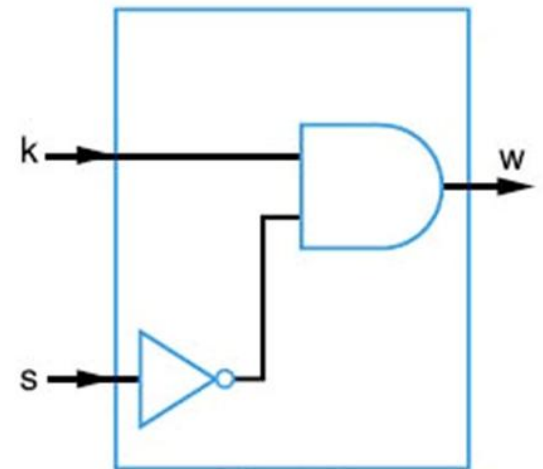


# Exercício

- ▶ Exercício 2 – Desenhe o circuito lógico usando portas lógicas para o sistema de acendimento automático da lâmpada  $w = k \text{ AND NOT}(s)$  ou  $w = k.s'$  onde:
  - $k = 1$  se tem movimento
  - $s = 1$  se tem luz
  - $w = 1$  se a lâmpada está ligada

# Exercício

- ▶ Exercício 2 – Desenhe o circuito lógico usando portas lógicas para o sistema de acendimento automático da lâmpada  
 $w = k \text{ AND NOT}(s)$  ou  $w = k.s'$  onde:
  - $k = 1$  se tem movimento
  - $s = 1$  se tem luz
  - $w = 1$  se a lâmpada está ligada



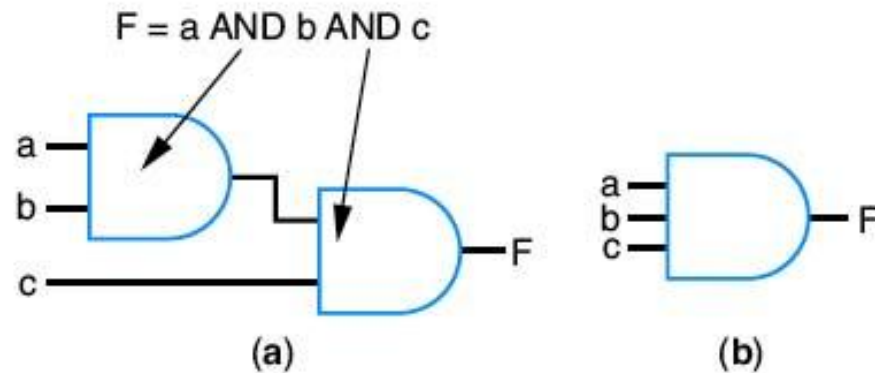
# Exercício

- ▶ Exercício 3 – Converta em circuito

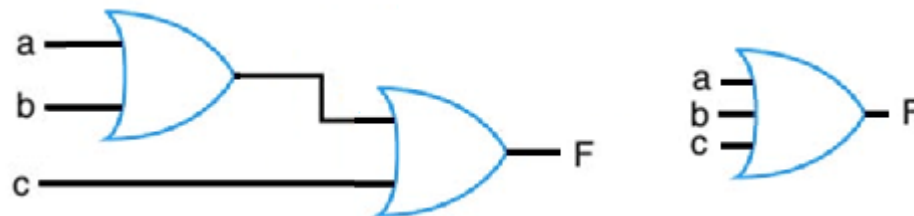
$F = a \text{ AND NOT}(b \text{ OR NOT}(c)) \text{ ou}$

$F = a.(b+c')'$

# Portas AND e OR de mais entradas

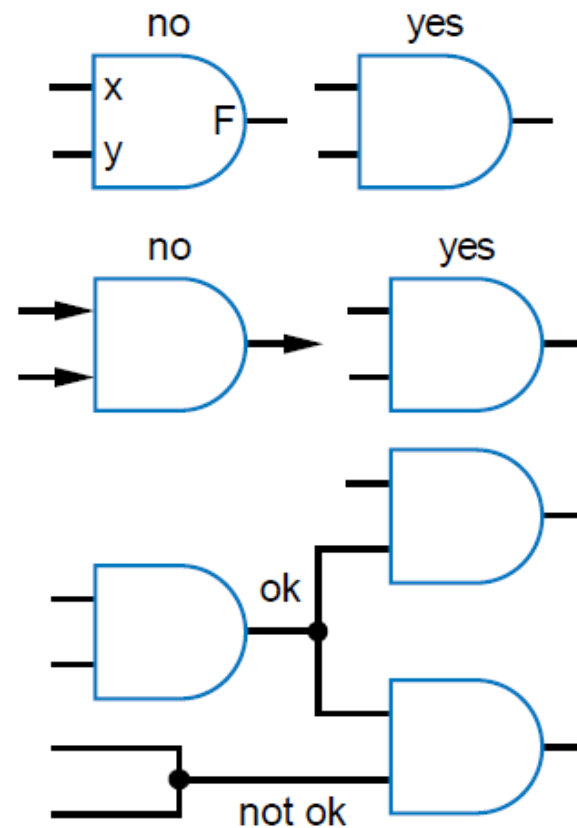


**Figure 2.17** Using multiple-input AND gates: (a) using 2-input AND gates, (b) using a 3-input AND gate.



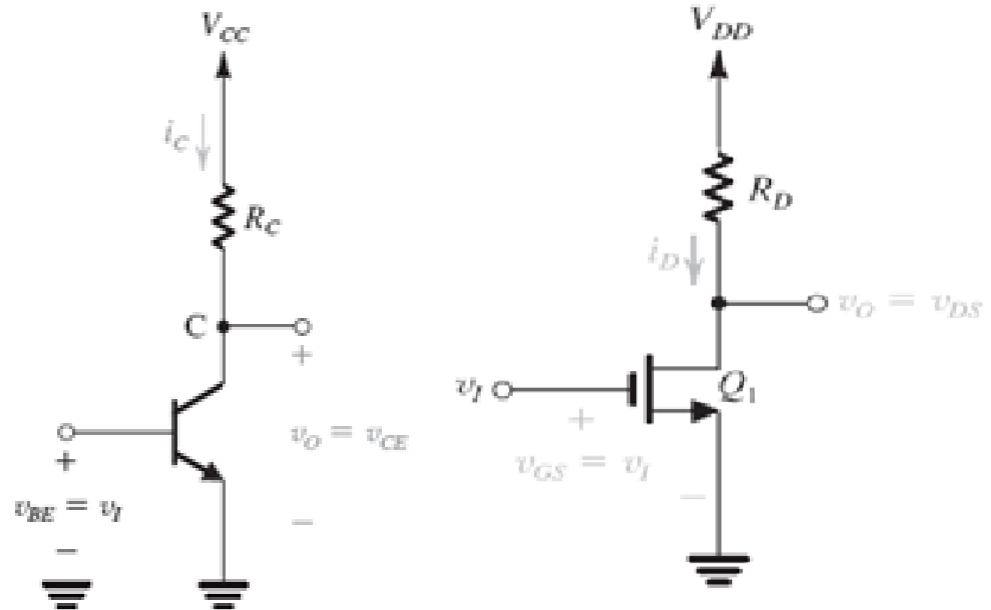
# Convenção

- ▶ Sem rótulos dentro da porta
- ▶ Sentido sempre da saída de uma porta para a entrada da outra mas sem setas
- ▶ A saída de uma porta pode se conectar a mais de uma entrada de porta, mas a entrada de uma porta não pode ser alimentada por dois sinais diferentes



# Vantagens de CMOS

- ▶ Consumo de potência estática  $\cong 0$
- ▶ Boa capacidade de corrente
- ▶ Simetria de tensão e corrente na saída
- ▶ Corrente de entrada  $\cong 0$
- ▶ Pouca área em CI





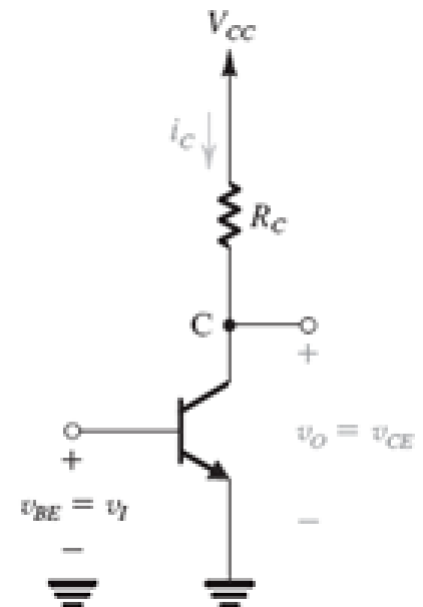
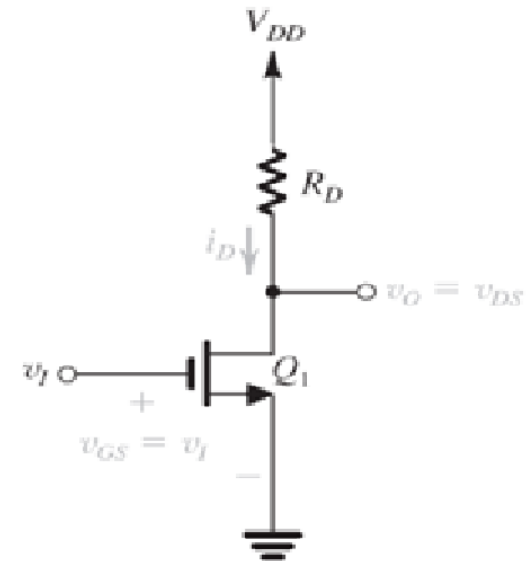
# Vantagens de CMOS

## ► Inversor nMOS

- Se a entrada é baixa, nenhuma potência é dissipada e saída é  $V_{DD}$
- Se a entrada é alta, há dissipação de potência estática e saída é  $V_{OL}$  que é pequena mas maior que 0

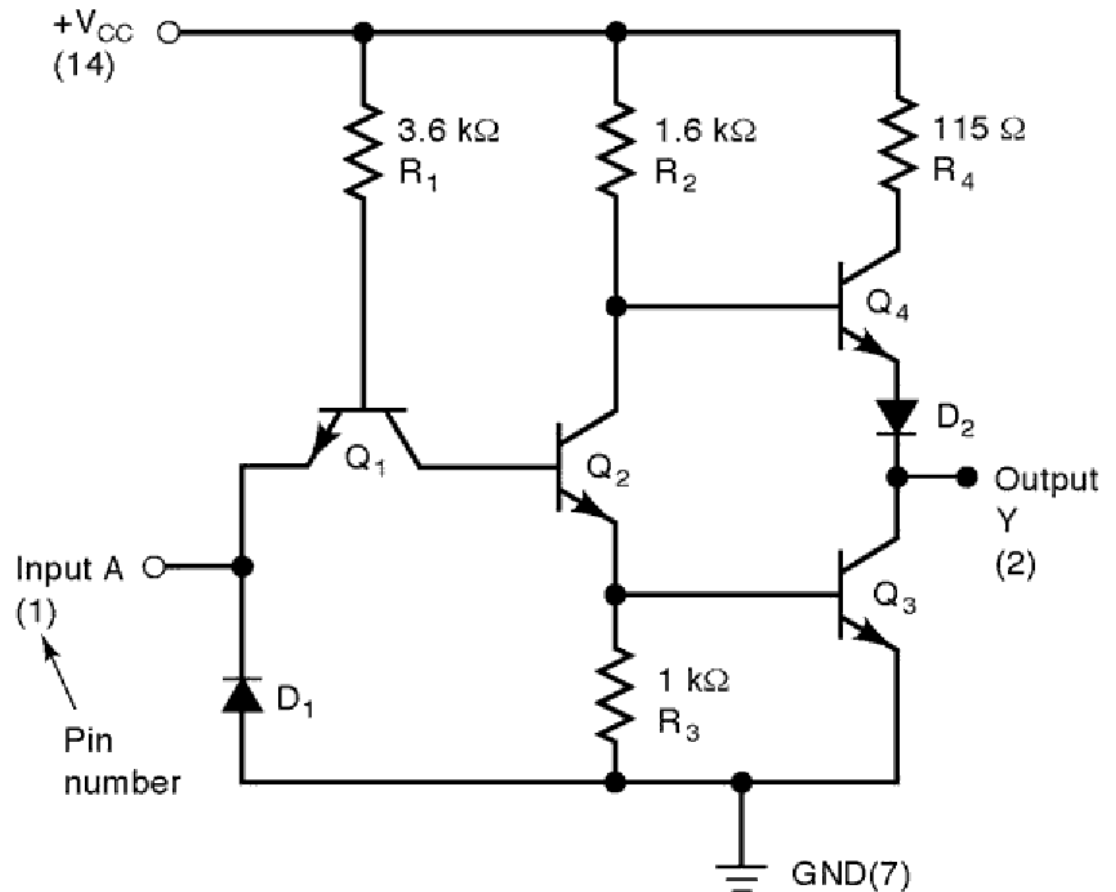
## ► Inversor com BJT

- Se a entrada é baixa, nenhuma potência é dissipada e saída é  $V_{CC}$
- Se a entrada é alta, há dissipação de potência estática e saída  $V_{OL} = V_{CEsat}$  que é pequena mas maior que 0



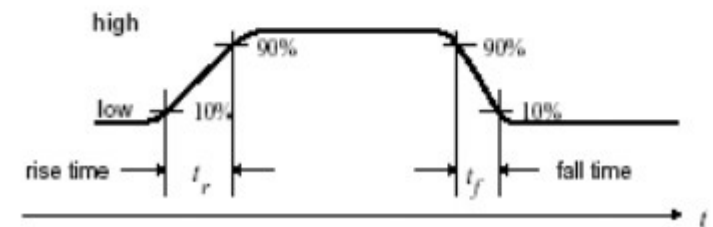
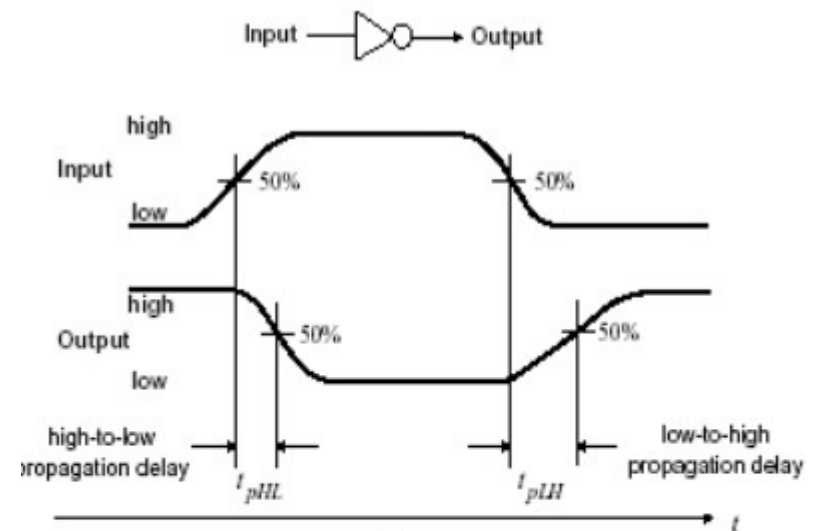
# Vantagens de CMOS

## ► Inversor TTL



# Características de tempo

- ▶ Tempos de subida e de descida
- ▶ Atrasos de propagação



(b)

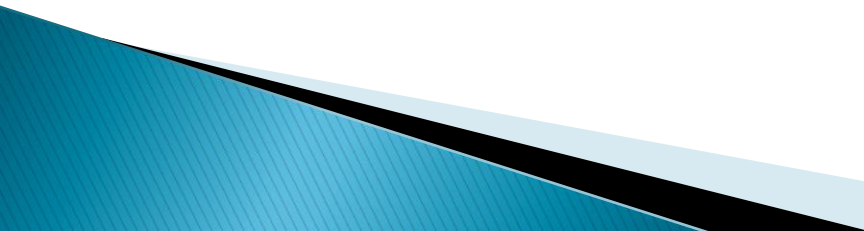
# Carregamento

## ▶ Fan-in

- Número de entradas que uma porta apresentar
- Quanto maior número de entradas, maior o atraso

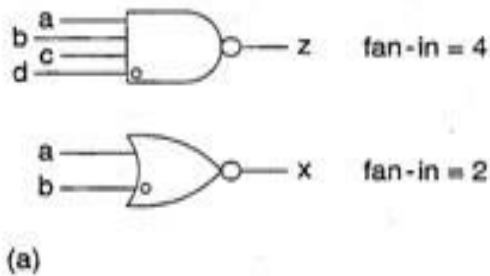
## ▶ Carga-padrão: carga de entrada de uma NOT

## ▶ Fan-out

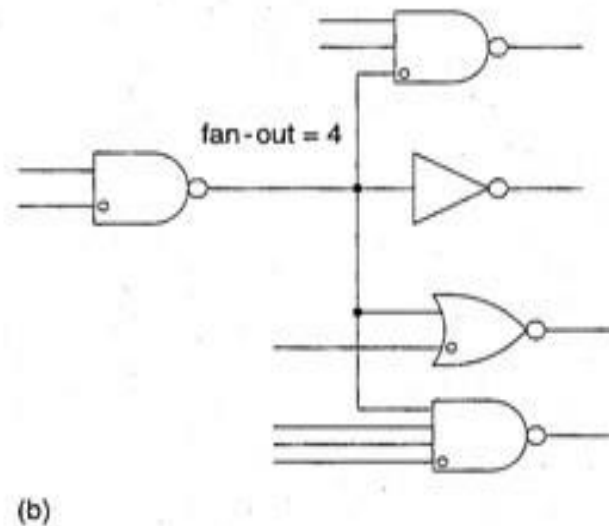
- Número de entradas que a saída de uma porta pode se conectar sem apresentar riscos ou erros na transmissão dos dados
  - Dado em cargas-padrão
  - Está relacionado com a corrente que pode passar pelos contatos dos CI's
- 

# Carregamento

- Fan-in e fan-out



Note: The open circle adjacent to a logic gate input denotes the series transistor closest to the output.

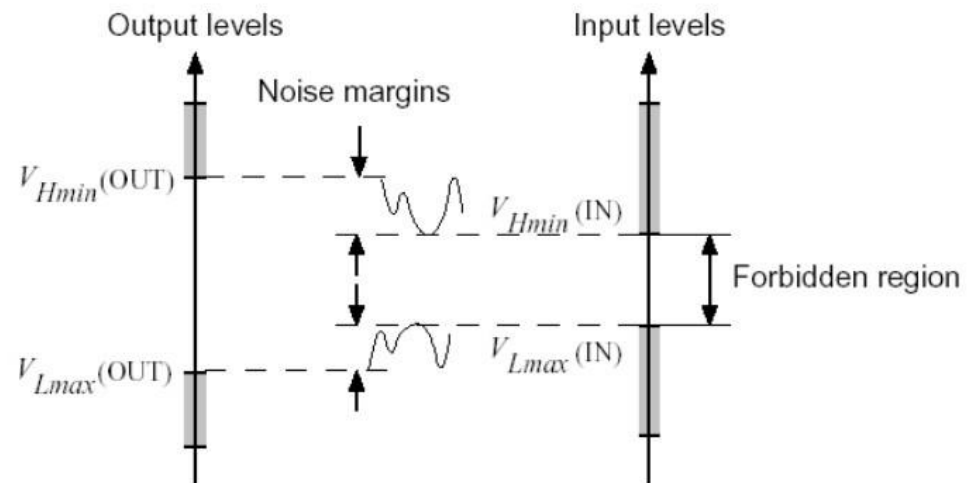
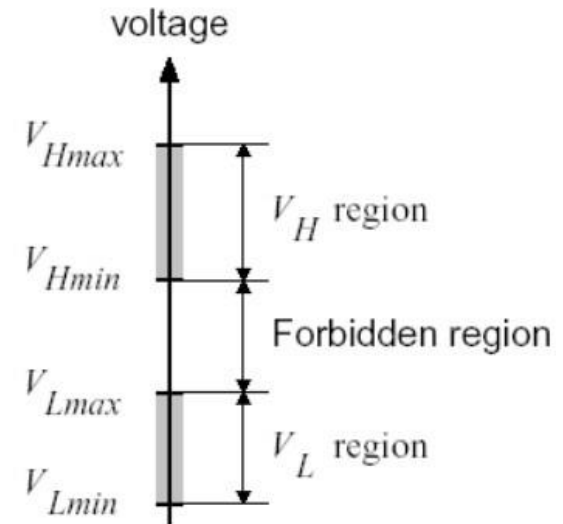


# Níveis de tensão CMOS

- Valores típicos:

$V_{Hmax}$	3.3V	$V_{Lmax}$	0.8V
$V_{Hmin}$	2.0V	$V_{Lmin}$	0.0V

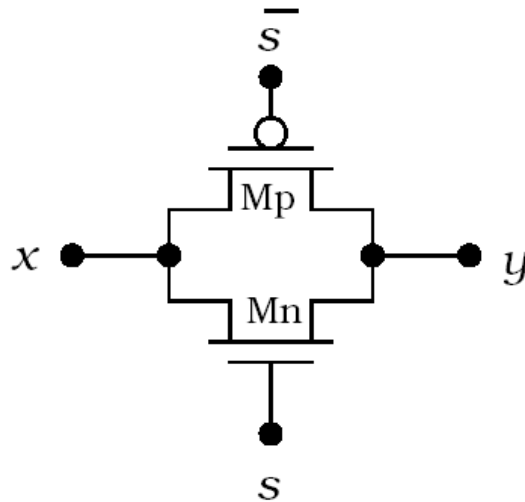
- Margem de ruído



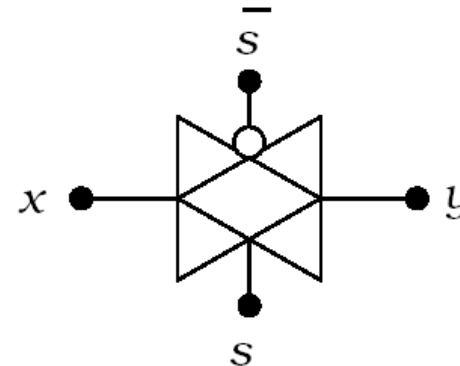


# Porta de transmissão ou *transmission gate*

- ▶ Se  $s = 0$ ,  $y$  e  $x$  estão desconectados
- ▶ Se  $s = 1$ ,  $y = x$



(a) Transistor circuit

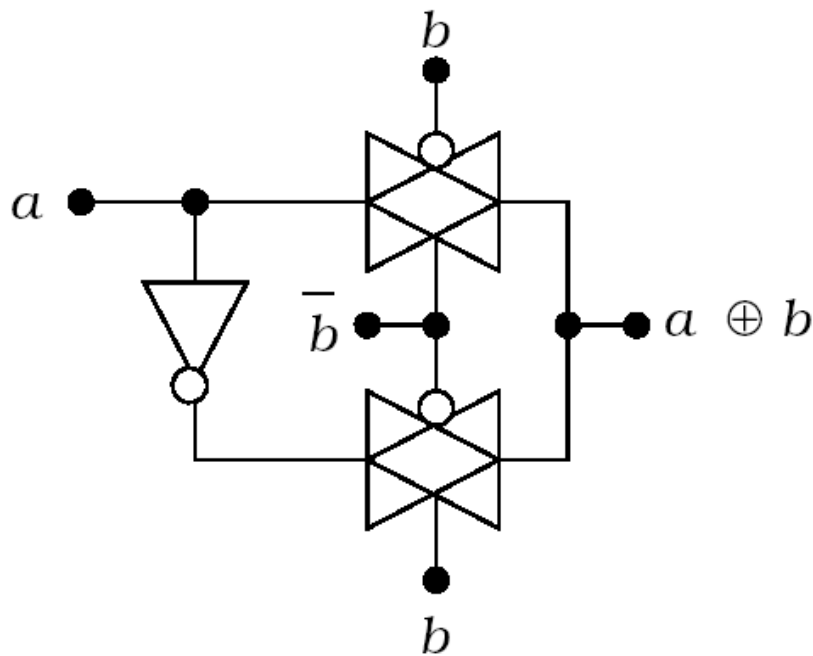


(b) Symbol

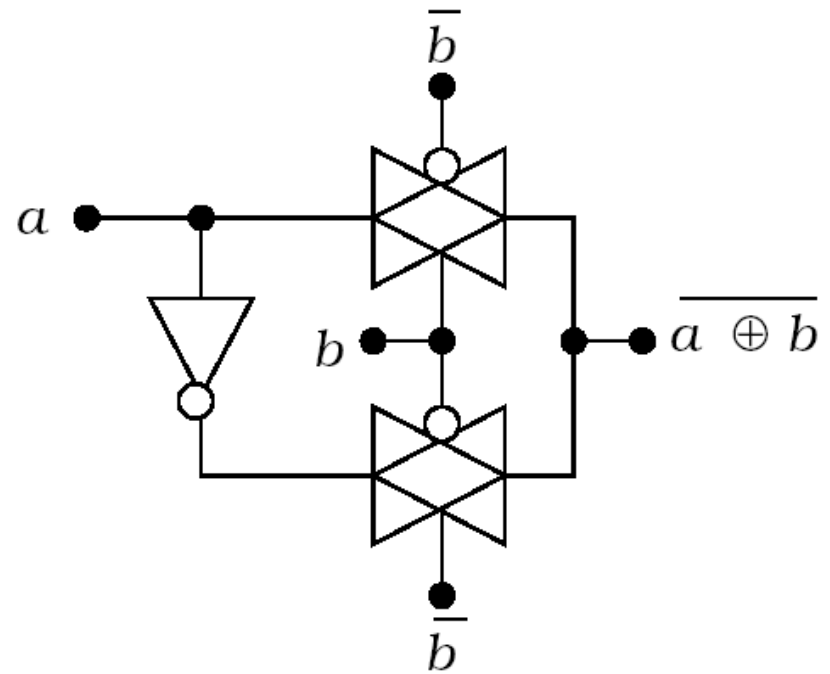
- ▶ Passa bem os níveis lógicos 1 e 0

# Porta de transmissão ou *transmission gate*

- ▶ Aplicação: Portas XOR e XNOR com TG's



(a) XOR circuit



(b) XNOR circuit

**FIM**