



Organização de Computadores Digitais

Capítulo 11 - Estrutura e Função da CPU

1



Tópicos

- o Estrutura da CPU
- o Registradores
- o Ciclo de Instruções
- o Fluxo de Dados

2

Giuseppe Scavone EADH - USP

OCD - Organização de Computadores Digitais - 2006



Arquitetura de Microprocessadores

- o Virtualmente quase todos os computadores contemporâneos são baseados na Arquitetura de Von Neuman e são baseados em 3 conceitos:
 - o Os dados e as instruções são armazenados numa memória de leitura/escrita
 - o O conteúdo desta memória é endereçado por localização sem preocupação com o tipo de dados
 - o A execução ocorre de uma forma sequencial (a não ser que explicitamente modificada) de uma instrução para outra
- o A CPU é quem vai exercer o controle entre os vários registradores da memória e calcular as operações tendo em conta os vários sinais de controle

3

Giuseppe Scavone EADH - USP

OCD - Organização de Computadores Digitais - 2006



Organização Interna da CPU

Para compreendermos a organização da CPU temos de considerar as suas funções básicas:

- o Buscar Instruções (Fetch Instructions): a CPU tem de ler as instruções a partir da memória
- o Interpretar Instruções: as instruções têm de ser decodificadas por forma a determinar a ação a executar
- o Buscar dados (Fetch Data): a execução de uma instrução pode necessitar a leitura de dados da memória ou do módulo de entradas e saídas (I/O)
- o Processar dados: a execução de uma instrução pode implicar operações lógicas ou aritméticas nos dados
- o Escrever dados: os resultados de uma execução podem implicar escrever dados na memória ou num módulo de E/S

4

Giuseppe Scavone EADH - USP

OCD - Organização de Computadores Digitais - 2006



Organização Interna da CPU

- o Tendo em conta estas operações, o computador tem de ter um lugar onde guardar os dados
- o É necessário saber qual o endereço físico da última instrução para que ele próprio consiga executar a próxima
- o É necessário que o computador guarde temporariamente os dados enquanto é executada uma instrução. Em outras palavras é necessário que a CPU tenha uma pequena memória interna
- o Além dos registradores internos do processador, onde serão alocadas as instruções e os dados de memória temporariamente, a CPU é constituída por uma Unidade Lógica Aritmética e uma Unidade de Controle

Giuseppe Scavone EADH - USP

OCD - Organização de Computadores Digitais - 2006



Organização Interna da CPU

- o A ALU (Unidade Lógica Aritmética) processa e calcula os dados
- o A Unidade de controle, controla o fluxo de dados e as instruções enviadas e recebidas da CPU e controla também as operações da ALU

5

Giuseppe Scavone EADH - USP

OCD - Organização de Computadores Digitais - 2006

Organização Interna da CPU

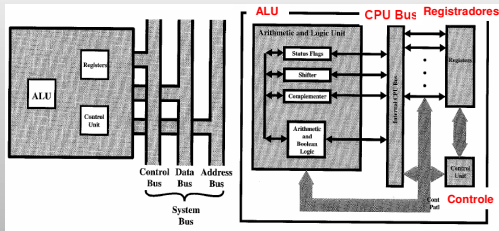


Figure 11.1 The CPU with the System Bus

Giselle Scavone EACH - USP

Figure 11.2 Internal Structure of the CPU

OCD - Organização de Computadores Digitais - 2006

Organização Interna da CPU

- Vejam-se as grandes semelhanças entre as partes constituintes da CPU e a estrutura dos computadores
- Computador= CPU, I/O, Memória
- CPU= Unidade de controle, ALU, registradores

8

Giselle Scavone EACH - USP

OCD - Organização de Computadores Digitais - 2006

Organização Interna da CPU

- A ALU e todos os registradores da CPU estão interligados através de um bus interno
- As portas e os sinais de controle servem para mover os dados de e para o bus em cada registrador
- Sinais de controle adicionais controlam a transferência de e para o bus do sistema e operações da ALU
- Quando estiverem envolvidas operações na ALU, é necessário envolver mais registradores
- Quando uma operação envolvendo dois operandos for executada, um pode ser obtido do bus interno, mas o outro tem de ser obtido de uma outra origem

9

Giselle Scavone EACH - USP

OCD - Organização de Computadores Digitais - 2006

Estrutura e funções da CPU

- A CPU tem de ter algum espaço para trabalhar (arm. temporário)
- Este espaço é constituído por registradores
- O número e funções dos registradores varia de processador para processador
- Constitui uma das maiores decisões de projeto de um processador
- Constitui o topo da hierarquia da memória

10

Giselle Scavone EACH - USP

OCD - Organização de Computadores Digitais - 2006

Organização dos registradores

- Os registradores agrupam-se em dois grandes grupos:
 - Registradores visíveis ao usuário
 - Registradores de controle de estado.
- Os registradores visíveis ao usuário permitem ao programador minimizar as referências à memória principal e podem ser caracterizados nas seguintes categorias:
 - registradores de Uso Geral
 - registradores de Dados
 - registradores de Endereço

11

Giselle Scavone EACH - USP

OCD - Organização de Computadores Digitais - 2006

Registradores visíveis ao usuário

- registradores de Uso Geral** - podem ser atribuídos a uma variedade de funções pelo programador, normalmente podem conter operandos para qualquer código de operação
- registradores de Dados** - só podem ser utilizados para guardar dados e não podem ser utilizados em operações de cálculo de endereços
- registradores de Endereço** - podem ser de uso geral ou podem estar vocacionados para um modo de endereçamento particular (ex Stack pointer)
- Códigos de condição** - também chamados de flags, geralmente agrupados em um ou mais registradores que são alterados apenas pela CPU dependendo da última operação lógica ou aritmética

Giselle Scavone EACH - USP

OCD - Organização de Computadores Digitais - 2006



Exemplo de Códigos de Condição

- o Conjunto de bits individuais
 - o Ex. o resultado da última operação foi zero
- o Podem ser lidos (implicitamente) por programas
 - o ex. Salta se zero
- o Não pode (usualmente) ser estabelecido por programas

13

Giselle Scramato EACH - USP

OCD - Organização de Computadores Digitais - 2006



Organização dos registradores

- o Os registradores de controle de Estado são utilizados pela unidade de controle para controlar a operação da CPU e por programas privilegiados (sistema operacional) para controlar a execução de outros programas
- o Como exemplos destes registradores temos os quatro registradores essenciais à execução de instruções:
 - o Program Counter (PC) - contém o endereço de uma posição de memória;
 - o Instruction Register (IR) - contém a instrução buscada mais recentemente
 - o Memory Access Register (MAR) - contém o endereço de uma posição de memória
 - o Memory Buffer Register (MBR) - contém uma palavra de dados a ser escrita em memória ou a palavra lida mais recentemente

14

Giselle Scramato EACH - USP

OCD - Organização de Computadores Digitais - 2006



Estrutura e funções da CPU

- o Fazem parte dos registradores internos da CPU:
 - o O MAR (Memory Address Register) que especifica o endereço de memória para a próxima leitura e escrita
 - o O MBR (Memory Buffer Register) que contém os dados que vão ser escritos na memória ou então que detém os dados lidos da memória
- o Do mesmo modo, os registradores I/O AR e o I/O BR especificam o módulo de entradas e saídas usado para a troca de dados entre o módulo de entradas e saídas da CPU

Giselle Scramato EACH - USP

OCD - Organização de Computadores Digitais - 2006



Organização dos registradores

- o Todos as CPU(s) incluem um registrador ou conjunto de registradores normalmente chamado Program Status Word (PSW) que contém informação de estado:
 - o sign - contém o sinal da última operação aritmética
 - o zero - ativo quando o resultado é zero
 - o carry - ativo se uma comparação lógica for verdadeira
 - o overflow - indica overflow aritmético
 - o interrupt enable/disable - liga e desliga as interrupções
- 15 supervisor - indica se a CPU está executando em modo privilegiado

Giselle Scramato EACH - USP

OCD - Organização de Computadores Digitais - 2006



Organização Interna da CPU

- o O AC (acumulador) poderia ser usado para o efeito mas iria limitar a flexibilidade do sistema e não iria funcionar com a CPU na situação em que está operando com vários registradores
- o A ALU é um circuito combinacional sem capacidade de memória. Assim, quando os sinais de controle ativam as funções da ALU, os inputs da ALU são transferidos em output
- o Por esta razão, o output não pode ser ligado diretamente ao bus porque senão entraria em feedback com o input

Giselle Scramato EACH - USP

OCD - Organização de Computadores Digitais - 2006



Organização Interna da CPU

- o Para isto utilizaremos um registrador (Z) que arquivará temporariamente o output
- o Com a utilização destes novos registradores, uma operação para adicionar um valor ao AC desde memória compreenderia os seguintes passos:
 - o A1: MAR \leftarrow IR (Address)
 - o A2: MBR \leftarrow Memory
 - o A3: Y \leftarrow MBR
 - o A4: Z \leftarrow (AC) + Y
 - o A5: AC \leftarrow Z
- o Além da utilização destes registradores, são possíveis outras organizações

18

Giselle Scramato EACH - USP

OCD - Organização de Computadores Digitais - 2006



Organização dos registradores

- Quantos registradores?
 - Entre 8 e 32
 - Menos = mais referências a memória
- Tamanho dos registradores?
 - Suficientemente grande para armazenar um endereço completo
 - Suficientemente grande para armazenar uma palavra
 - É muitas vezes possível combinar dois registradores de dados
 - Programação em C


```
int a;
long int a;
```

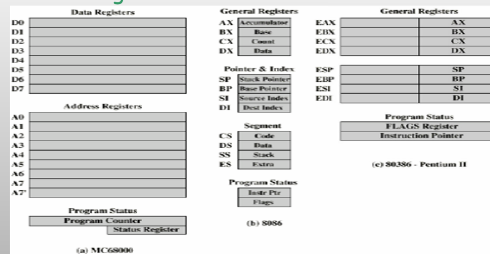
19

Gleide Scavero EACH - USP

OCD - Organização de Computadores Digitais - 2006



Exemplo de Organização de registradores



Gleide Scavero EACH - USP

OCD - Organização de Computadores Digitais - 2006



Ciclo de Instrução

Um ciclo de instrução inclui os seguintes subciclos:

- Busca - lê a próxima instrução da memória para a CPU
- Execução - interpreta o opcode e executa a respectiva operação
- Interrupção - se as interrupções estiverem ativas, e no caso de haver um interrupção, a informação é salva no estado em que se encontra

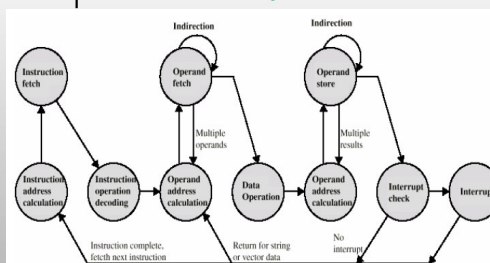
21

Gleide Scavero EACH - USP

OCD - Organização de Computadores Digitais - 2006



Ciclo de Instrução



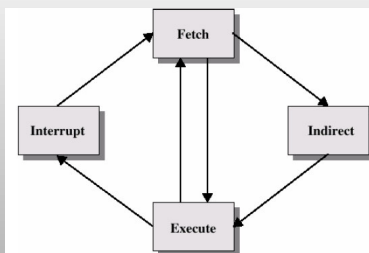
22

Gleide Scavero EACH - USP

OCD - Organização de Computadores Digitais - 2006



Ciclo de Instrução



Gleide Scavero EACH - USP

OCD - Organização de Computadores Digitais - 2006



Fluxo de Dados

- A sequência exata do eventos durante um ciclo de instrução depende do projeto da CPU
- Após o ciclo de Busca a unidade de controle examina o conteúdo de IR e, se este tiver um operando em endereçamento indireto, executa um ciclo indireto
- Analogamente o ciclo de interrupção tem um comportamento simples e previsível

24

Gleide Scavero EACH - USP

OCD - Organização de Computadores Digitais - 2006



Ciclo de Busca

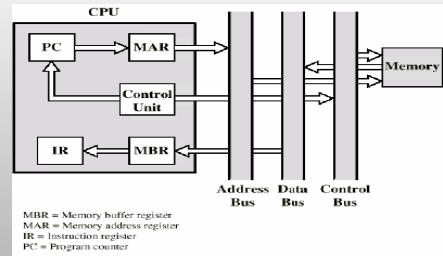
- o Durante um ciclo de Busca, uma instrução é lida da memória
- o O PC contém o endereço da próxima instrução a ser buscada
- o Este endereço é copiado para o MAR e colocado no bus de endereços
- o A unidade de controle faz um pedido de leitura de memória e o resultado é:
 - o Colocado no bus de dados
 - o Copiado para o MBR
 - o Movido para o IR
- o Entretanto o PC é incrementado, preparando-se o próximo ciclo de Busca

Giselle Scavone EACH - USP

OCD - Organização de Computadores Digitais - 2006



Ciclo de Busca



25

Giselle Scavone EACH - USP

OCD - Organização de Computadores Digitais - 2006



Ciclo Indireto

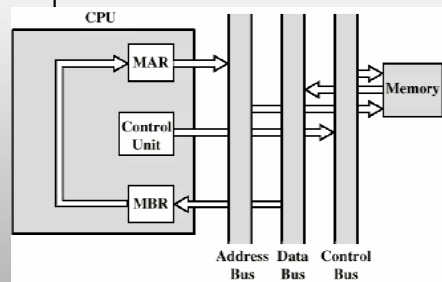
- o A Busca de um endereço indireto introduz um novo subciclo de instrução que executa os acessos à memória suplementares
- o Nesta situação a principal linha de atividade consiste na alternância entre atividades de busca de instruções e atividades de instrução e execuções
- o Depois de uma instrução ser buscada, é examinada com o intuito de se determinar se ocorreu algum endereçamento indireto
- o Em caso afirmativo, os operandos são buscados usando o endereçamento indireto
- o Logo depois e antes da busca da próxima instrução é verificado o estado das interrupções

Giselle Scavone EACH - USP

OCD - Organização de Computadores Digitais - 2006



Ciclo Indireto



Giselle Scavone EACH - USP

OCD - Organização de Computadores Digitais - 2006



Ciclo Indireto

- o Uma vez acabado o ciclo de busca, a unidade de controle examina o conteúdo do IR para determinar se este contém um operando de endereçamento indireto
- o Neste caso é realizado um ciclo indireto
- o Os n bits mais significativos do MBR que contém o endereço de referência, são transferidos para o MAR
- o A unidade de controle faz uma leitura à memória para obter o endereço desejado do operando para o MBR
- o Os ciclos indiretos podem envolver transferência de dados entre os registradores, leitura ou escrita em memória ou I/O e/ou processamento na ALU

29

Giselle Scavone EACH - USP

OCD - Organização de Computadores Digitais - 2006



Ciclo de Interrupção

- o Tanto os ciclos de Busca como os ciclos indiretos são simples e previsíveis
- o No caso dos ciclos de interrupção, sendo estes também simples e previsíveis, o valor do PC é salvo após a interrupção
- o O valor do PC é transferido para o MBR e escrito em memória
- o O local reservado em memória para este efeito é carregado no MAR a partir da unidade de controle
- o O PC é carregado com o endereço da rotina de interrupção, como resultado, o próximo ciclo de instrução irá começar na instrução apropriada

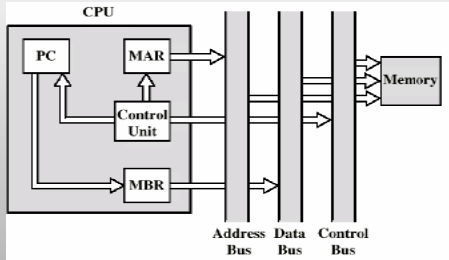
30

Giselle Scavone EACH - USP

OCD - Organização de Computadores Digitais - 2006



Ciclo de Interrupção





Organização de Computadores Digitais

Capítulo 11 - Estrutura e Função
da CPU



Tópicos

- o Estrutura da CPU
- o Registradores
- o Ciclo de Instruções
- o Fluxo de Dados



Arquitetura de Microprocessadores

- Virtualmente quase todos os computadores contemporâneos são baseados na Arquitetura de Von Neumman e são baseados em 3 conceitos:
 - Os dados e as instruções são armazenados numa memória de leitura/escrita
 - O conteúdo desta memória é endereçado por localização sem preocupação com o tipo de dados
 - A execução ocorre de uma forma sequencial (a não ser que explicitamente modificada) de uma instrução para outra
- A CPU é quem vai exercer o controle entre os vários registradores da memória e calcular as operações tendo em conta os vários sinais de controle



Organização Interna da CPU

Para compreendermos a organização da CPU temos de considerar as suas funções básicas:

- Buscar Instruções (Fetch Instructions): a CPU tem de ler as instruções a partir da memória
- Interpretar Instruções: as instruções têm de ser decodificadas por forma a determinar a ação a executar
- Buscar dados (Fetch Data): a execução de uma instrução pode necessitar a leitura de dados da memória ou do módulo de entradas e saídas (I/O)
- Processar dados: a execução de uma instrução pode implicar operações lógicas ou aritméticas nos dados
- Escrever dados: os resultados de uma execução podem implicar escrever dados na memória ou num módulo de E/S



Organização Interna da CPU

- o Tendo em conta estas operações, o computador tem de ter um lugar onde guardar os dados
- o É necessário saber qual o endereço físico da última instrução para que ele próprio consiga executar a próxima
- o É necessário que o computador guarde temporariamente os dados enquanto é executada uma instrução. Em outras palavras é necessário que a CPU tenha uma pequena memória interna
- o Além dos registradores internos do processador, onde serão alocadas as instruções e os dados de memória temporariamente, a CPU é constituída por uma Unidade Lógica Aritmética e uma Unidade de Controle



Organização Interna da CPU

- A ALU (**Unidade Lógica Aritmética**) processa e calcula os dados
- A **Unidade de controle**, controla o fluxo de dados e as instruções enviadas e recebidas da CPU e controla também as operações da ALU

0 0 0

Organização Interna da CPU

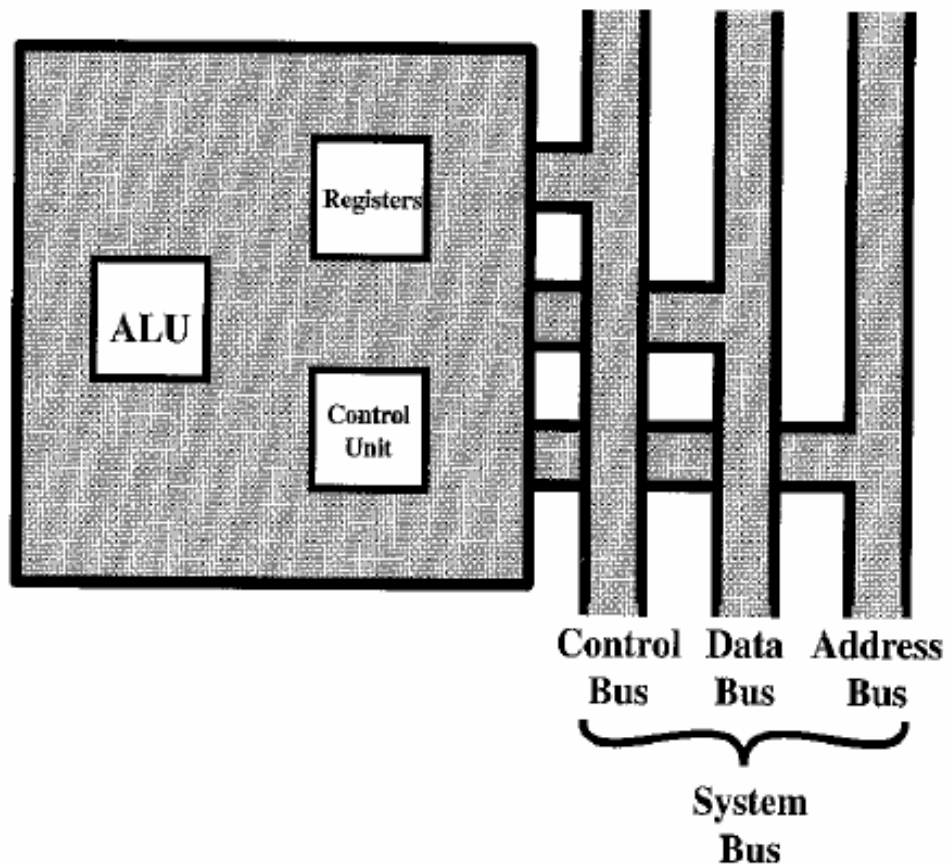


Figure 11.1 The CPU with the System Bus.

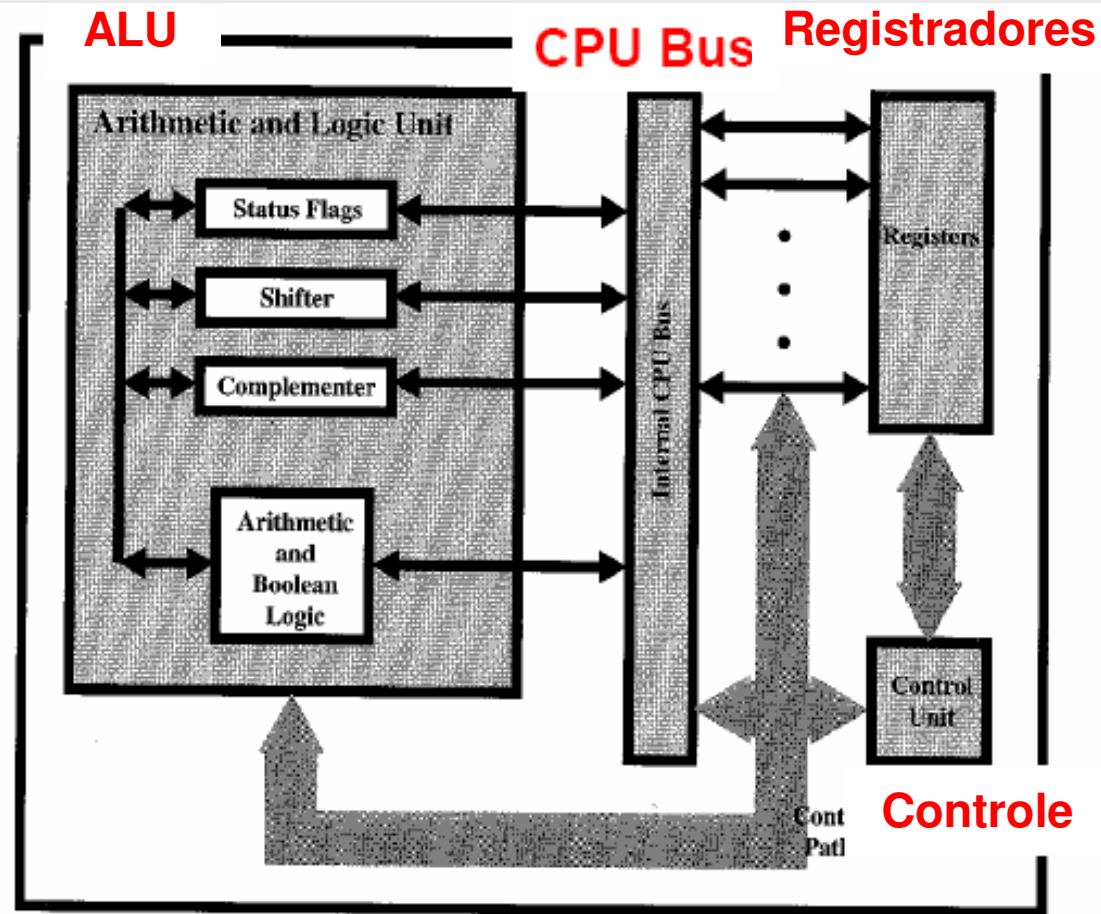


Figure 11.2 Internal Structure of the CPU.



Organização Interna da CPU

- o Vejam-se as grandes semelhanças entre as partes constituintes da CPU e a estrutura dos computadores
- o Computador= CPU, I/O, Memória
- o CPU= Unidade de controle, ALU, registradores



Organização Interna da CPU

- A ALU e todos os registradores da CPU estão interligados através de um bus interno
- As portas e os sinais de controle servem para mover os dados de e para o bus em cada registrador
- Sinais de controle adicionais controlam a transferência de e para o bus do sistema e operações da ALU
- Quando estiverem envolvidas operações na ALU, é necessário envolver mais registradores
- Quando uma operação envolvendo dois operandos for executada, um pode ser obtido do bus interno, mas o outro tem de ser obtido de uma outra origem



Estrutura e funções da CPU

- A CPU tem de ter algum espaço para trabalhar (arm. temporário)
- Este espaço é constituído por registradores
- O número e funções dos registradores varia de processador para processador
- Constitui uma das maiores decisões de projeto de um processador
- Constitui o topo da hierarquia da memória



Organização dos registradores

- Os registradores agrupam-se em dois grandes grupos:
 - Registradores visíveis ao usuário
 - Registradores de controle de estado.
- Os registradores visíveis ao usuário permitem ao programador minimizar as referências à memória principal e podem ser caracterizados nas seguintes categorias:
 - registradores de Uso Geral
 - registradores de Dados
 - registradores de Endereço



Registradores visíveis ao usuário

- o **registradores de Uso Geral** -podem ser atribuídos a uma variedade de funções pelo programador, normalmente podem conter operandos para qualquer código de operação
- o **registradores de Dados** -só podem ser utilizados para guardar dados e não podem ser utilizados em operações de cálculo de endereços
- o **registradores de Endereço** -podem ser de uso geral ou podem estar vocacionados para um modo de endereçamento particular (ex Stack pointer)
- o **Códigos de condição** -também chamados de flags, geralmente agrupados em um ou mais registradores que são alterados apenas pela CPU dependendo da última operação lógica ou aritmética



Exemplo de Códigos de Condição

- Conjunto de bits individuais
 - Ex. o resultado da ultima operação foi zero
- Podem ser lidos (implicitamente) por programas
 - ex. Salta se zero
- Não pode (usualmente) ser estabelecido por programas



Organização dos registradores

- Os registradores de controle de Estado são utilizados pela unidade de controle para controlar a operação da CPU e por programas privilegiados (sistema operacional) para controlar a execução de outros programas
- Como exemplos destes registradores temos os quatro registradores essenciais à execução de instruções:
 - Program Counter (PC) - contém o endereço de uma posição de memória;
 - Instruction Register (IR) - contém a instrução buscada mais recentemente
 - Memory Access Register (MAR) - contém o endereço de uma posição de memória
 - Memory Buffer Register (MBR) - contém uma palavra de dados a ser escrita em memória ou a palavra lida mais recentemente



Estrutura e funções da CPU

- Fazem parte dos registradores internos da CPU:
 - O MAR (Memory Address Register) que especifica o endereço de memória para a próxima leitura e escrita
 - O MBR (Memory Buffer Register) que contém os dados que vão ser escritos na memória ou então que detém os dados lidos da memória
- Do mesmo modo, os registradores I/O AR e o I/O BR especificam o módulo de entradas e saídas usado para a troca de dados entre o módulo de entradas e saídas da CPU



Organização dos registradores

- Todos as CPU(s) incluem um registrador ou conjunto de registradores normalmente chamado Program Status Word (PSW) que contem informação de estado:
 - sign -contém o sinal da última operação aritmética
 - zero -ativo quando o resultado é zero
 - carry -ativo se uma comparação lógica for verdadeira
 - overflow -indica overflow aritmético
 - interrupt enable/disable -liga e desliga as interrupções
 - supervisor -indica se a CPU está executando em modo privilegiado



Organização Interna da CPU

- O AC (accumulator) poderia ser usado para o efeito mas iria limitar a flexibilidade do sistema e não iria funcionar com a CPU na situação em que está operando com vários registradores
- A ALU é um circuito combinacional sem capacidade de memória. Assim, quando os sinais de controle ativam as funções da ALU, os inputs da ALU são transferidos em output
- Por esta razão, o output não pode ser ligado diretamente ao bus porque senão entraria em feedback com o input



Organização Interna da CPU

- Para isto utilizaremos um registrador (Z) que arquivará temporariamente o output
- Com a utilização destes novos registradores, uma operação para adicionar um valor ao AC desde memória compreenderia os seguintes passos:
- A1: $MAR \leftarrow IR$ (Address)
- A2: $MBR \leftarrow Memory$
- A3: $Y \leftarrow MBR$
- A4: $Z \leftarrow (AC) + Y$
- A5: $AC \leftarrow Z$
- Além da utilização destes registradores, são possíveis outras organizações



Organização dos registradores

- o Quantos registradores?
 - o Entre 8 e 32
 - o Menos = mais referencias a memória
- o Tamanho dos registradores?
 - o Suficientemente grande para armazenar um endereço completo
 - o Suficientemente grande para armazenar uma palavra
 - o E' muitas vezes possível combinar dois registradores de dados
 - o Programação em C
 - o `int a;`
 - o `long int a;`

o o o

Exemplo de Organização de registradores

Data Registers

D0	
D1	
D2	
D3	
D4	
D5	
D6	
D7	

Address Registers

A0	
A1	
A2	
A3	
A4	
A5	
A6	
A7	
A7*	

Program Status

Program Counter
Status Register

(a) MC68000

General Registers

AX	Accumulator
BX	Base
CX	Count
DX	Data

Pointer & Index

SP	Stack Pointer
BP	Base Pointer
SI	Source Index
DI	Dest Index

Segment

CS	Code
DS	Data
SS	Stack
ES	Extra

Program Status

Instr Ptr
Flags

(b) 8086

General Registers

EAX	AX
EBX	BX
ECX	CX
EDX	DX

ESP	SP
EBP	BP
ESI	SI
EDI	DI

Program Status

FLAGS Register
Instruction Pointer

(c) 80386 - Pentium II

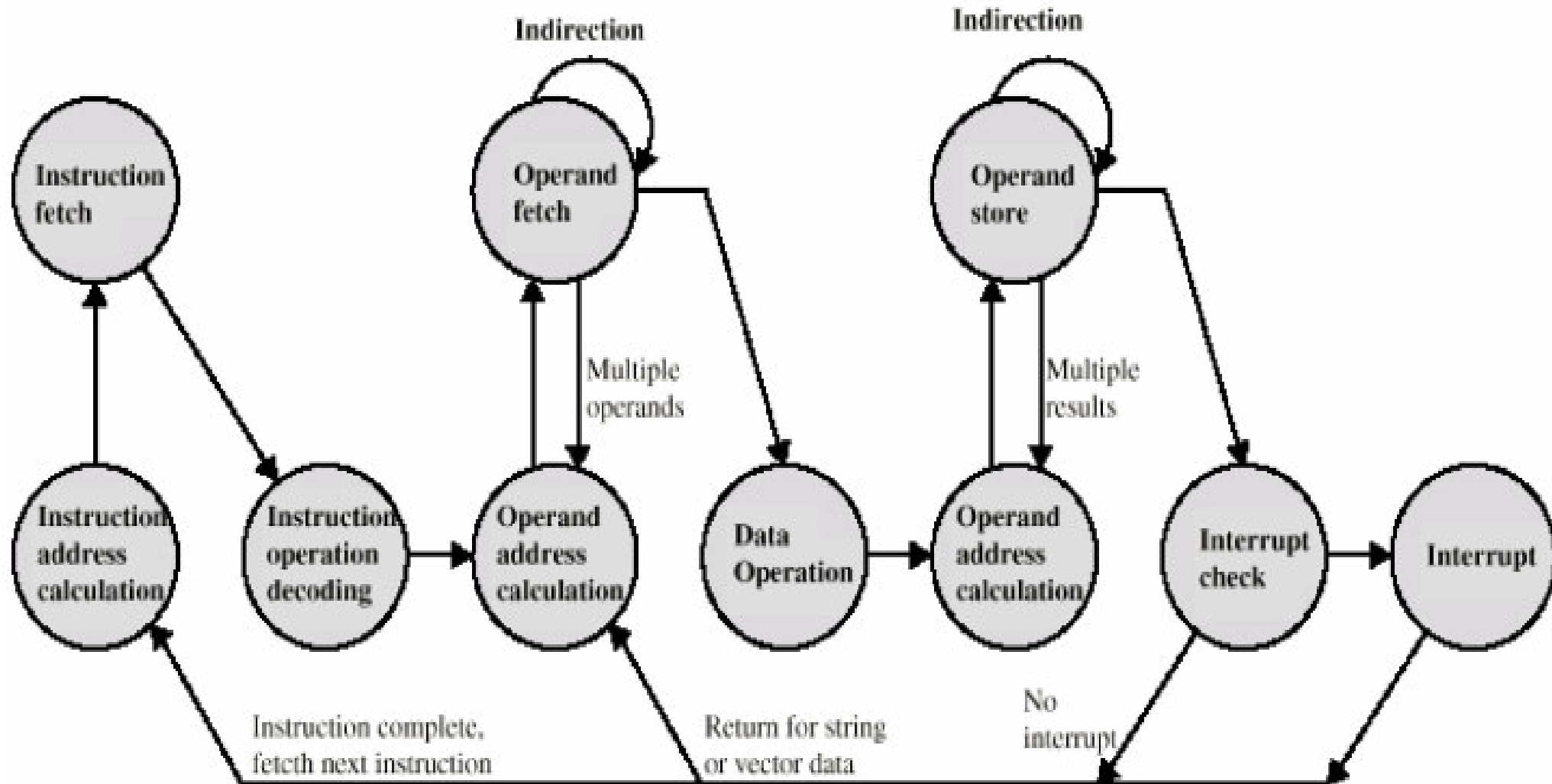


Ciclo de Instrução

Um ciclo de instrução inclui os seguintes subciclos:

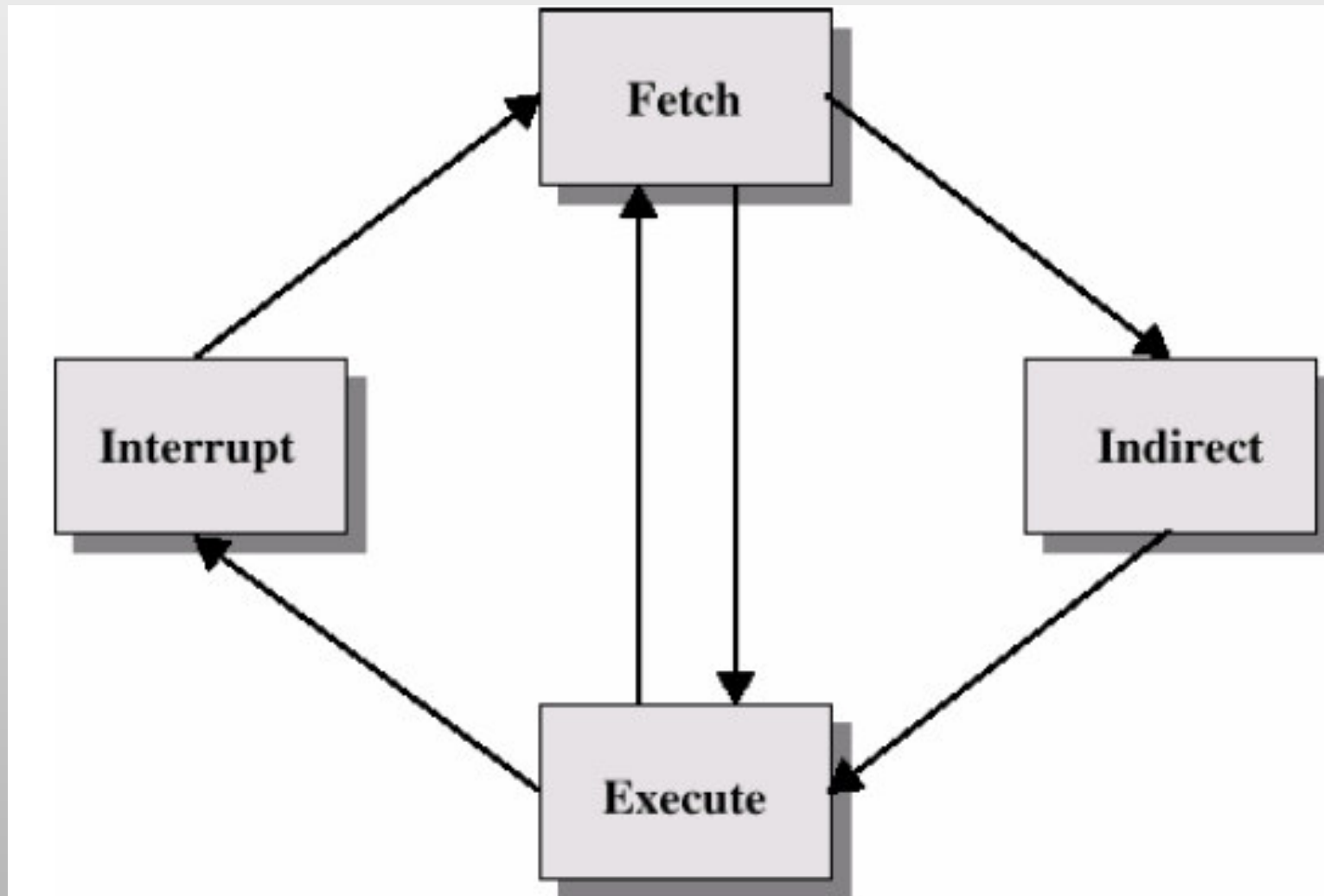
- Busca - lê a próxima instrução da memória para a CPU
- Execução - interpreta o opcode e executa a respectiva operação
- Interrupção - se as interrupções estiverem ativas, e no caso de haver um interrupção, a informação é salva no estado em que se encontra

Ciclo de Instrução



0 0 0

Ciclo de Instrução





Fluxo de Dados

- A sequência exata dos eventos durante um ciclo de instrução depende do projeto da CPU
- Após o ciclo de Busca a unidade de controle examina o conteúdo de IR e, se este tiver um operando em endereçamento indireto, executa um ciclo indireto
- Analogamente o ciclo de interrupção tem um comportamento simples e previsível

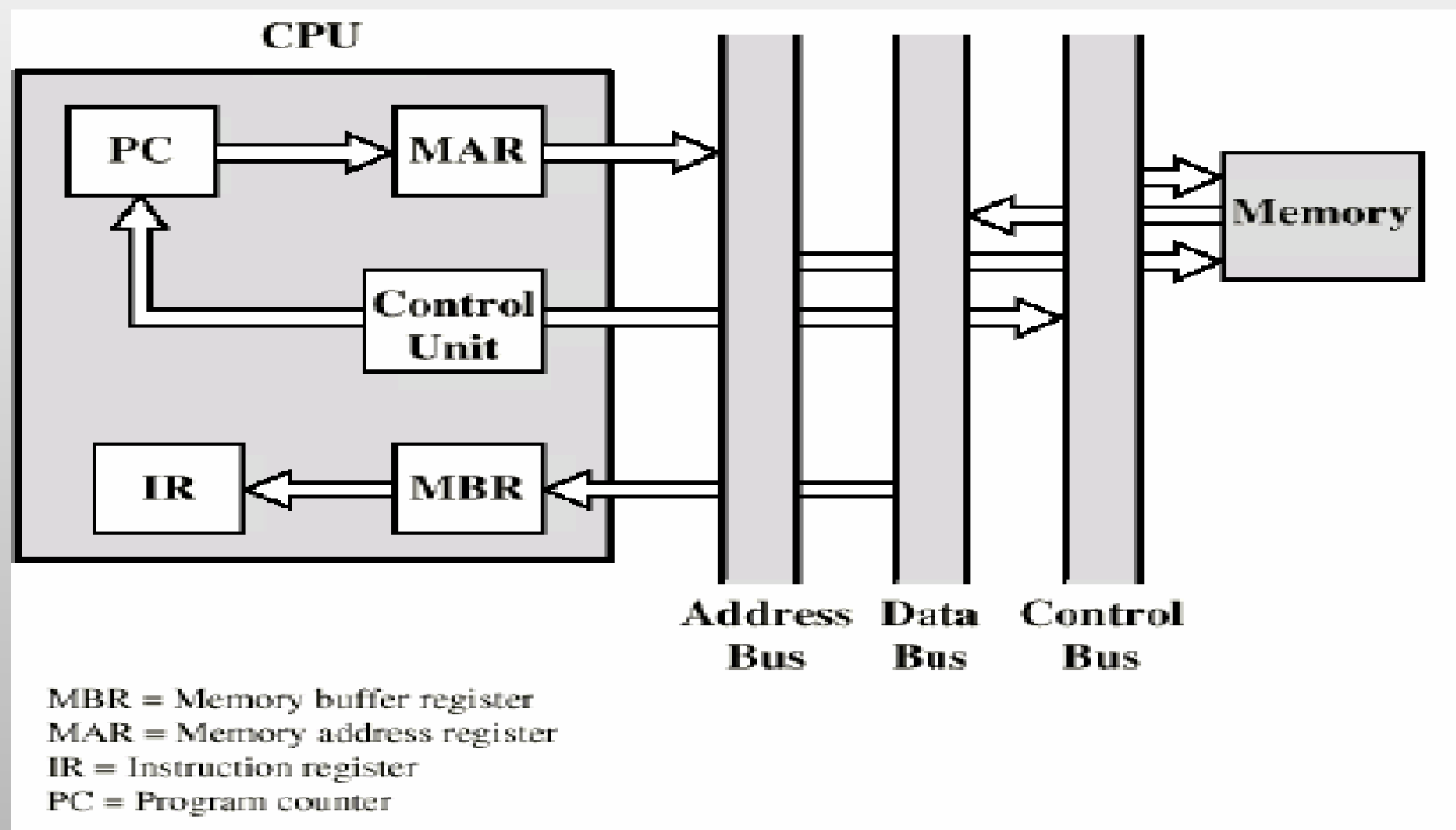


Ciclo de Busca

- Durante um ciclo de Busca, uma instrução é lida da memória
- O PC contém o endereço da próxima instrução a ser buscada
- Este endereço é copiado para o MAR e colocado no bus de endereços
- A unidade de controle faz um pedido de leitura da memória e o resultado é:
 - Colocado no bus de dados
 - Copiado para o MBR
 - Movido para o IR
- Entretanto o PC é incrementado, preparando-se o próximo ciclo

0 0 0

Ciclo de Busca



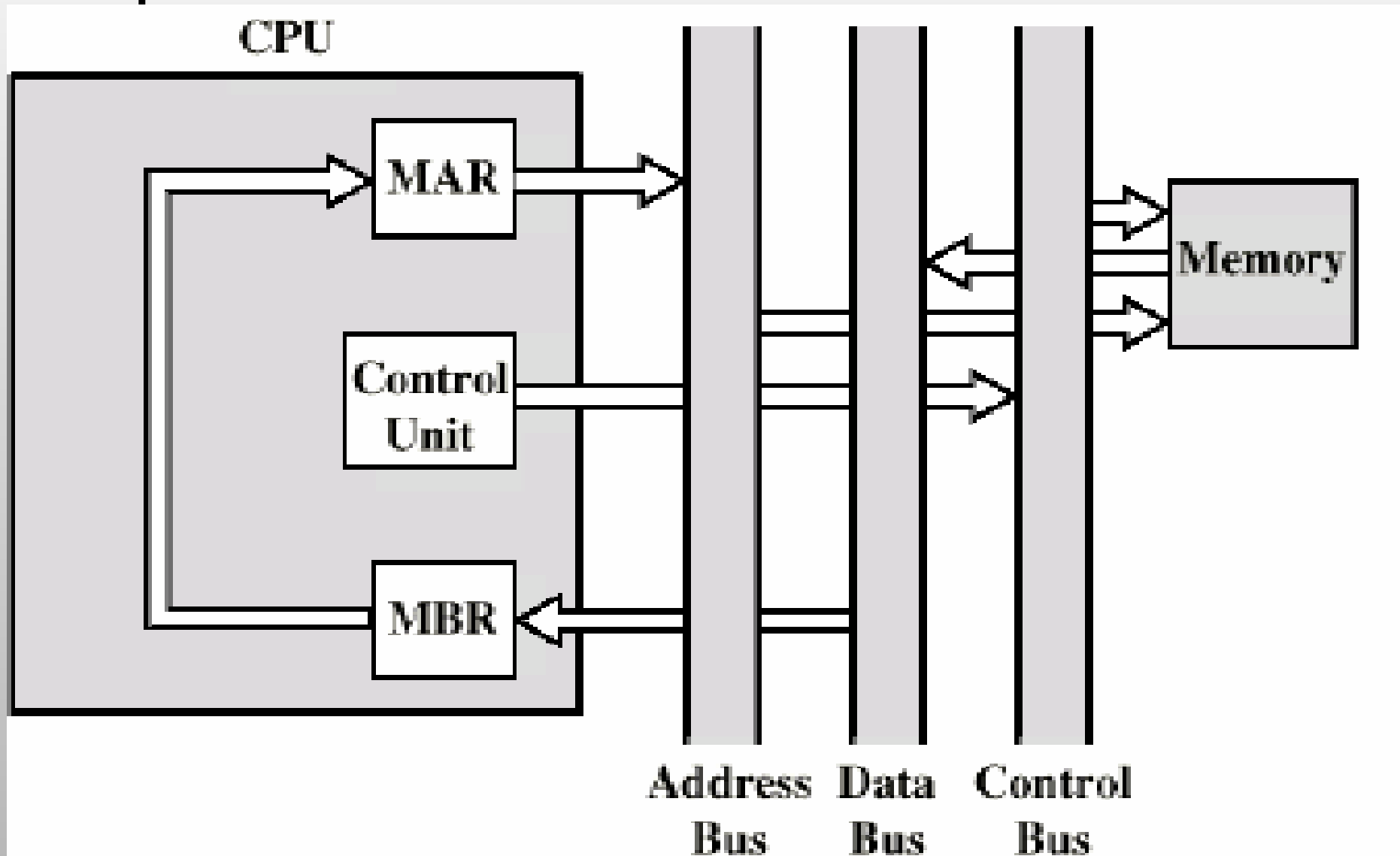


Ciclo Indireto

- A Busca de um endereço indireto introduz um novo subciclo de instrução que executa os acessos à memória suplementares
- Nesta situação a principal linha de atividade consiste na alternância entre atividades de busca de instruções e atividades de instrução e execuções
- Depois de uma instrução ser buscada, é examinada com o intuito de se determinar se ocorreu algum endereçamento indireto
- Em caso afirmativo, os operandos são buscados usando o endereçamento indireto
- Logo depois e antes da busca da próxima instrução é verificado o estado das interrupções

0 0 0

Ciclo Indireto





Ciclo Indireto

- o Uma vez acabado o ciclo de busca, a unidade de controle examina o conteúdo do IR para determinar se este contém um operando de endereçamento indireto
- o Neste caso é realizado um ciclo indireto
- o Os n bits mais significativos do MBR que contêm o endereço de referência, são transferidos para o MAR
- o A unidade de controle faz uma leitura à memória para obter o endereço desejado do operando para o MBR
- o Os ciclos indiretos podem envolver transferência de dados entre os registradores, leitura ou escrita em memória ou I/O e/ou processamento na ALU



Ciclo de Interrupção

- o Tanto os ciclos de Busca como os ciclos indiretos são simples e previsíveis
- o No caso dos ciclos de interrupção, sendo estes também simples e previsíveis, o valor do PC é salvo após a interrupção
- o O valor do PC é transferido para o MBR e escrito em memória
- o O local reservado em memória para este efeito é carregado no MAR a partir da unidade de controle
- o O PC é carregado com o endereço da rotina de interrupção, como resultado, o próximo ciclo de instrução irá começar na instrução apropriada

0 0 0

Ciclo de Interrupção

