



Organização de Computadores Digitais

Capítulo 3 - Barramentos do Sistema

1



Conceito

- Sistemas em hardware são inflexíveis
- Hardware de propósito geral pode realizar diferentes tarefas, desde de que se dê os sinais de controle corretos
- Ao invés de novos fios, novos sinais de controle

2

Osvaldo S. Craveiro EACN-USP

CCD - Organização de Computadores Digitais - 2008



O que é um programa?

- Uma sequência de passos
- Para cada passo, uma operação lógica ou aritmética é feita
- Para cada operação, um conjunto diferente de sinais de controle é necessário

3

Osvaldo S. Craveiro EACN-USP

CCD - Organização de Computadores Digitais - 2008



Função da Unidade de Controle

- Para cada operação um único código é estabelecido
 - ex. ADD, MOVE
- Um segmento de hardware aceita o código e emite os sinais de controle
- Eis um computador!

4

Osvaldo S. Craveiro EACN-USP

CCD - Organização de Computadores Digitais - 2008



Componentes

- A Unidade de Controle e a Unidade Aritmética e Lógica constituem Unidade Central de Processamento
- Dados e instruções necessitam entrar no sistema e os resultados sair
 - Entrada/saída
- Armazenamento temporário do código e dos resultados é necessário

5

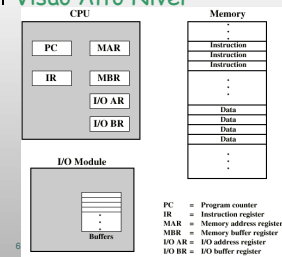
- Memória principal

Osvaldo S. Craveiro EACN-USP

CCD - Organização de Computadores Digitais - 2008



Componentes do Computador: Visão Alto Nível



6

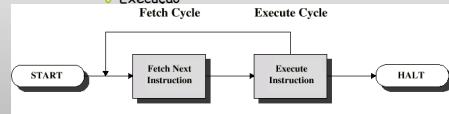
Osvaldo S. Craveiro EACN-USP

CCD - Organização de Computadores Digitais - 2008

Ciclo de Instrução

- Dois passos:

- Busca
- Execução



7

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

Ciclo de Busca

- programa Counter (PC) guarda o endereço da próxima instrução a ser buscada
- Processador busca a instrução da localização de memória apontada pelo PC
- Incremento do PC
 - A não ser que se diga o contrário
- Instrução é carregada no Instruction Register
- Processador interpreta a instrução e realiza as ações necessárias

8

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

Ciclo de Execução

- Processador-memória
 - Transferência de dados entre CPU e memória principal
- Processador - I/O
 - Transferência de dados entre CPU e o módulo de I/O

9

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

Ciclo de Execução

- Processamento de Dados
 - Alguma operação aritmética ou lógica nos dados
- Controle
 - Alteração da sequência de operações
 - ex. jump
- Combinação das etapas anteriores

10

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

Exemplo da Execução de programa

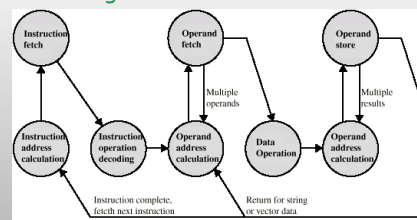
| | | | |
|---|--|---|--|
| Memory 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR 040 [0 0 0 3] 041 [0 0 0 3] | CPU Registers 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR | Memory 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR 040 [0 0 0 3] 041 [0 0 0 3] | CPU Registers 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR |
| Step 1 | | | |
| Memory 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR 040 [0 0 0 3] 041 [0 0 0 3] | CPU Registers 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR | Memory 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR 040 [0 0 0 3] 041 [0 0 0 3] | CPU Registers 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR |
| Step 2 | | | |
| Memory 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR 040 [0 0 0 3] 041 [0 0 0 3] | CPU Registers 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR | Memory 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR 040 [0 0 0 3] 041 [0 0 0 3] | CPU Registers 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR |
| Step 3 | | | |
| Memory 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR 040 [0 0 0 3] 041 [0 0 0 3] | CPU Registers 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR | Memory 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR 040 [0 0 0 3] 041 [0 0 0 3] | CPU Registers 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR |
| Step 4 | | | |
| Memory 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR 040 [0 0 0 3] 041 [0 0 0 3] | CPU Registers 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR | Memory 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR 040 [0 0 0 3] 041 [0 0 0 3] | CPU Registers 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR |
| Step 5 | | | |
| Memory 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR 040 [0 0 0 3] 041 [0 0 0 3] | CPU Registers 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR | Memory 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR 040 [0 0 0 3] 041 [0 0 0 3] | CPU Registers 300 [1 9 4 0] PC 301 [5 9 4 1] AC 302 [2 9 4 1] IR |
| Step 6 | | | |

11

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

Ciclo de Instrução - Diagrama de Estados



12

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

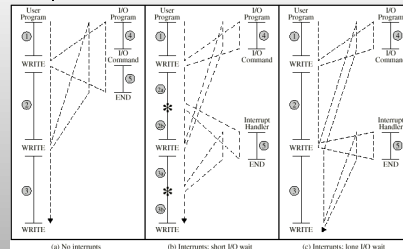
000 Interrupções

- o Mecanismo pelo qual outros módulos (ex. I/O) podem interromper sequência normal de processamento
- o programa
 - o ex. overflow, divisão por zero
- o Temporizador (timer)
 - o Gerado pelo temporizador interno do processador
 - o Usada na multi-tarefa preemptiva
- o I/O
 - o Vinda da controladora de I/O
- o Falha de Hardware
 - o ex. Erro de paridade de memória

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

000 Fluxo de Controle do Programa



Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

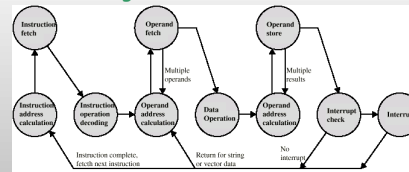
000 Ciclo de Interrupção

- o Adicionado ao ciclo de instrução
- o Processador verifica se houve interrupção
 - o Indicada por um sinal de interrupção
- o Se não há interrupção, busca a próxima instrução
- o Se há interrupção pendente:
 - o Suspende a execução atual do programa
 - o Salva o contexto
 - o Coloca o PC no endereço inicial da rotina de manipulação da interrupção
 - o Processa a interrupção
 - o Restaura o contexto e continua o programa interrompido

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

000 Ciclo de instrução (com Interrupções) - Diagrama de Estados



16

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

000 Interrupções Múltiplas

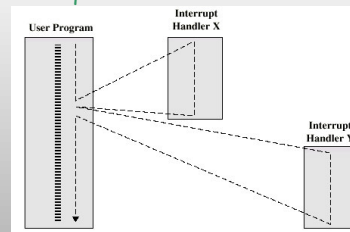
- o Desabilita interrupções
 - o processador ignorará outras interrupções enquanto isso processamento de uma interrupção
 - o interrupções permanecem pendentes e serão verificadas depois que a primeira interrupção seja processada
 - o interrupções são tratadas na sequência que ocorrem
- o Define prioridades
 - o Interrupções de baixa prioridade podem ser interrompidas por interrupções de mais alta prioridade
 - o Quando a interrupção de alta prioridade foi processada, o processador retorna à interrupção anterior

17

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

000 Interrupções Múltiplas - Sequencial

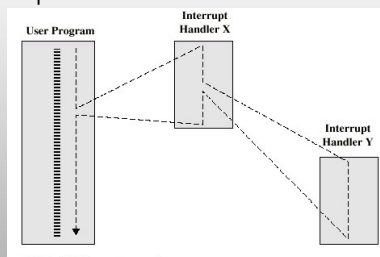


18

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

Interrupções Múltiplas - Aninhadas



Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

Conexões

- Todas as unidades devem estar conectadas
- Diferentes tipos de conexão para diferentes tipos de unidades
 - Memória
 - Input/Output
 - CPU

20

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

Conexão de Memória

- Recebe e envia dados
- Recebe endereços
- Recebe sinais de controle
 - Read
 - Write
 - Timing

21

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

Conexão de Entrada/Saída (1)

- Similar a memória a partir do ponto de vista do computador
- Saída
 - Recebe dados do computador
 - Envia dados ao periférico
- Entrada
 - Recebe dados do periférico
 - Envia dados ao computador

22

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

Conexão de Entrada/Saída(2)

- Recebe sinais de controle do computador
- Envia sinais de controle para os periféricos
 - ex. spin disk
- Recebe endereços do computador
 - ex. Número da porta para identificar o periférico
- Envia sinais de interrupção (controle)

23

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

Conexão CPU

- Lê instrução and dados
- Escreve dados (depois de processamento)
- Envia sinais de controle para outras unidades
- Recebe (& atua nas) interrupções

24

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008



Barramentos

- o Existe grande número dos possíveis sistemas de interconexão
- o Estruturas de simples e múltiplas são as mais comuns
- o ex. Control/Address/Data bus (PC)
- o ex. Unibus (DEC-PDP)

25

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008



O que é um barramento ?

- o Um meio de comunicação conectando dois ou mais dispositivos
- o Geralmente fazem broadcast
- o Geralmente agrupados
 - o Vários canais em um barramento
 - o ex. Barramento de dados de 32 bit são 32 canais de um bit separados

26

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008



Barramento de Dados

- o Carrega dados
 - o Ainda não há diferença entre "dados" e "instrução" neste nível
- o Largura é chave determinante do desempenho
 - o 8, 16, 32, 64 bit

27

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008



Barramento de Endereço

- o Identifica a fonte ou destino dos dados
- o ex. CPU necessita ler uma instrução (dado) de uma dada localização na memória
- o Largura do barramento determina a capacidade máxima do sistema
 - o ex. 8080 tem barramento de endereço de 16 bits, resultando em um espaço de endereçamento de 64k

28

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008



Barramento de Controle

- o Informação de controle e temporização
 - o Sinal de leitura/escrita de memória
 - o Requisição de interrupção
 - o Sinais de Clock

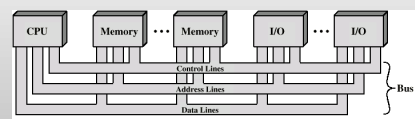
29

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008



Esquema de Interconexão de Barramento



30

Osvaldo S. Craveiro EACH-USP

OCD - Organização de Computadores Digitais - 2008

Como são?

- Qual a aparência dos barramentos?
 - Linhas paralelas em placas de circuito
 - Cabos largos
 - Faixas conectoras nas placas-mãe
 - ex. PCI
 - Conjuntos de cabos

31

Osvaldo S. Craveiro EACH-USP

CCD - Organização de Computadores Digitais - 2008

Problemas de Barramentos Únicos

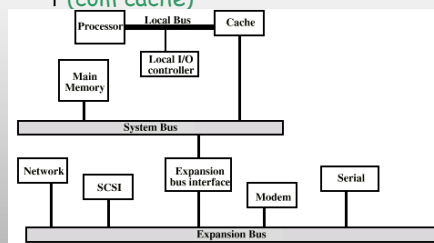
- Vários dispositivos em um único barramento leva a:
 - Atraso de propagação
 - Grandes caminhos significam que a coordenação do barramento pode afetar desfavoravelmente o desempenho
- A maioria dos sistemas usam barramentos múltiplos para solucionar os problemas

32

Osvaldo S. Craveiro EACH-USP

CCD - Organização de Computadores Digitais - 2008

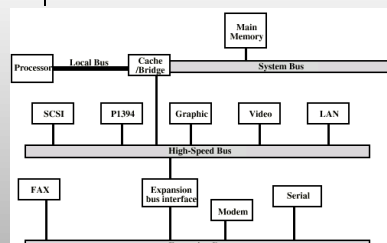
Tradicional (ISA) (com cache)



Osvaldo S. Craveiro EACH-USP

CCD - Organização de Computadores Digitais - 2008

Barramento de alto desempenho



Osvaldo S. Craveiro EACH-USP

CCD - Organização de Computadores Digitais - 2008

Tipos de barramento

- Dedicado
 - Separa linhas de dados & endereços
- Multiplexados
 - Linhas compartilhadas
 - Linha de endereço válido ou linha de controle de dados válidos
 - Vantagem - menos linhas
 - Desvantagens
 - Controle mais complexo
 - Desempenho

35

Osvaldo S. Craveiro EACH-USP

CCD - Organização de Computadores Digitais - 2008

Arbitração de barramento

- Mais de um módulo controlando o barramento
 - ex. CPU e DMA
- Apenas um módulo pode controlar o barramento por vez
- arbitração pode ser centralizada ou distribuída

36

Osvaldo S. Craveiro EACH-USP

CCD - Organização de Computadores Digitais - 2008



Arbitração Centralizada

- Um único dispositivo de hardware controlando acesso ao barramento
 - Controladora do barramento
 - Arbitro
- Podem ser tanto parte da CPU como estar separado

37

Osvaldo S. Craveiro EACH-USP

CCD - Organização de Computadores Digitais - 2008



Arbitração Distribuída

- Cada módulo pode pedir o barramento
- Controle lógico em todos os módulos

38

Osvaldo S. Craveiro EACH-USP

CCD - Organização de Computadores Digitais - 2008



Temporização (Timing)

- Coordenação de eventos no barramento
- Síncrona
 - Eventos determinados pelos sinais do relógio
 - Barramento de Controle inclui linha do relógio
 - Todos os dispositivos podem ler a linha do relógio
 - Usualmente um único ciclo por evento

39

Osvaldo S. Craveiro EACH-USP

CCD - Organização de Computadores Digitais - 2008



Diagrama de Temporização Síncrona

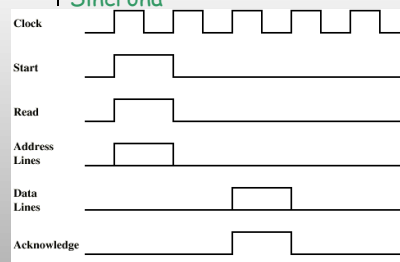
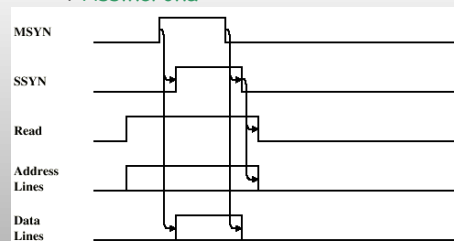


Diagrama de Temporização Assíncrona



Osvaldo S. Craveiro EACH-USP

CCD - Organização de Computadores Digitais - 2008



Barramento PCI

- Componente de Interconexão de Periférico
- Intel liberou para domínio público
- 32 ou 64 bits
- 50 linhas

42

Osvaldo S. Craveiro EACH-USP

CCD - Organização de Computadores Digitais - 2008

Linhas de Barramento PCI Bus (obrigatórias)

- Linhas de Sistema
 - Incluindo clock e reset
- Endereço & Dados
 - 32 time mux lines para endereço e dados
 - Linhas de interrupção & válido
- Interface Control
- arbitração
 - Não compartilhada
 - Conexão direta para o árbitro do barramento PCI
- Linhas de erro

Class 5, Capítulo EACH - USP

OCD - Organização de Computadores Digitais - 2008

Linhas de Barramento PCI Bus (opcionais)

- Linhas de interrupção
 - Não compartilhadas
- Suporte a cache
- Extensão de barramento de 64-bit
 - 32 linhas adicionais
 - Multiplexação de tempo
 - 2 linhas que possibilita que os dispositivos concordem em usar transferência 64-bit
- JTAG/Boundary Scan
- Para procedimentos de teste

Class 5, Capítulo EACH - USP

OCD - Organização de Computadores Digitais - 2008

Comandos PCI

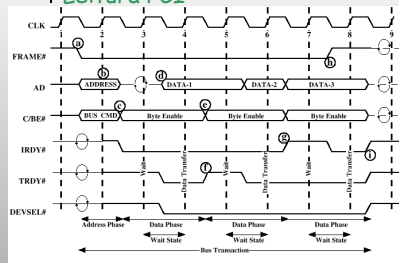
- Transação entre quem inicia (master) e o destino
- Master pede o barramento
- Determina o tipo de transação
 - ex. I/O leitura/escrita
- Fase de endereço
- Uma ou mais fases de dados

45

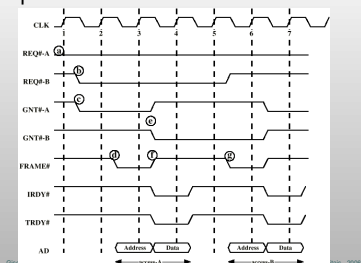
Class 5, Capítulo EACH - USP

OCD - Organização de Computadores Digitais - 2008

Diagrama de Temporização de Leitura PCI



Arbitração do Barramento PCI



Class 5, Capítulo EACH - USP

OCD - Organização de Computadores Digitais - 2008

Leituras Adicionais

- www.pcguide.com/ref/mbsys/buses/
- www.pcguide.com/

48

Class 5, Capítulo EACH - USP

OCD - Organização de Computadores Digitais - 2008



Organização de Computadores Digitais

Capítulo 3 - Barramentos do Sistema



Conceito

- Sistemas em hardware são inflexíveis
- Hardware de propósito geral pode realizar diferentes tarefas, desde de que se dê os sinais de controle corretos
- Ao invés de novos fios, novos sinais de controle



O que é um programa?

- o Uma sequência de passos
- o Para cada passo, uma operação lógica ou aritmética é feita
- o Para cada operação, um conjunto diferente de sinais de controle é necessário



Função da Unidade de Controle

- Para cada operação um único código é estabelecido
 - ex. ADD, MOVE
- Um segmento de hardware aceita o código e emite os sinais de controle
- Eis um computador!



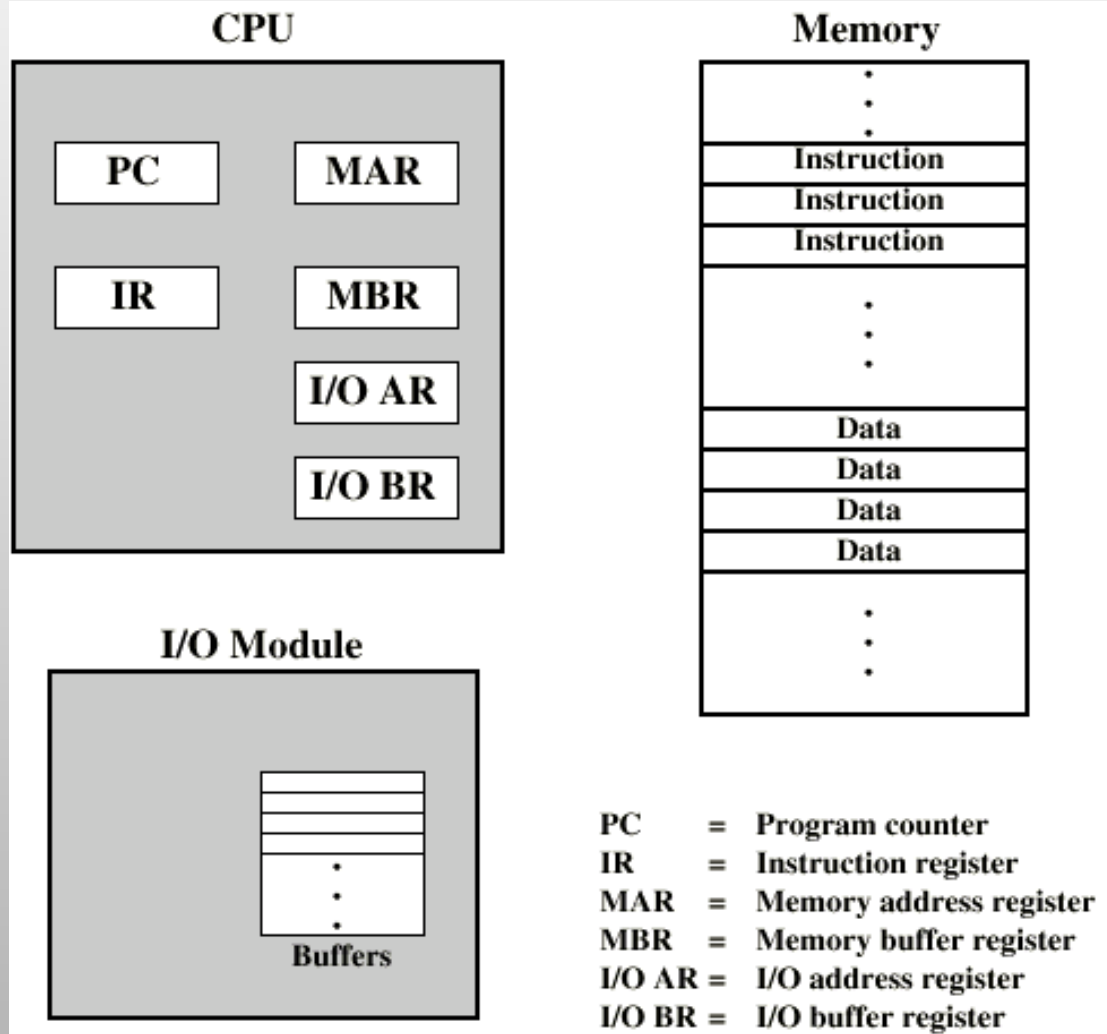
Componentes

- A Unidade de Controle e a Unidade Aritmética e Lógica constituem Unidade Central de Processamento
- Dados e instruções necessitam entrar no sistema e os resultados sair
 - Entrada/saída
- Armazenamento temporário do código e dos resultados é necessário
 - Memória principal

0 0 0

Componentes do Computador:

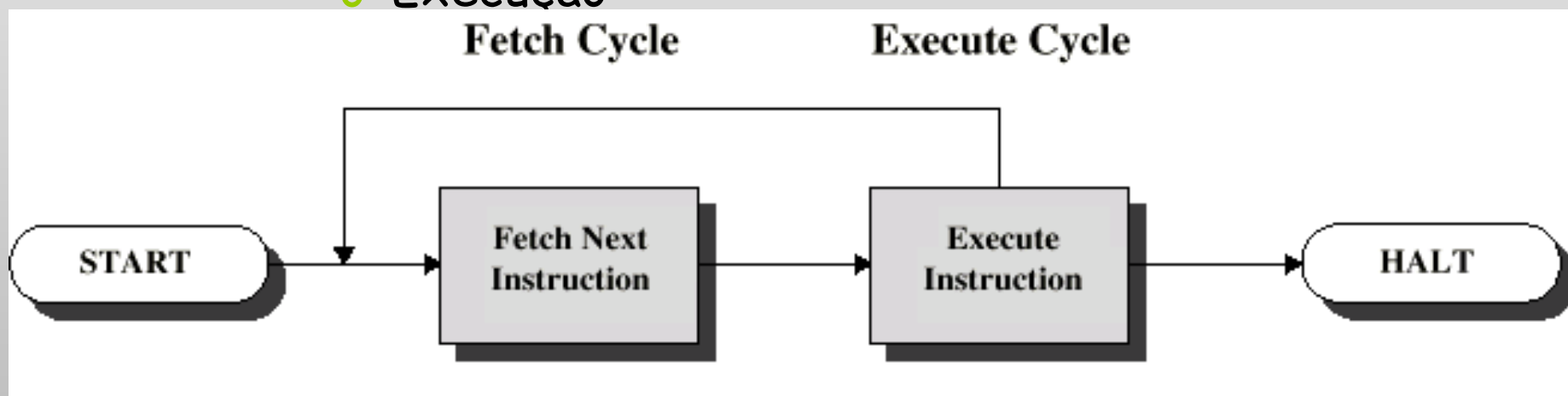
Visão Alto Nível



0 0 0

Ciclo de Instrução

- o Dois passos:
 - o Busca
 - o Execução





Ciclo de Busca

- o programa Counter (PC) guarda o endereço da próxima instrução a ser buscada
- o Processador busca a instrução da localização de memória apontada pelo PC
- o Incremento do PC
 - o A não ser que se diga o contrário
- o Instrução é carregada no Instruction Register
- o Processador interpreta a instrução e realiza as ações necessárias



Ciclo de Execução

- o Processador-memória
 - o Transferência de dados entre CPU e memória principal
- o Processador - I/O
 - o Transferência de dados entre CPU e o módulo de I/O

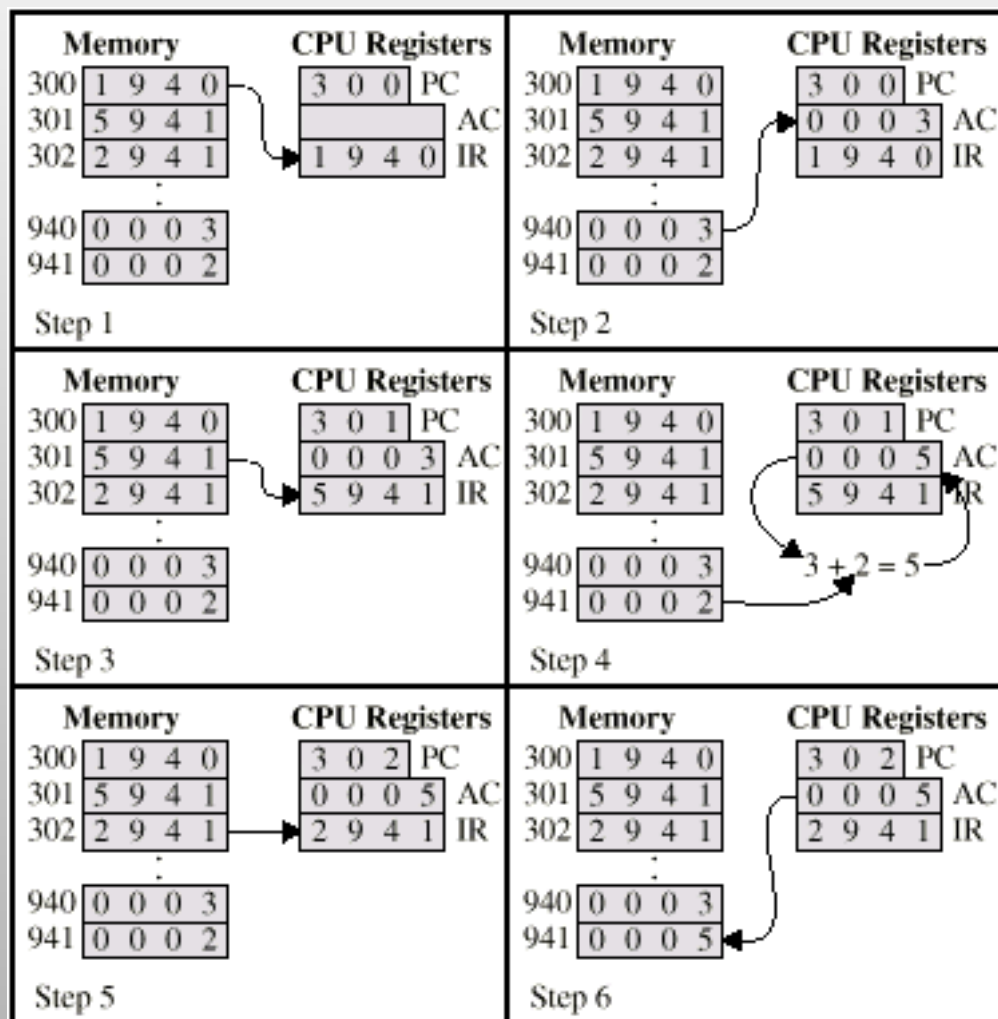


Ciclo de Execução

- Processamento de Dados
 - Alguma operação aritmética ou lógica nos dados
- Controle
 - Alteração da sequência de operações
 - ex. jump
- Combinação das etapas anteriores

0 0 0

Exemplo da Execução de programa



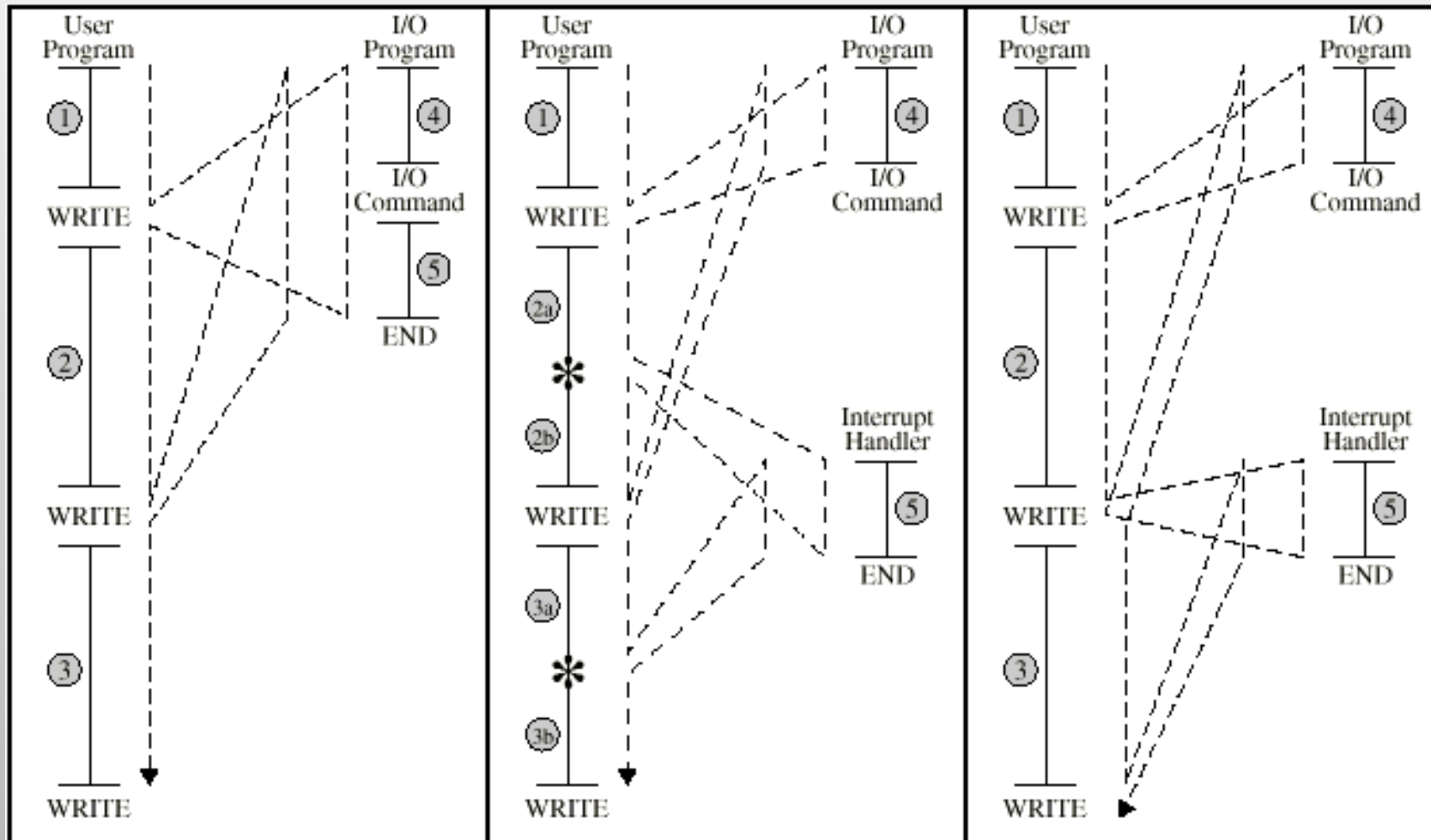


Interrupções

- o Mecanismo pelo qual outros módulos (ex. I/O) podem interromper sequência normal de processamento
- o programa
 - o ex. overflow, divisão por zero
- o Temporizador (timer)
 - o Gerado pelo temporizador interno do processador
 - o Usada na multi-tarefa preemptiva
- o I/O
 - o Vinda da controladora de I/O
- o Falha de Hardware
 - o ex. Erro de paridade de memória

0 0 0

Fluxo de Controle do Programa



(a) No interrupts

(b) Interrupts; short I/O wait

(c) Interrupts; long I/O wait



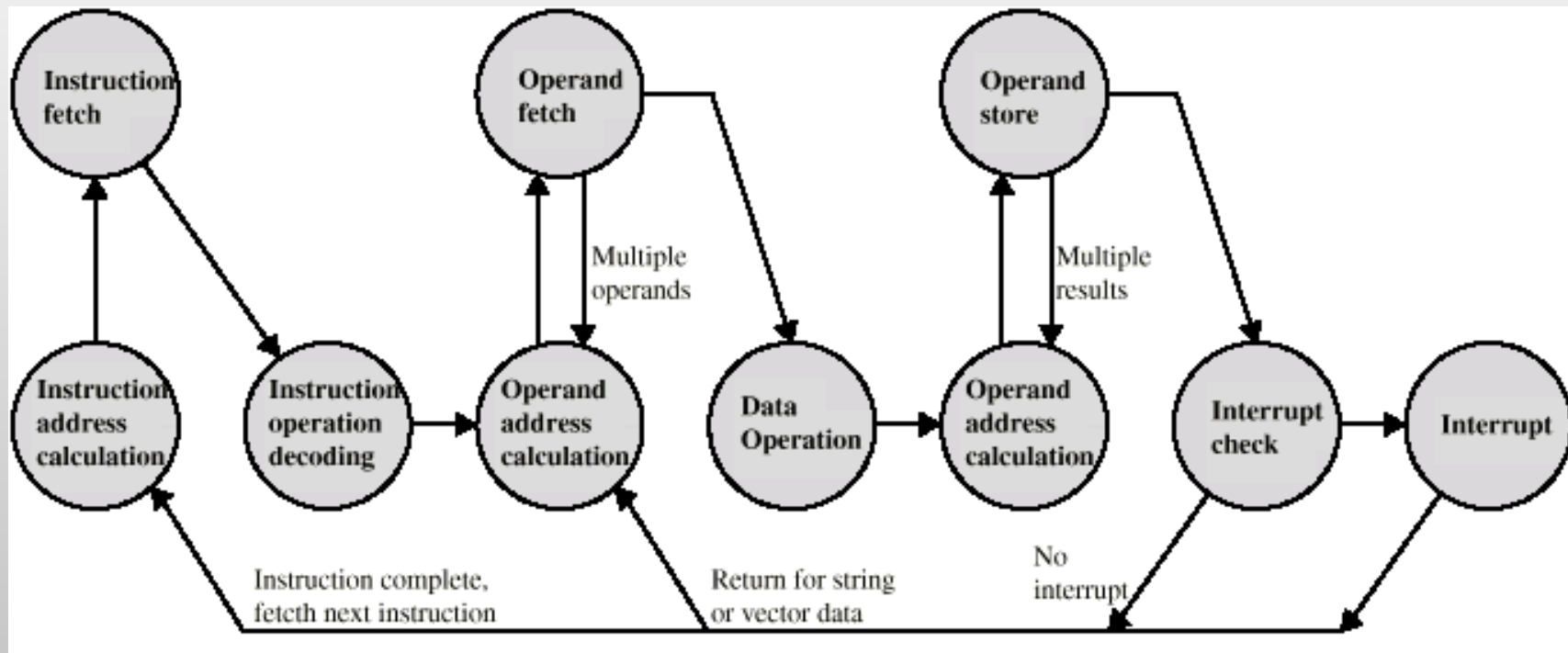
Ciclo de Interrupção

- o Adicionado ao ciclo de instrução
- o Processador verifica se houve interrupção
 - o Indicada por um sinal de interrupção
- o Se não há interrupção, busca a próxima instrução
- o Se há interrupção pendente:
 - o Suspende a execução atual do programa
 - o Salva o contexto
 - o Coloca o PC no endereço inicial da rotina de manipulação da interrupção
 - o Processa a interrupção
 - o Restaura o contexto e continua o programa interrompido

o o o

Ciclo de instrução (com Interrupções)

- Diagrama de Estados



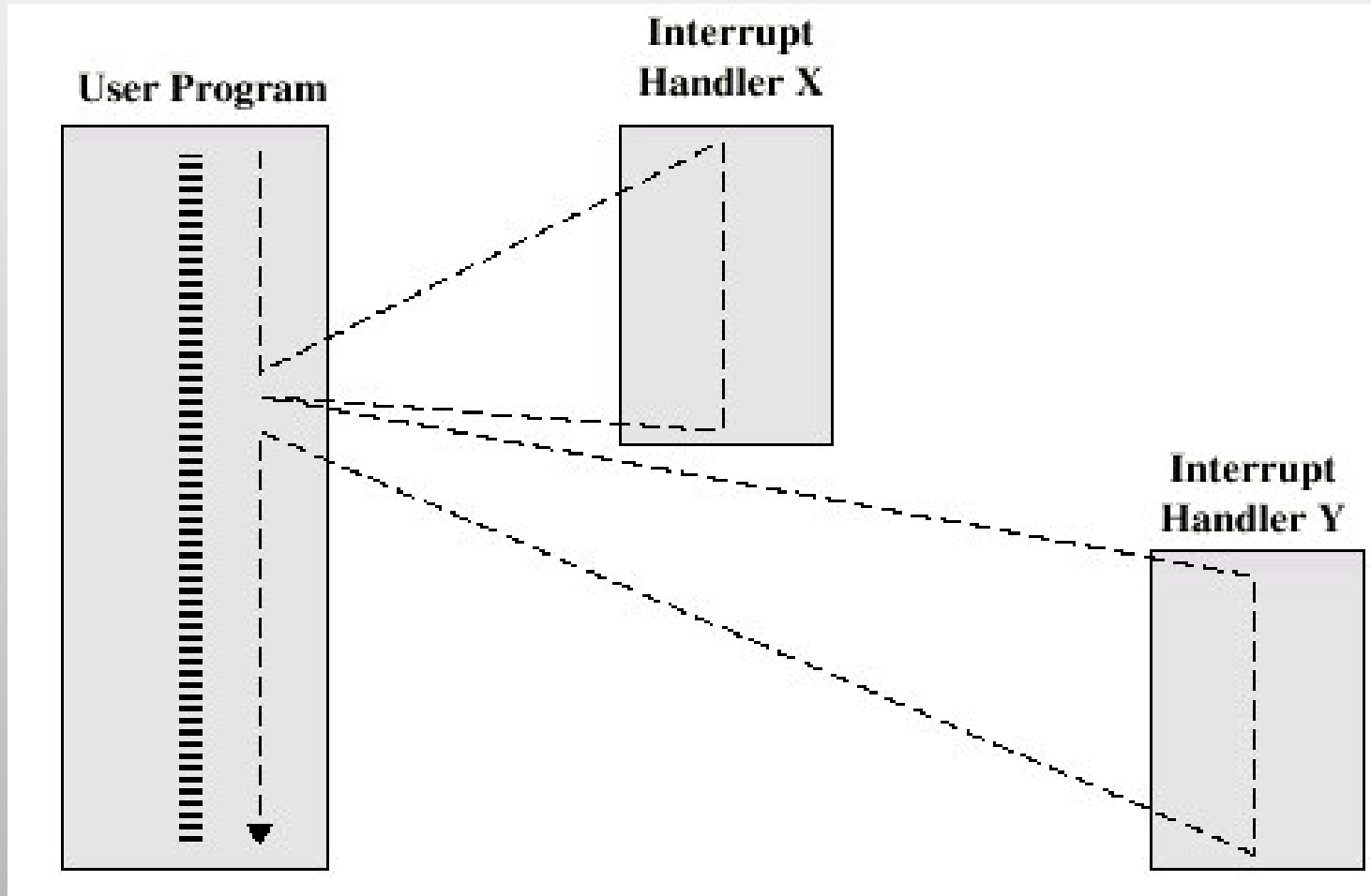


Interrupções Múltiplas

- o Desabilita interrupções
 - o processador ignorará outras interrupções enquanto isso processamento de uma interrupção
 - o interrupções permanecem pendentes e serão verificadas depois que a primeira interrupção seja processada
 - o interrupções são tratadas na sequência que ocorrem
- o Define prioridades
 - o Interrupções de baixa prioridade podem ser interrompidas por interrupções de mais alta prioridade
 - o Quando a interrupção de alta prioridade foi processada, o processador retorna à interrupção anterior

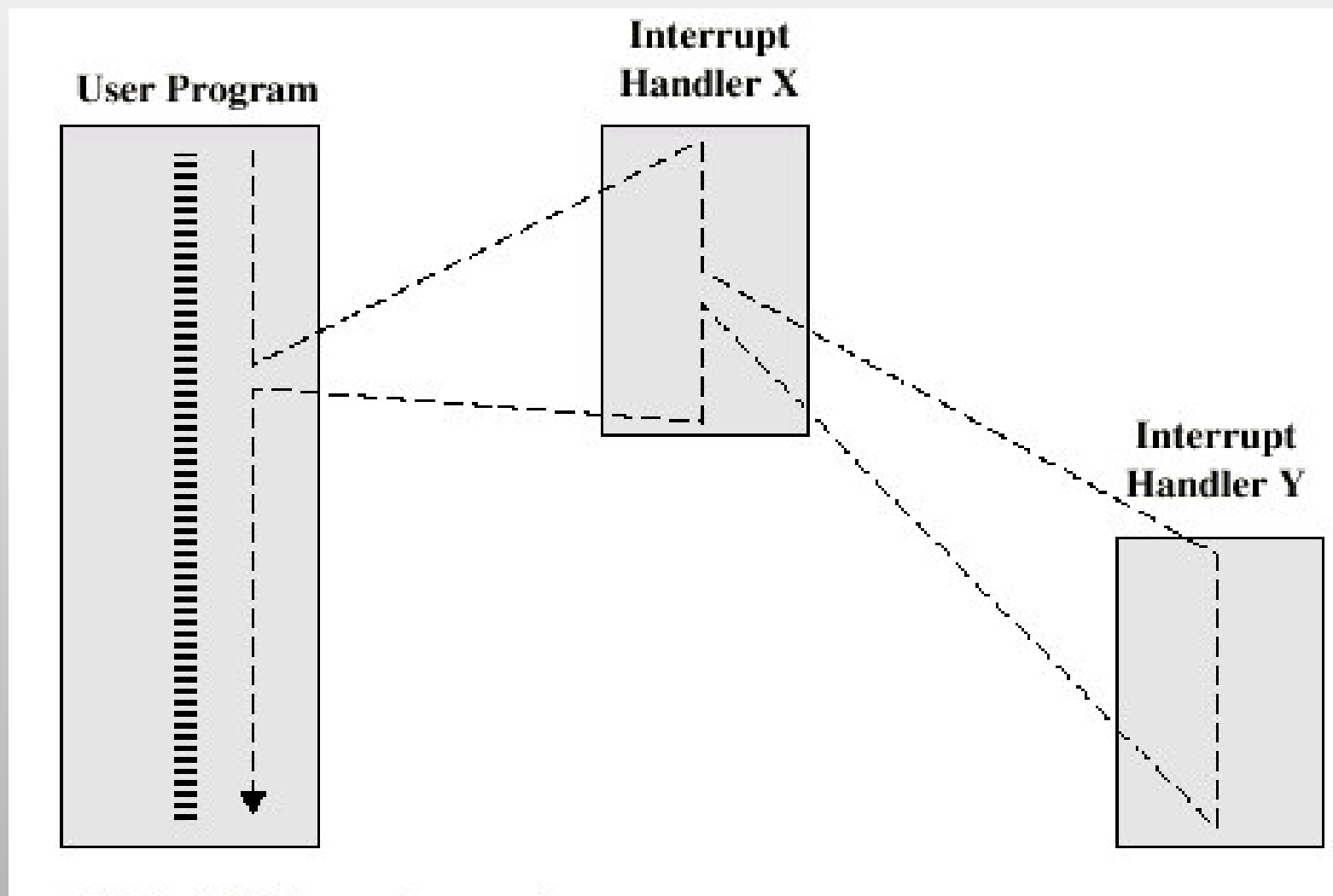
0 0 0

Interrupções Múltiplas - Sequencial



0 0 0

Interrupções Múltiplas - Aninhadas





Conexões

- Todas as unidades devem estar conectadas
- Diferentes tipos de conexão para diferentes tipos de unidades
 - Memória
 - Input/Output
 - CPU



Conexão de Memória

- o Recebe e envia dados
- o Recebe endereços
- o Recebe sinais de controle
 - o Read
 - o Write
 - o Timing



Conexão de Entrada/Saída (1)

- o Similar a memória a partir do ponto de vista do computador
- o Saída
 - o Recebe dados do computador
 - o Envia dados ao periférico
- o Entrada
 - o Recebe dados do periférico
 - o Envia dados ao computador



Conexão de Entrada/Saída(2)

- Recebe sinais de controle do computador
- Envia sinais de controle para os periféricos
 - ex. spin disk
- Recebe endereços do computador
 - ex. Número da porta para identificar o periférico
- Envia sinais de interrupção (controle)



Conexão CPU

- o Lê instrução and dados
- o Escreve dados (depois de processamento)
- o Envia sinais de controle para outras unidades
- o Recebe (& atua nas) interrupções



Barramentos

- o Existe grande número dos possíveis sistemas de interconexão
- o Estruturas de simples e múltiplas são as mais comuns
- o ex. Control/Address/Data bus (PC)
- o ex. Unibus (DEC-PDP)



O que é um barramento ?

- o Um meio de comunicação conectando dois ou mais dispositivos
- o Geralmente fazem broadcast
- o Geralmente agrupados
 - o Vários canais em um barramento
 - o ex. Barramento de dados de 32 bit são 32 canais de um bit separados



Barramento de Dados

- o Carrega dados
 - o Ainda não há diferença entre “dados” e “instrução” neste nível
- o Largura é chave determinante do desempenho
 - o 8, 16, 32, 64 bit



Barramento de Endereço

- o Identifica a fonte ou destino dos dados
- o ex. CPU necessita ler uma instrução (dado) de uma dada localização na memória
- o Largura do barramento determina a capacidade máxima do sistema
 - o ex. 8080 têm barramento de endereço de 16 bits, resultando em um espaço de endereçamento de 64k

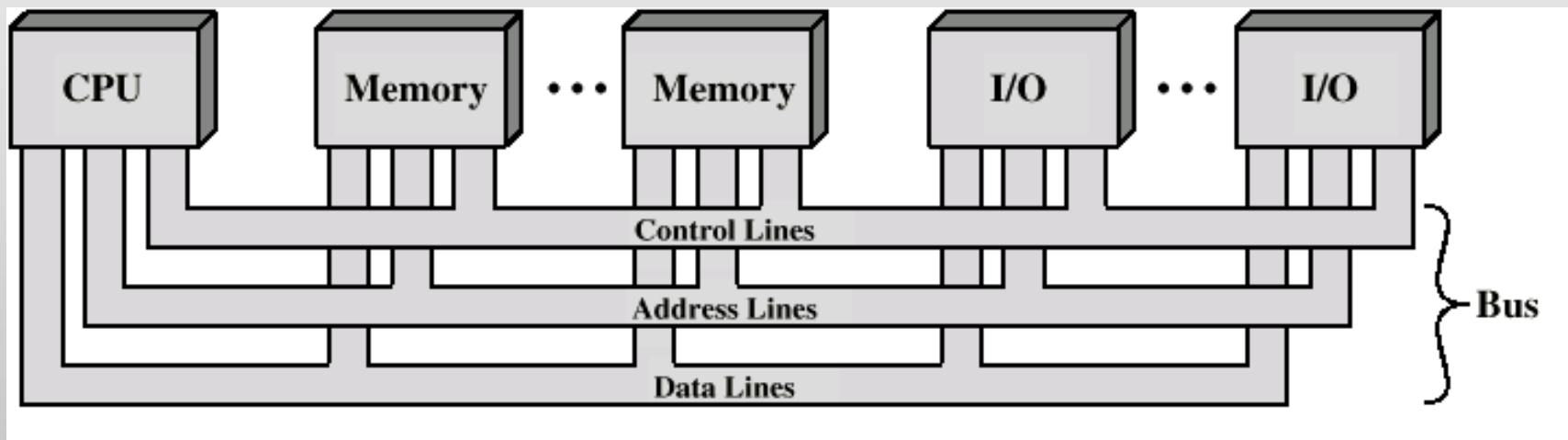


Barramento de Controle

- Informação de controle e temporização
 - Sinal de leitura/escrita de memória
 - Requisição de interrupção
 - Sinais de Clock

0 0 0

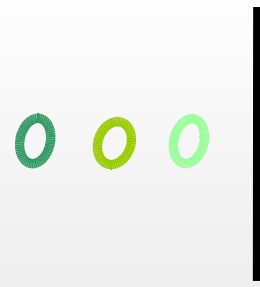
Esquema de Interconexão de Barramento





Como são?

- o Qual a aparência dos barramentos?
 - o Linhas paralelas em placas de circuito
 - o Cabos largos
 - o Faixas conectoras nas placas-mãe
 - o ex. PCI
 - o Conjuntos de cabos

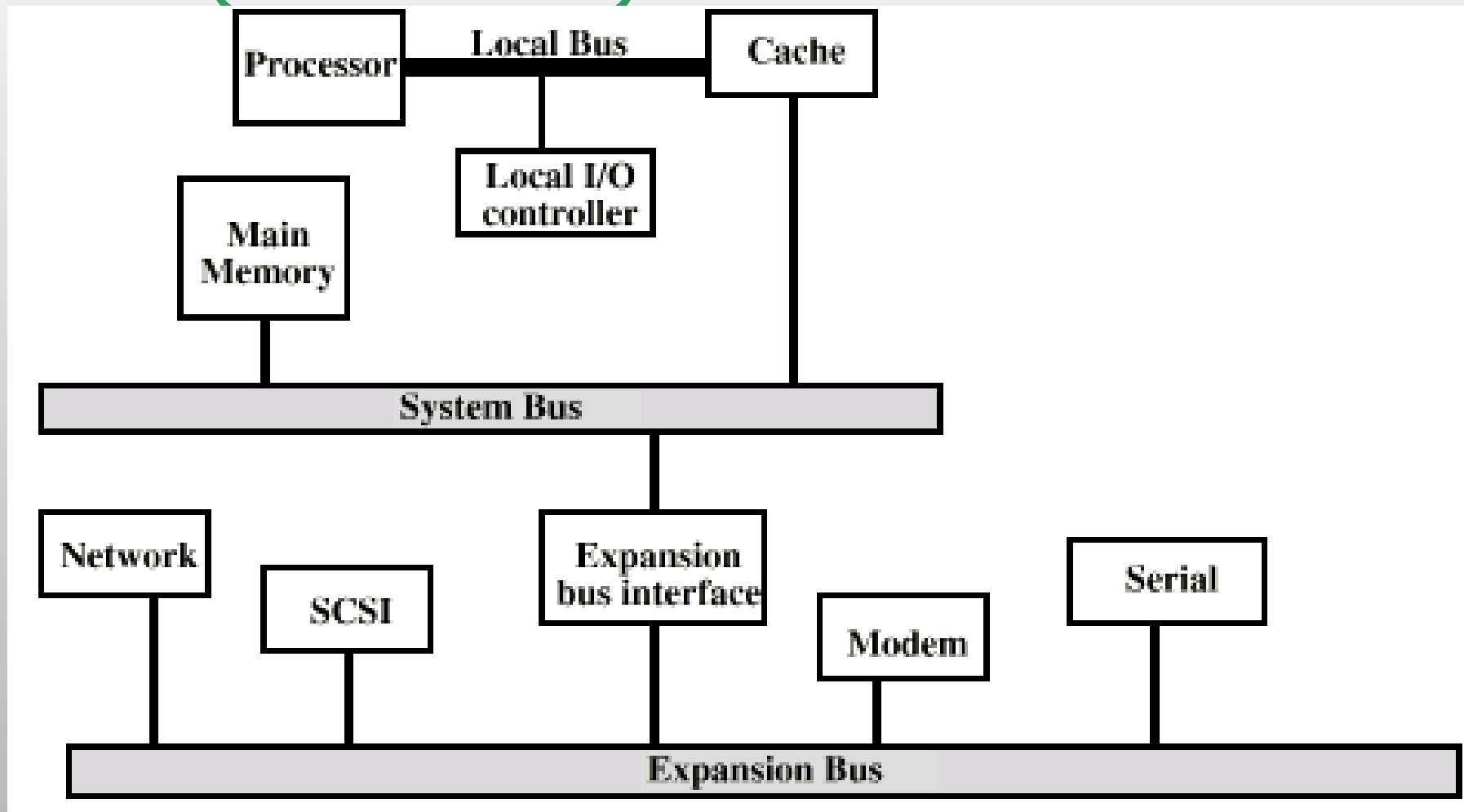


Problemas de Barramentos Únicos

- Vários dispositivos em um único barramento leva a:
 - Atraso de propagação
 - Grandes caminhos significam que a coordenação do barramento pode afetar desfavoravelmente o desempenho
- A maioria dos sistemas usam barramentos múltiplos para solucionar os problemas

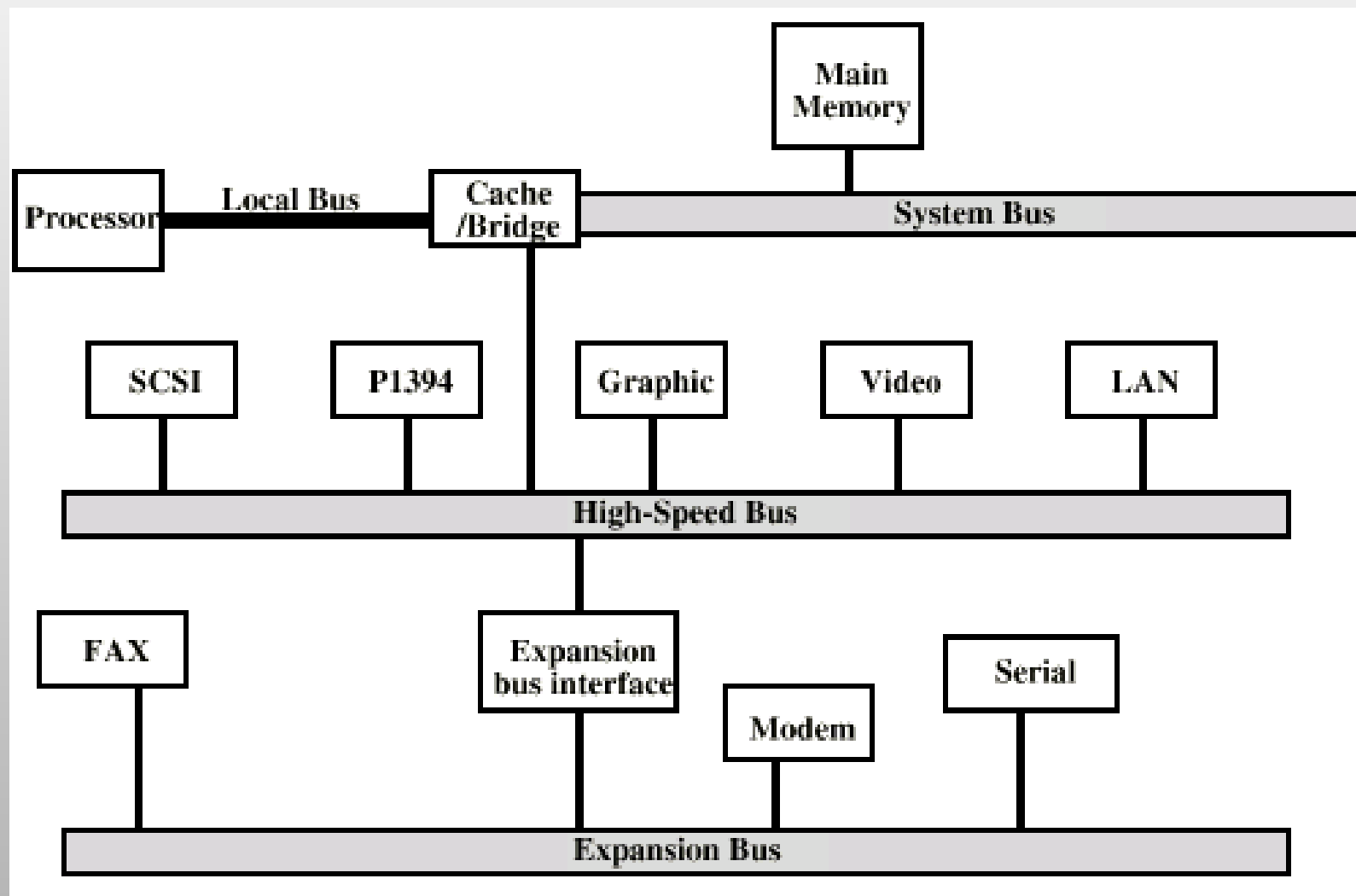
0 0 0

Tradicional (ISA) (com cache)



000

Barramento de alto desempenho





Tipos de barramento

- o Dedicado
 - o Separa linhas de dados & endereços
- o Multiplexados
 - o Linhas compartilhadas
 - o Linha de endereço válido ou linha de controle de dados válidos
 - o Vantagem - menos linhas
 - o Desvantagens
 - o Controle mais complexo
 - o Desempenho



Arbitração de barramento

- o Mais de um módulo controlando o barramento
- o ex. CPU e DMA
- o Apenas um módulo pode controlar o barramento por vez
- o arbitração pode ser centralizada ou distribuída



Arbitração Centralizada

- o Um único dispositivo de hardware controlando acesso ao barramento
 - o Controladora do barramento
 - o Arbitro
- o Podem ser tanto parte da CPU como estar separado



Arbitração Distribuída

- o Cada módulo pode pedir o barramento
- o Controle lógico em todos os módulos



Temporização (Timing)

- o Coordenação de eventos no barramento
- o Síncrona
 - o Eventos determinados pelos sinais do relógio
 - o Barramento de Controle inclui linha do relógio
 - o Todos os dispositivos podem ler a linha do relógio
 - o Usualmente um único ciclo por evento

0 0 0

Diagrama de Temporização Sínclrona

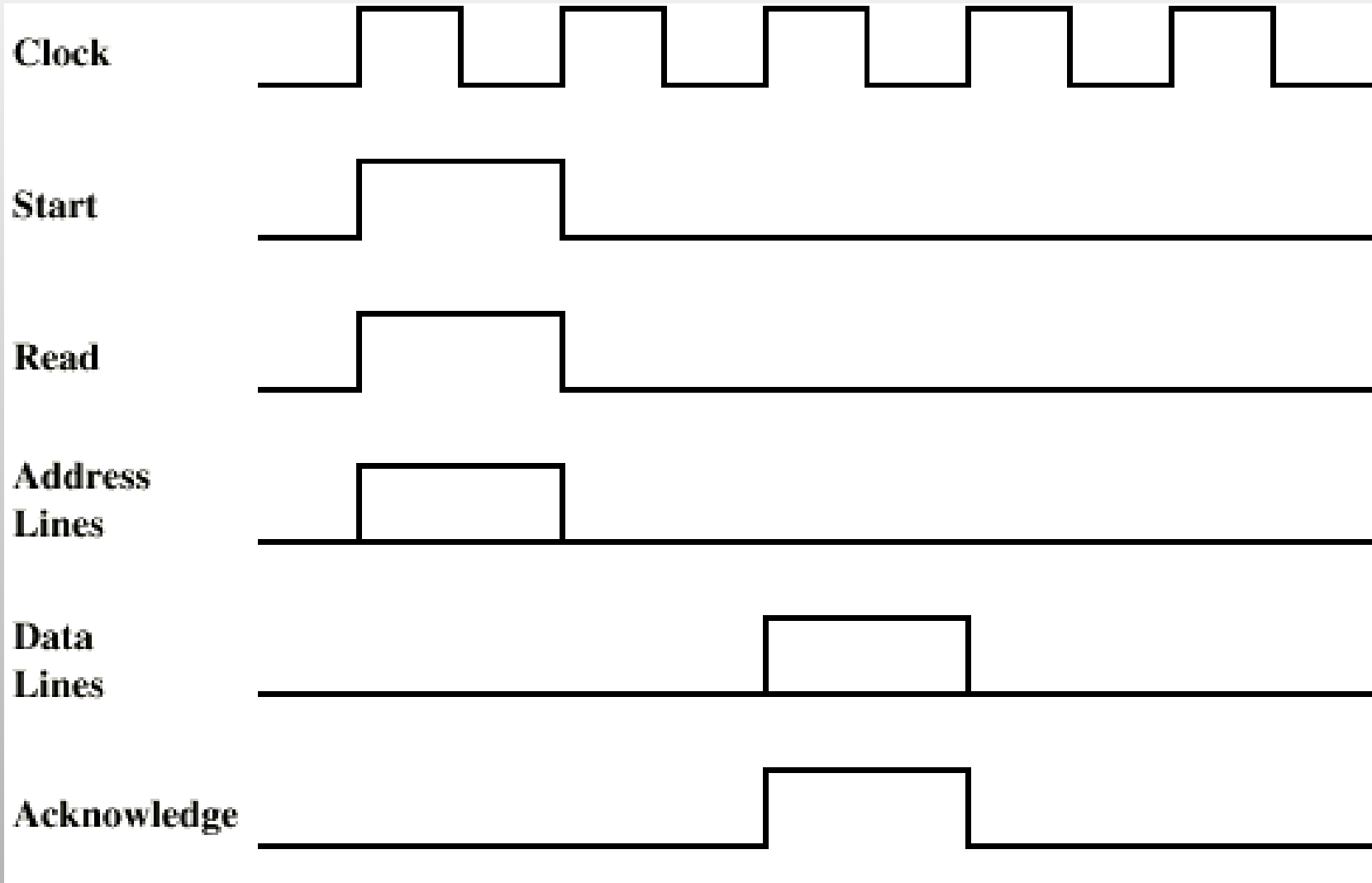
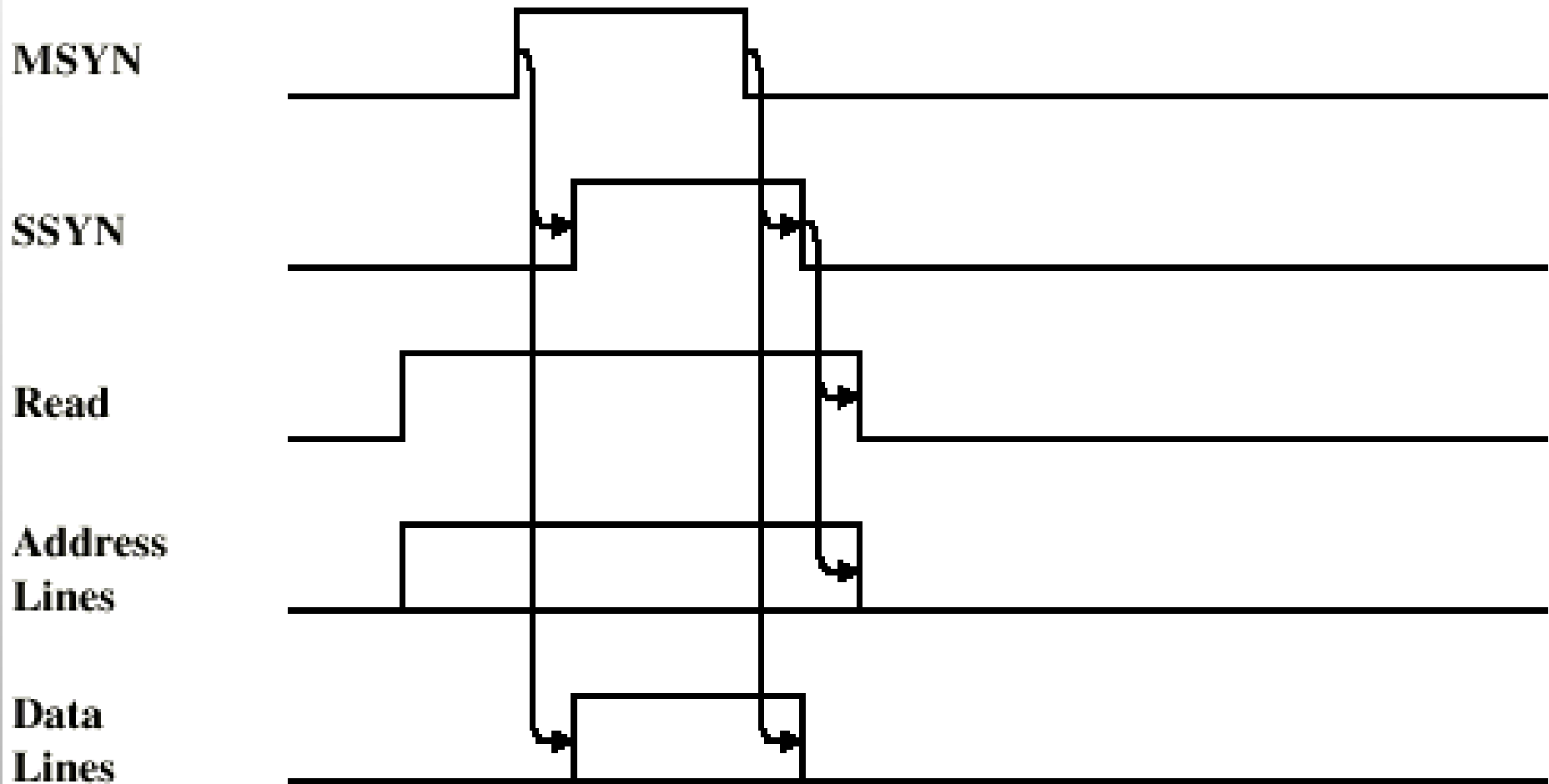




Diagrama de Temporização Assíncrona





Barramento PCI

- o Componente de Interconexão de Periférico
- o Intel liberou para domínio público
- o 32 ou 64 bits
- o 50 linhas



Linhas de Barramento PCI Bus (obrigatórias)

- o Linhas de Sistema
 - o Incluindo clock e reset
- o Endereço & Dados
 - o 32 time mux lines para endereço e dados
 - o Linhas de interrupção & válido
- o Interface Control
- o arbitração
 - o Não compartilhada
 - o Conexão direta para o árbitro do barramento PCI
- o Linhas de erro



Linhas de Barramento PCI Bus (opcionais)

- o Linhas de interrupção
 - o Não compartilhadas
- o Suporte a cache
- o Extensão de barramento de 64-bit
 - o 32 linhas adicionais
 - o Multiplexação de tempo
 - o 2 linhas que possibilita que os dispositivos concordem em usar transferência 64-bit
- o JTAG/Boundary Scan
 - o Para procedimentos de teste

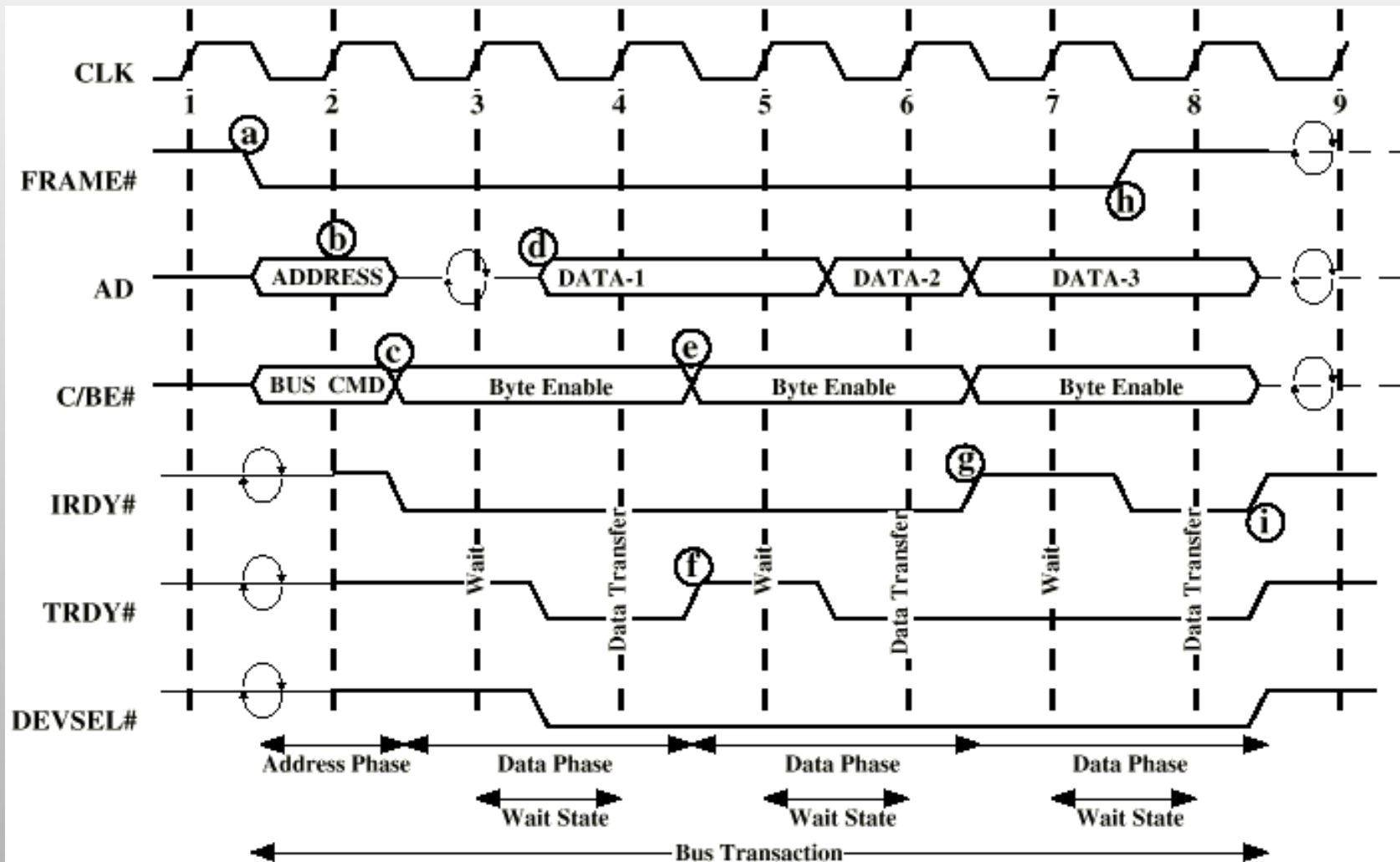


Comandos PCI

- o Transação entre quem inicia (master) e o destino
- o Master pede o barramento
- o Determina o tipo de transação
 - o ex. I/O leitura/escrita
- o Fase de endereço
- o Uma ou mais fases de dados

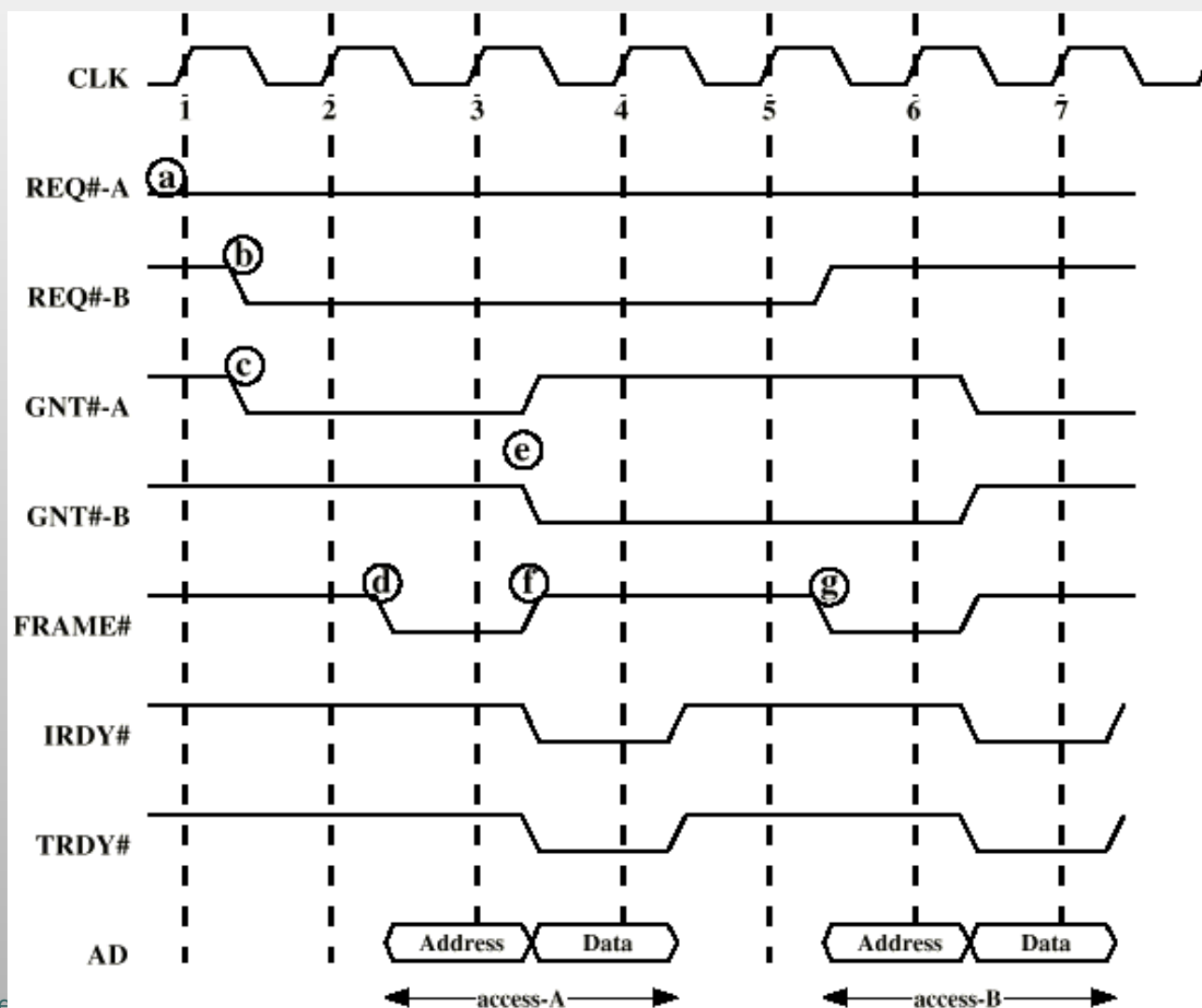
000

Diagrama de Temporização de Leitura PCI



0 0 0

Arbitração do Barramento PCI





Leituras Adicionais

- o www.pcguide.com/ref/mbsys/buses/
- o www.pcguide.com/