

# **Arquitetura de Computadores**

---

## **Capítulo 18**

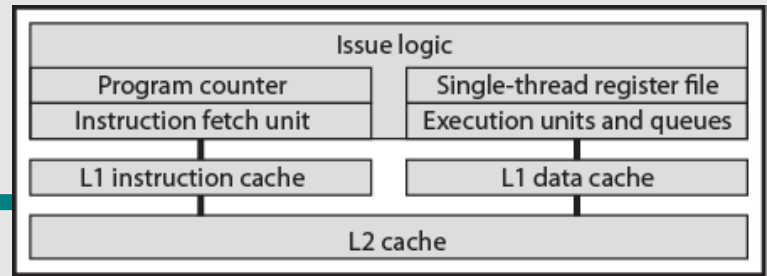
### **Computadores Multicore**

# Desempenho do hardware

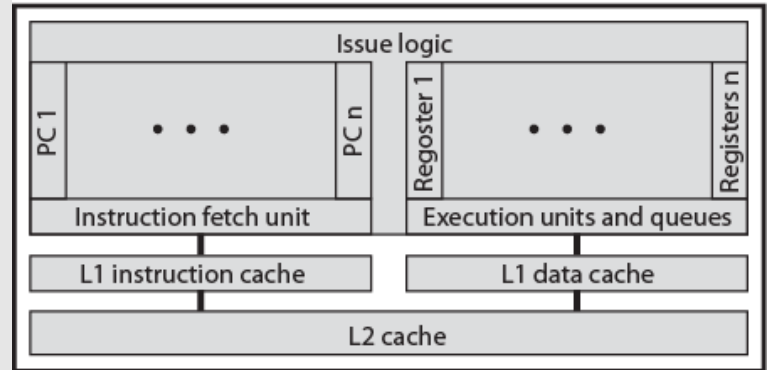
---

- Microprocessadores tiveram aumento de desempenho exponencial
  - Melhorias na organização
  - Aumento da frequência de clock
- Aumento no Paralelismo
  - Pipelining
  - Superscalar
  - Multithreading Simultâneo (SMT)
- Diminuição do retorno
  - Maior complexidade requer mais lógica de controle
  - Aumento na área do chip para coordenação e lógica de transferência de sinal

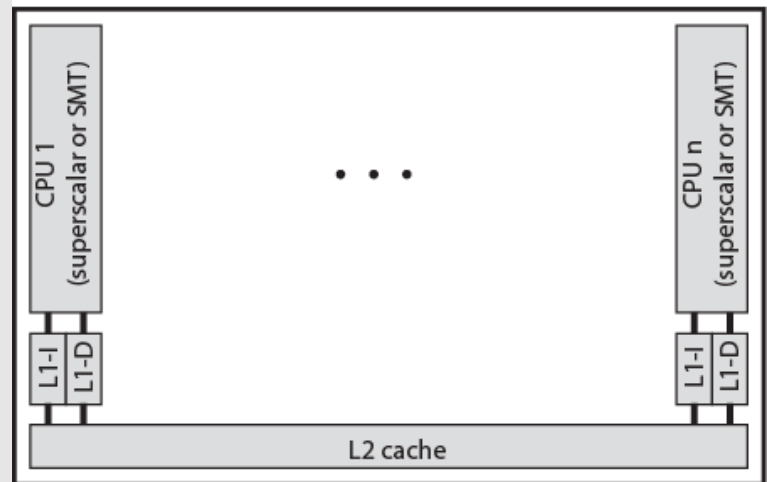
# Organizações Alternativas do Chip



(a) Superscalar

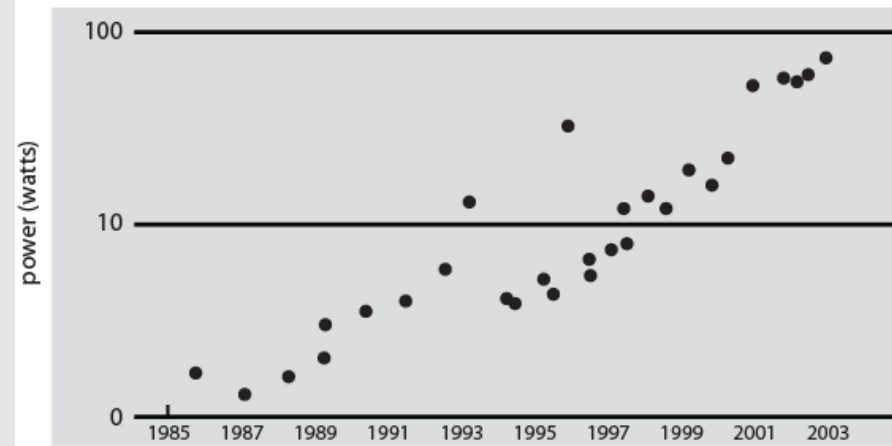
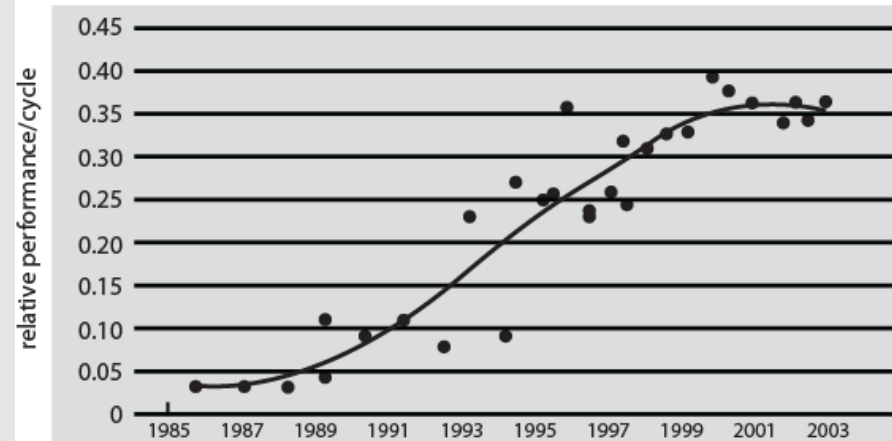
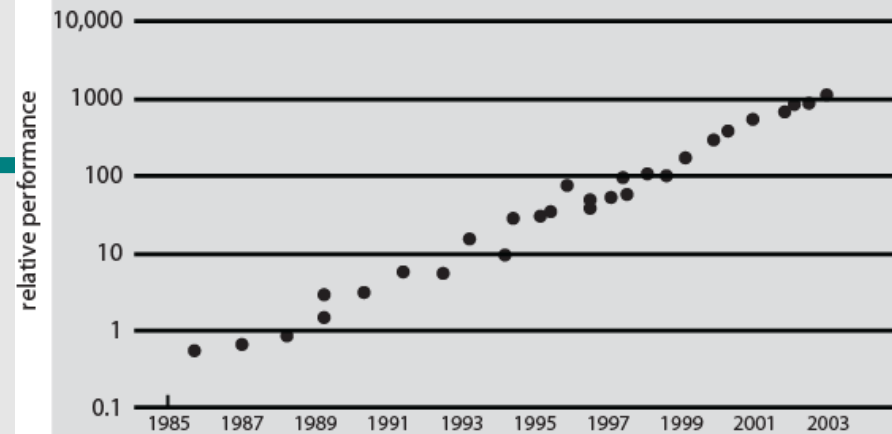


(b) Simultaneous multithreading



(c) Multicore

# Têndencias do Hardware da Intel



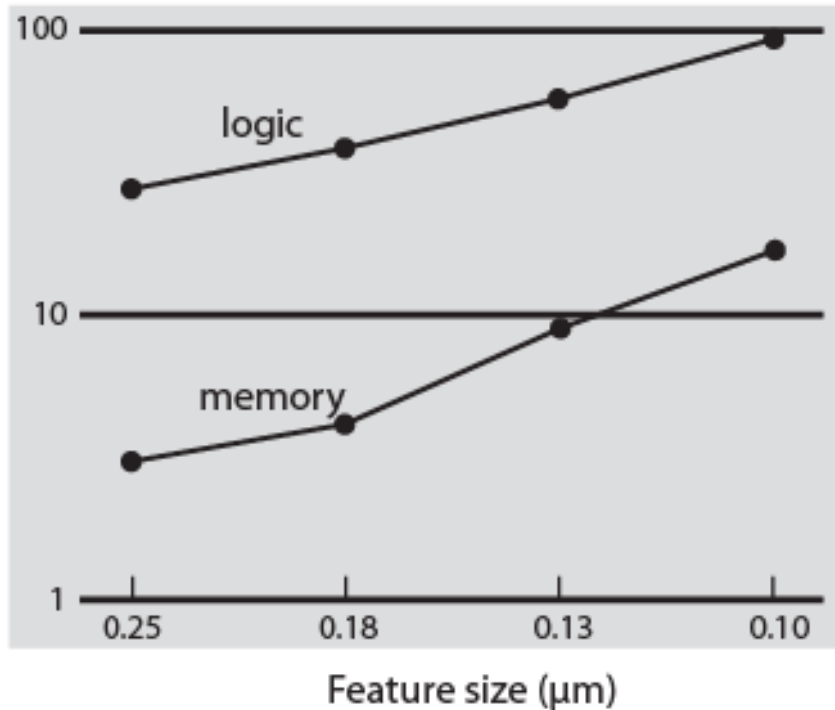
# Aumento da complexidade

---

- Consumo de energia cresce exponencialmente com a densidade do chip e freq. de clock
  - Pode usar mais área do chip para cache
- Projeção para 2015
  - 100 bilhões de transistores em uma área de 300mm<sup>2</sup>
    - Cache de 100MB
    - 1 bilhão de transistores para lógica
- Regra de Pollack:
  - Desempenho é aprox. proporcional à raiz quadrada do aumento em complexidade
    - Dobrar a complexidade dá 40% mais de desempenho
- Multicore tem o potencial de aumento de desempenho quase linear
- Improvável que um núcleo use toda essa cache efetivamente

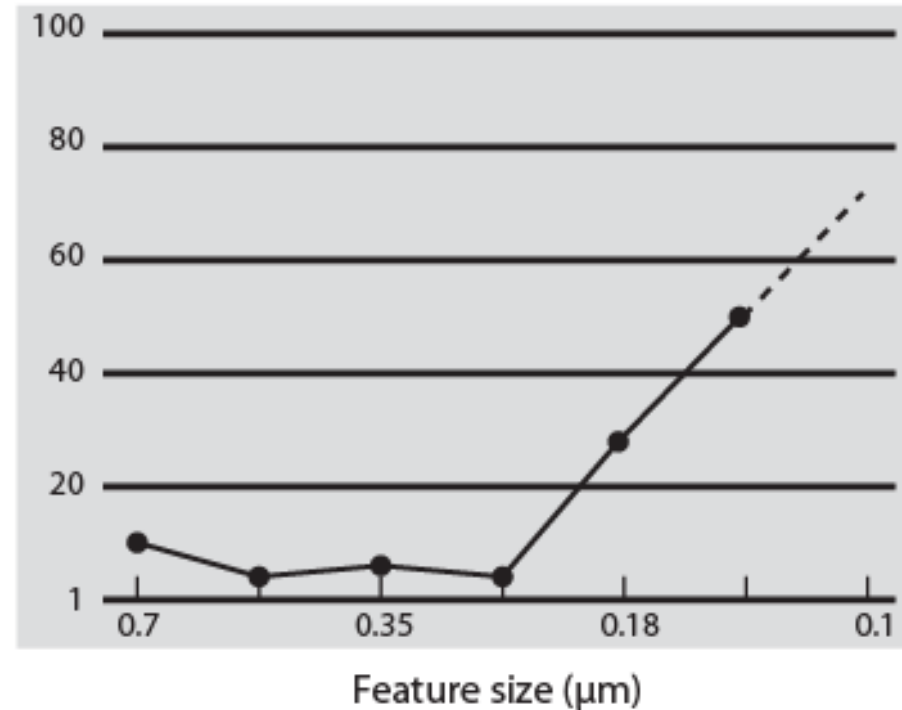
# Considerações de Energia e Memória

Power density  
(watts/cm<sup>2</sup>)



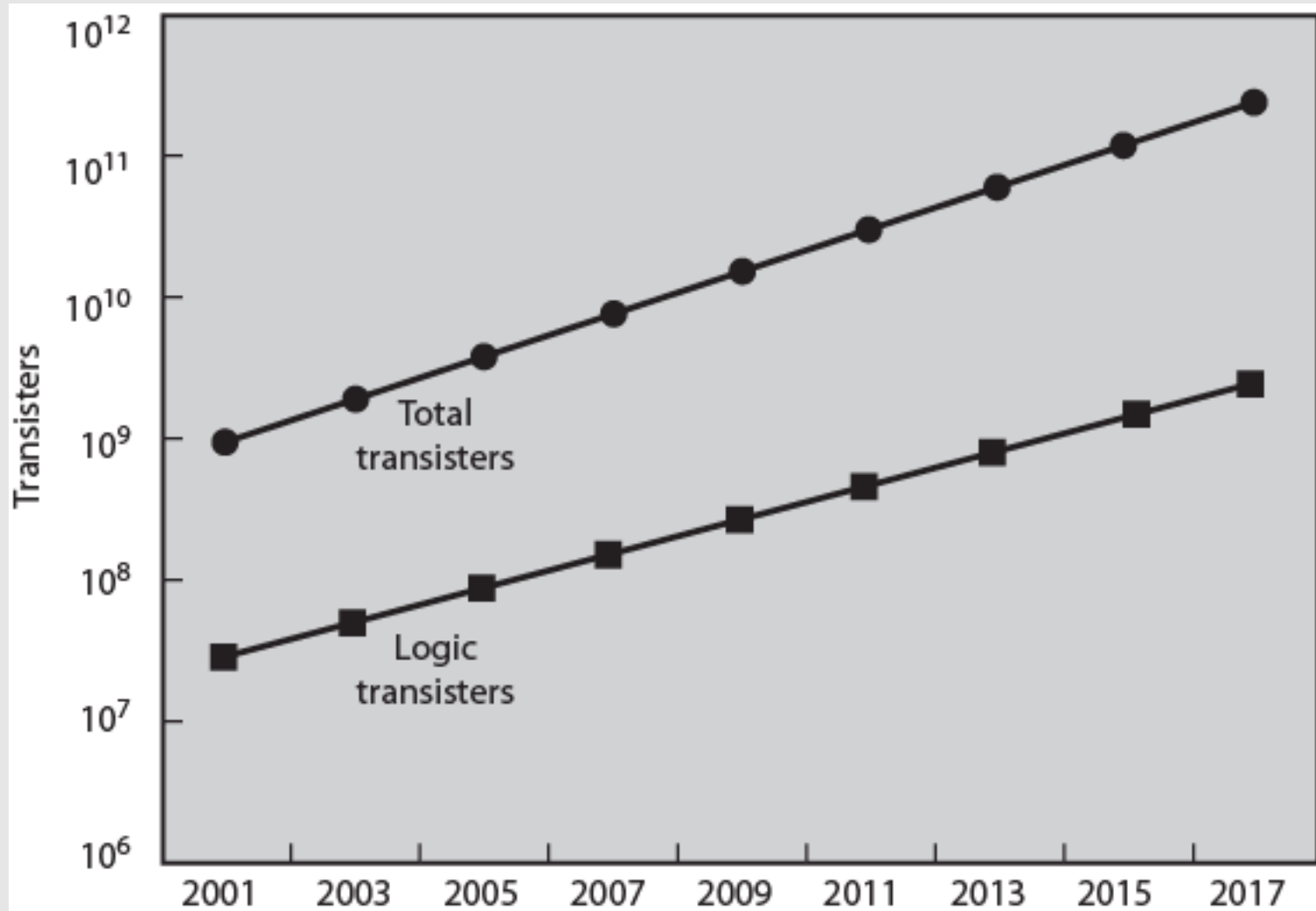
(a) Power density

cache percent  
of full chip area

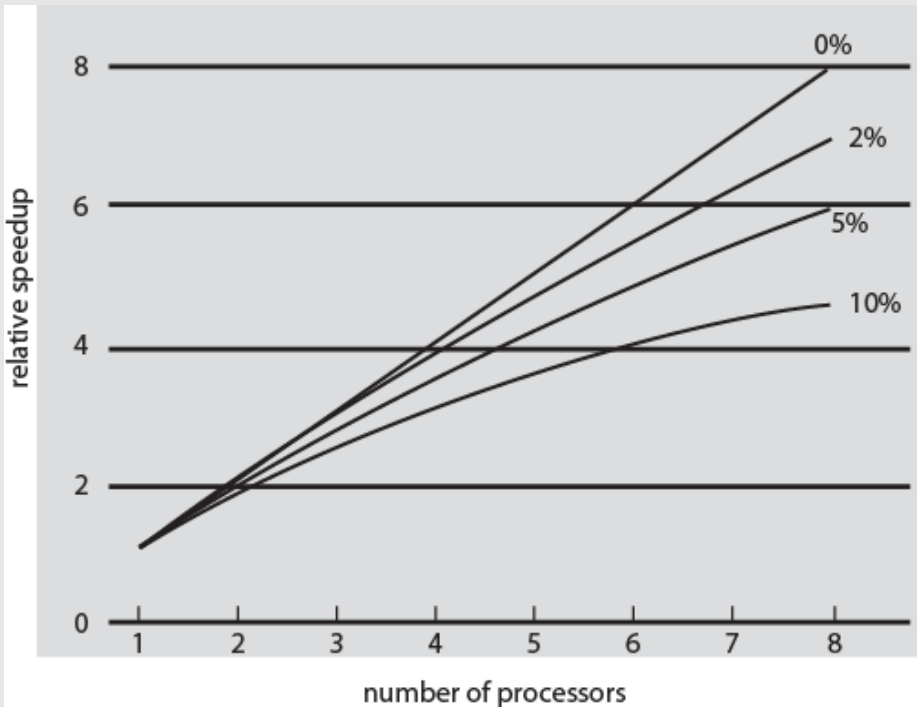


(b) Chip area

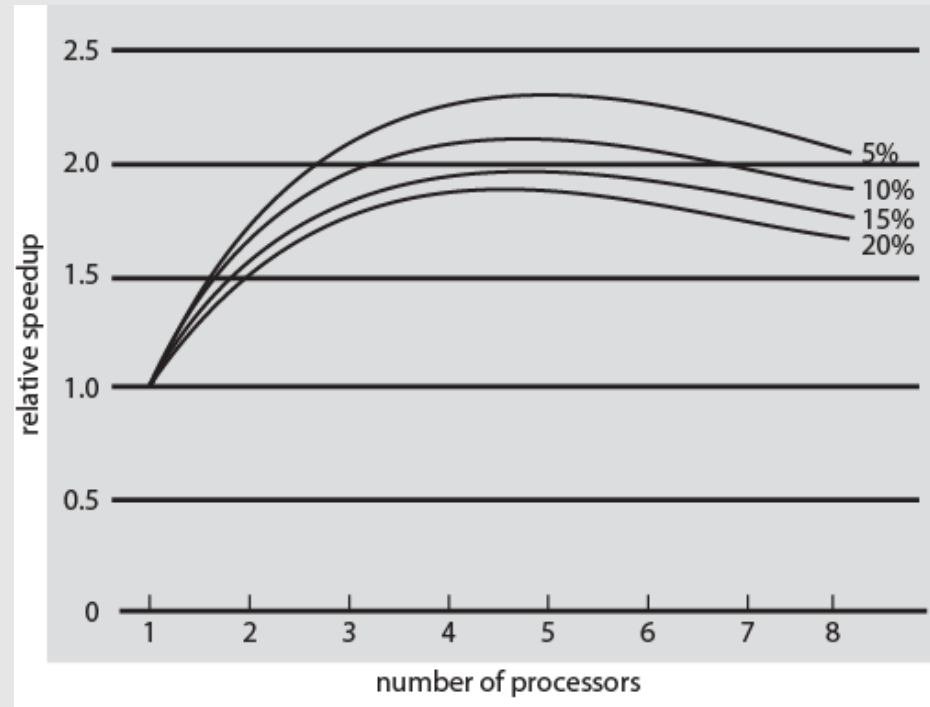
# Utilização de Transistores no chip



# Efeito no desempenho de Multicores



(a) Speedup with 0%, 2%, 5%, and 10% sequential portions



(b) Speedup with overheads



# Desempenho de Software

---

- Benefícios de desempenho depende da efetiva exploração dos recursos paralelos
- Mesmo pequeno código serial impacta o desempenho
  - 10% inerentemente serial em um sistema com 8 processadores daria ganho de 4.7
- Sobrecarga com comunicação, distribuição de trabalho e coerência de cache
- Algumas aplicações efetivamente exploram processadores multicore

# Aplicações Efetivas para Processadores Multicore

---

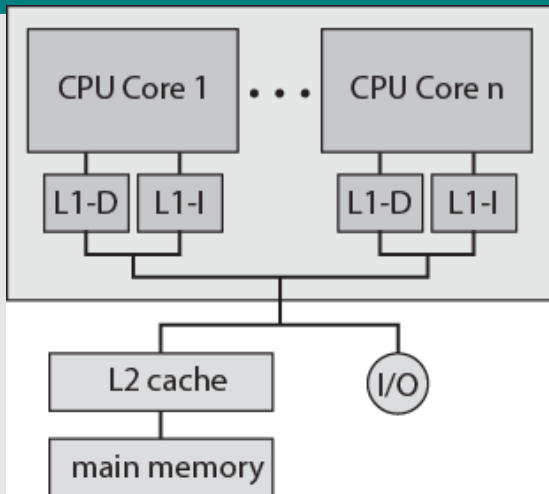
- Banco de dados
- Servidores com transações independentes
- Aplicações multithreaded nativas
- Aplicações multi processos
- Aplicações Java
  - JVM é multithreaded com escalonamento e gerenciamento de memória
- Aplicações com múltiplas instâncias
  - Uma aplicação rodando múltiplas vezes

# Organização Multicore

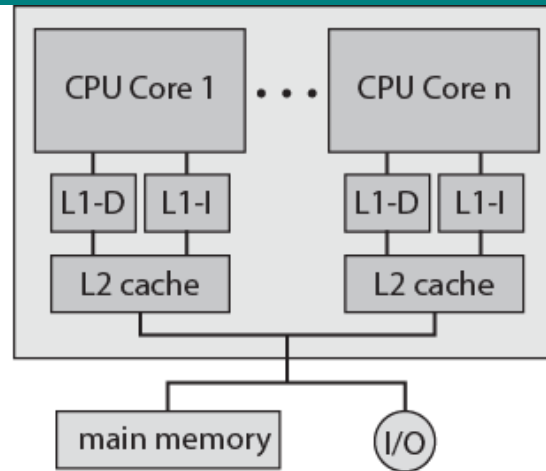
---

- Número de núcleos de processamento em um chip
- Número de níveis de cache no chip
- Quantidade de cache compartilhada

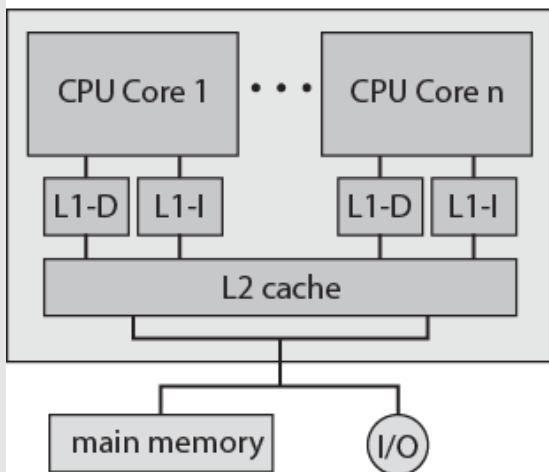
# Organização Multicore



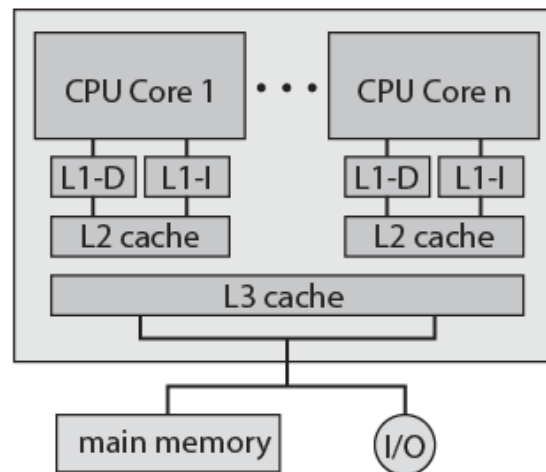
(a) Dedicated L1 cache



(b) Dedicated L2 cache



(c) Shared L2 cache



(d) Shared L3 cache

# **Vantagens da Cache L2 Compartilhada**

---

- Interferência construtiva reduz taxa geral de falha
- Dados compartilhados por múltiplos núcleos não replicados no nível de cache
- Com algoritmos apropriados de substituição de quadros, quant. De cache para cada núcleo é dinâmica
  - Threads com menos localidade podem ter mais cache
- Comunicação interprocesso mais fácil via memória compartilhada
- Coerência de cache coherency confinada à L1
- L2 dedicada dá a cada núcleo acesso mais rápido
  - Bom para threads com forte localidade
- L3 compartilhada pode também aumentar o desempenho

# Projeto organizacional

---

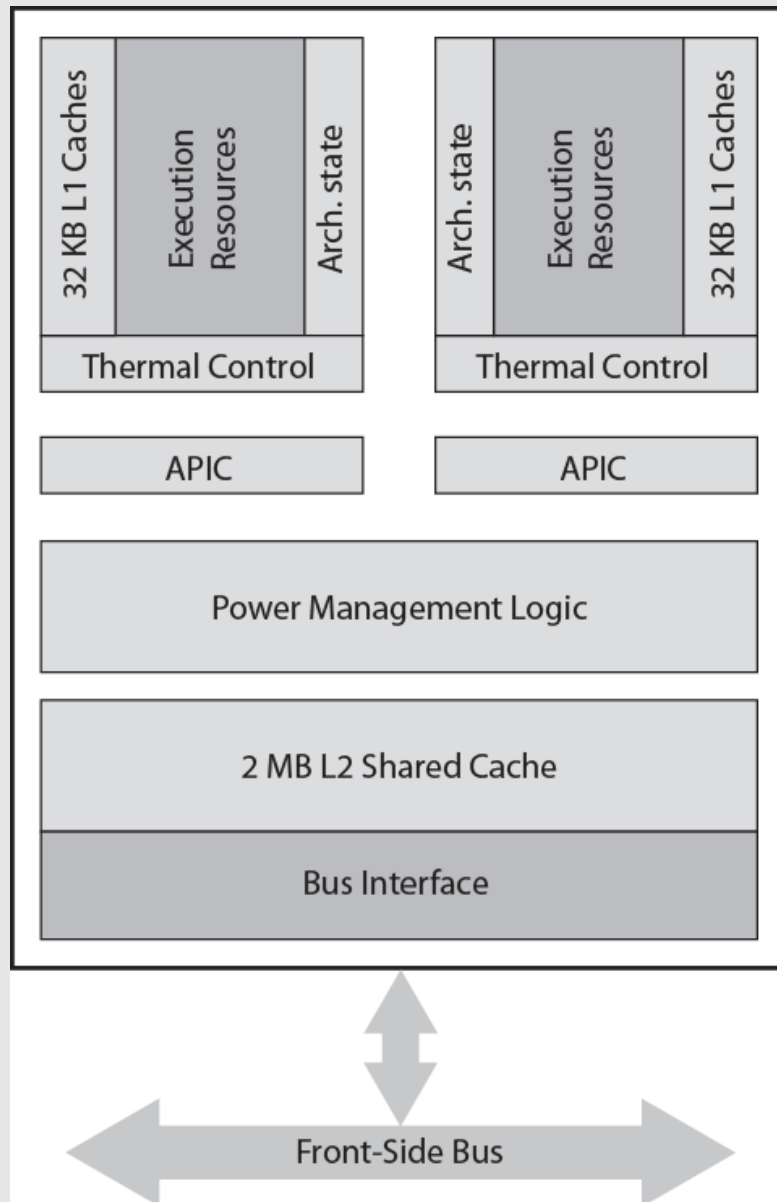
- Intel Core Duo usa núcleos superscalares
- Intel Core i7 usa multithreading simultâneo (SMT)
  - Escala até o número de threads suportado
    - 4 núcleos SMT , cada um suportando 4 threads aparecem como um 16 núcleos

# Organização Intel x86 Multicore - Core Duo (1)

---

- Dois processadores x86 superescalares, L2 cache compartilhada
- L1 dedicada por núcleo
  - 32KB instrução e 32KB dados
- Unidade de controle térmica por núcleo
  - Gerencia a dissipação do calor do chip
  - Maximiza desempenho dentro de algumas restrições
  - Ergonomia melhorada
- Advanced Programmable Interrupt Controller (APIC)
  - Interrupções entre núcleos
  - Encaminha interrupções para o núcleo apropriado

# Intel Core Duo





# Organização Intel x86 Multicore - Core i7

---

- Novembro 2008
- 4 processadores x86 SMT
- L2 dedicada, L3 cache compartilhada
- Pré busca especulativa para caches
- Controlador de memória DDR3 no chip
- Caminho de interconexão rápida

# Intel Core i7

