

SDRAM 读写测试实验

黑金动力社区 2017-11-25

1 实验简介

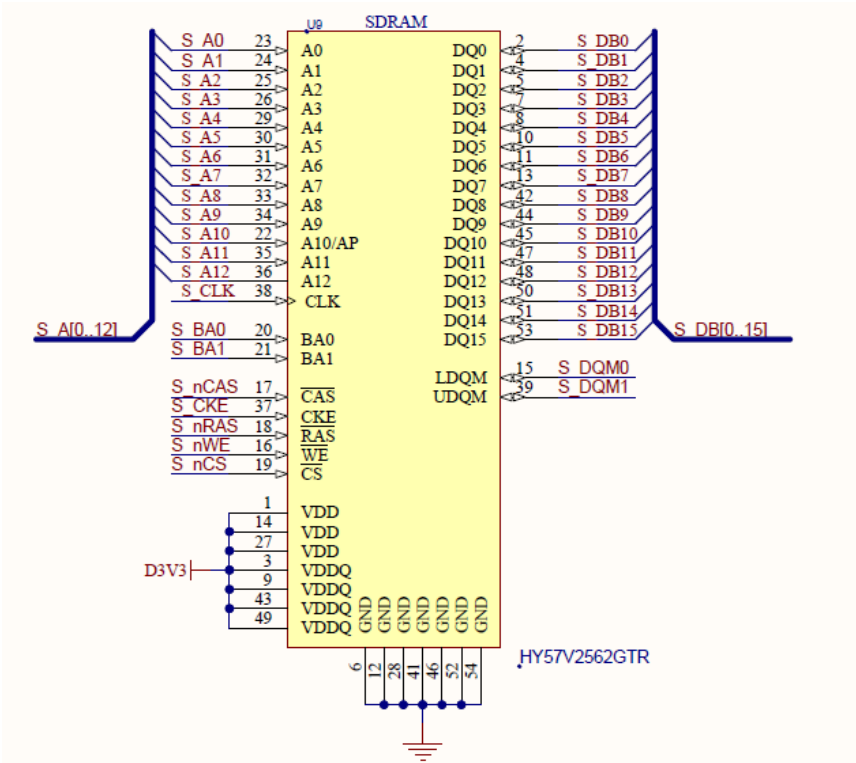
本实验为后续使用 SDRAM 的实验做铺垫,通过循环读写 SDRAM,了解 SDRAM 工作原理,和 SDRAM 控制器的写法,由于 SDRAM 比其他外设复杂,掌握 SDRAM 不是一时之事,但在已有 SDRAM 控制器情况下熟练应用,是后续音频、视频等需要用到 SDRAM 实验的基础。

2 实验原理

SDRAM 即同步动态随机存储器,同步是指 Memory 工作需要同步时钟,内部的命令的发送与数据的传输都以它为基准;动态是指存储阵列需要不断的刷新来保证数据不丢失;随机是指数据不是线性依次存储,而是自由指定地址进行数据读写。因为 SDRAM 具有存取速度大大高于 FLASH 存储器,且具有读/写的属性,因此 SDRAM 在系统中主要用于程序的运行空间,大数据的存储及堆栈。SDRAM 是高速的动态随机存取存储器,它的同步接口和完全流水线的内部结构使其拥有极大的数据速率,SDRAM 的时钟频率可以达到 100Mhz 以上,一片 16 位数据宽度的 SDRAM 的读写数据带宽达到 1.6Gbit/s。

2.1 硬件介绍

开发板设计采用 HYNIX/海力士公司的 HY57V2562 型号,容量为 256Mbit,采用了 54 引脚的 TSOP 封装,数据宽度都为 16 位,工作电压为 3.3V,并且采用同步接口方式所有的信号都是时钟信号。其含有 16 位数据总线,4 个 Bank。存储架构为 4Banks x 4Mbits x16,最高的工作频率为 133Mhz。在 PCB 的设计上,考虑高速信号的数据传输的可靠性,走线上严格保证等长设计和阻抗控制。AX301/AX4010 开发板 SDRAM 部分的原理图如下:



2.2 SDRAM 的控制和时序介绍

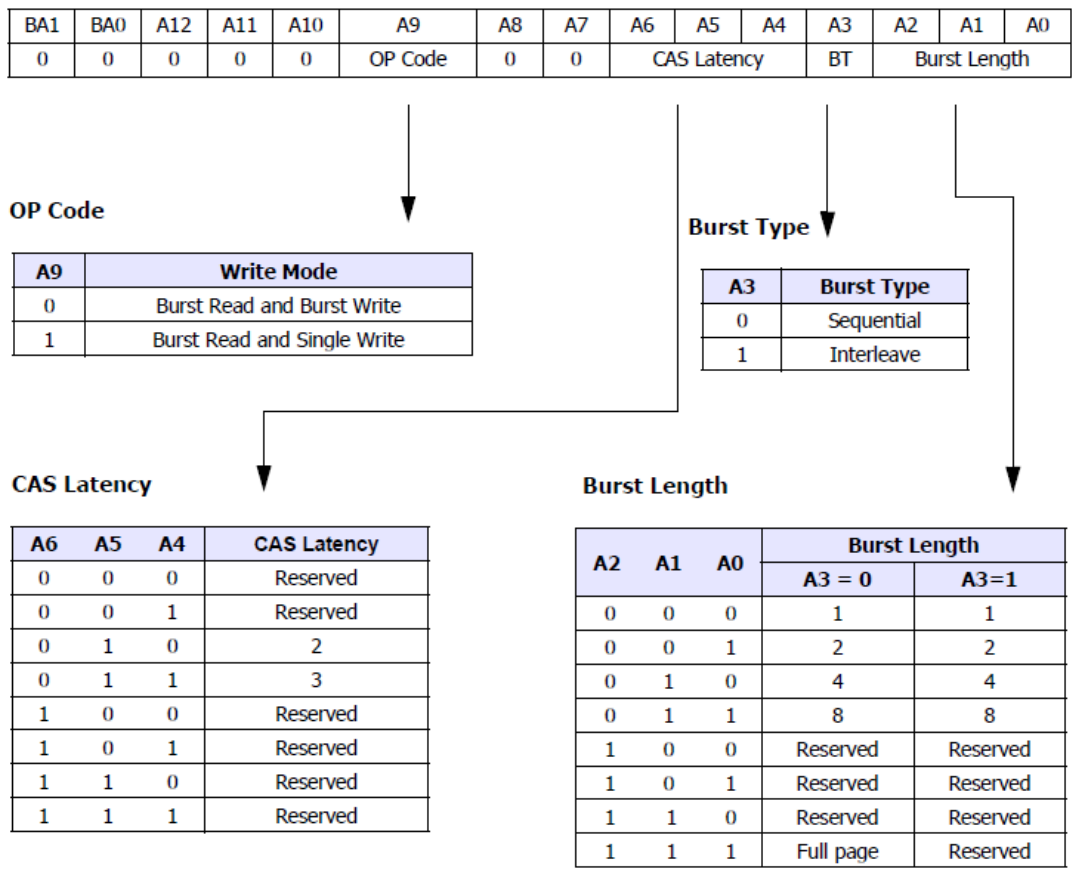
SDRAM 具有以下几个特点: (1)采取行列地址复用原则, SDRAM 的地址线在不同的命令下提供不同的地址, 行列地址复用 13 根地址线。(2)需要定时刷新。(3)在进行读写时, 需先激活行。换页读写时要预充电关闭的行, 然后再激活新的行进行读写。(4)SDRAM 正常工作之前配置模式寄存器。下图为 SDRAM 命令真值表, 通过 CKE、CS、RAS、CAS、WE 的不同状态, 发出不同的命令。

Function	CKEn-1	CKEn	\overline{CS}	\overline{RAS}	\overline{CAS}	\overline{WE}	DQM	ADDR	A10/AP	BA	Note
Mode Register Set	H	X	L	L	L	L	X	Op Code			
No Operation	H	X	L	H	H	H	X	X			
Device Deselect	H	X	H	X	X	X	X	X			
Bank Active	H	X	L	L	H	H	X	Row Address		V	
Read	H	X	L	H	L	H		Col- umn	L	V	
Read with Autoprecharge	H	X	L	H	L	H	X	Col- umn	H	V	
Write	H	X	L	H	L	L	X	Col- umn	L	V	
Write with Autoprecharge	H	X	L	H	L	L	X	Col- umn	H	V	
Precharge All Banks	H	X	L	L	H	L	X	X	H	X	
Precharge selected Bank	H	X	L	L	H	L	X	X	L	V	
Burst stop	H	X	L	H	H	L	X	X			
DQM	H	X	X				V	X			2
Auto Refresh	H	H	L	L	L	H	X	X			
Burst-Read Single-Write	H	X	L	L	L	H	X	A9 Pin High (Other Pins OP code)			
Self Refresh Entry	H	L	L	L	L	H	X	X			
Self Refresh Exit	L	H	H	X	X	X	X	X			1
			L	H	H	H					
Precharge Power Down Entry	H	L	H	X	X	X	X	X			
			L	H	H	H					
Precharge Power Down Exit	L	H	H	X	X	X	X	X			
			L	H	H	H					
Clock Suspend Entry	H	L	H	X	X	X	X	X			
			L	V	V	V					
Clock Suspend Exit	L	H	X				X	X			

SDRAM 命令真值表

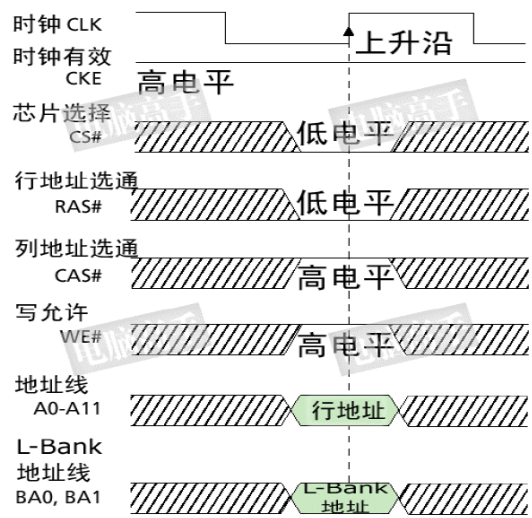
2.2.1 SDRAM 初始化

AX301/AX4010 开发板上的 SDRAM 的模式寄存器的 A0~A2 位为 SDRAM 读写 Burst 长度的设置；A3 为 Burst 类型，选择连续模式还是交叉模式；A4~A6 为 CAS 数据潜伏期设置；A9 选择工作模式。具体说明见下图所示：



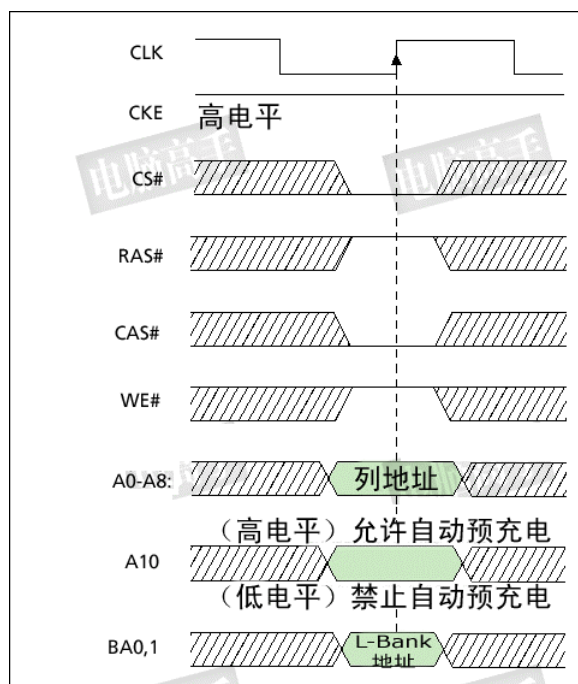
2.2.2 激活命令(Active)操作

SDRAM 上进行读写之前，必须将位于某一个 BANK 或者所有 BANK 中的行(row)地址进行激活，之后才能进行对相应区域的读写，激活操作中，地址线上出现的将是行地址和 BANK 选择地址。信号在时钟的上升沿有效。

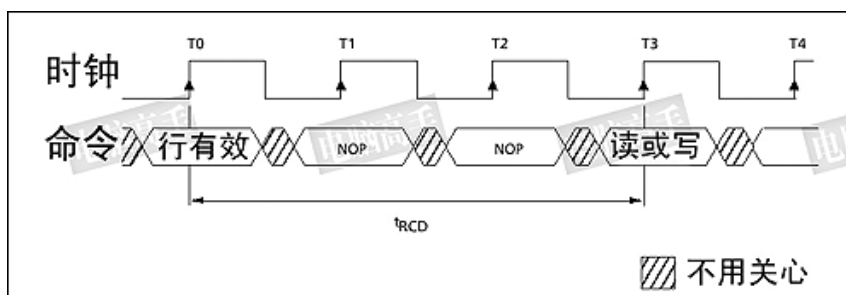


2.2.3 列读写命令操作

写操作就是对 SDRAM 进行数据的存取，在读写操作期间，地址线上出现的将是列地址和 BANK 选择地址。读写操作可以进行单字节的操作，也可以进行 BURST 操作。当 WE# 为低电平是即为写命令，当 WE# 为高电平是即为读命令。读写操作的时序如下图所示

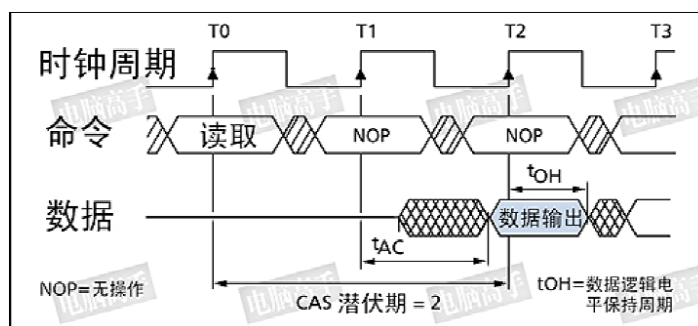


然而，在发送列读写命令时必须要与行有效命令有一个间隔，这个间隔被定义为 t_{RCD} ，即 RAS to CAS Delay (RAS 至 CAS 延迟)。 t_{RCD} 是 SDRAM 的一个重要时序参数， t_{RCD} 以时钟周期 (t_{CK} , Clock Time) 数为单位，比如 $t_{RCD}=2$ ，就代表延迟周期为两个时钟周期，具体到确切的时间，则要根据时钟频率而定，对于 100Mhz 的 SDRAM， $t_{RCD}=2$ ，代表 20ns 的延迟，对于 133Mhz 时钟频率的则为 15ns。下图为 $t_{RCD}=3$ 的时序图



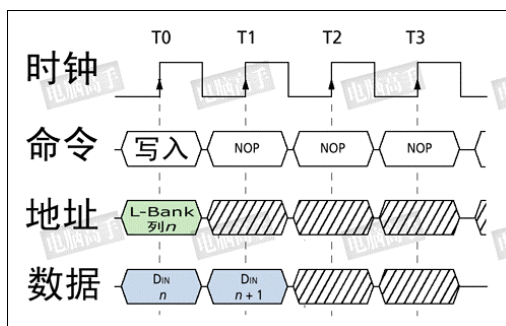
2.2.4 数据输出（读）

选定列地址后，就已经确定了具体的存储单元，剩下的事情就是数据通过数据 I/O 通道（DQ）输出到内存总线上了。但是在 CAS 发出之后，仍要经过一定的时间才能有数据输出，从 CAS 与读取命令发出到第一笔数据输出的这段时间，被定义为 CL（CAS Latency，CAS 潜伏期）。由于 CL 只在读取时出现，所以 CL 又被称为读取潜伏期（RL，Read Latency）。CL 的单位与 tRCD 一样，为时钟周期数，具体耗时由时钟频率决定。下图为 CAS 潜伏期为 2 的数据输出时序图：



2.2.5 数据输入（写）

数据可以与 CAS 同时发送，不需要有写入延迟。以下为数据写入的时序图：



2.2.6 预充电

由于 SDRAM 的寻址具有独占性，所以在进行完读写操作后，如果要对同一 L-Bank 的另一行进行寻址，就要将原来有效（工作）的行关闭，重新发送行/列地址。L-Bank 关闭现有工作行，准备打开新行的操作就是预充电（Precharge）。预充电可以通过命令控制，也可以通过辅助设定让芯片在每次读写操作之后自动进行预充电。

2.2.7 刷新

因为 SDRAM 要不断进行刷新 (Refresh) 才能保留住数据，因此它是 DRAM 最重要的操作。刷新则是有固定的周期，依次对所有行进行操作，以保留那些久久没经历重写的存储体中的数据。那么要隔多长时间重复一次刷新呢？目前公认的标准是，存储体中电容的数据有效保存期上限是 64ms (毫秒，1/1000 秒)，也就是说每一行刷新的循环周期是 64ms。这样刷新速度就是：行数量/64ms。刷新命令一次对一行有效，发送间隔也是随总行数而变化，4096 行时为 15.625 μ s (微秒，1/1000 毫秒)，8192 行时就为 7.8125 μ s。

3 程序设计

本实验的 SDRAM 控制器是专门针对后面的视频、音频实验写的，在一行内突发读写 (一行内最大连续大写 512 个数据)。

信号名称	方向	说明
clk	in	时钟输入，100Mhz
rst	in	异步复位输入，高复位
wr_burst_req	in	突发写请求
wr_burst_data	in	突发写请求的数据
wr_burst_len	in	突发写请求数据长度
wr_burst_addr	in	突发写请求基地址
wr_burst_data_req	out	突发写请求数据读取，提前 wr_burst_data 一个时钟周期
wr_burst_finish	out	突发写请求完成
rd_burst_req	in	突发读请求
rd_burst_len	in	突发读请求数据长度
rd_burst_addr	in	突发读请求基地址
rd_burst_data	out	突发读请求读出的数据
rd_burst_data_valid	out	突发读请求读数据有效
rd_burst_finish	out	突发读请求完成
sdram_cke	out	到 sdram 芯片，CKE
sdram_cs_n	out	到 sdram 芯片，片选

sdram_ras_n	out	到 sdram 芯片，行选择
sdram_cas_n	out	到 sdram 芯片，列选择
sdram_we_n	out	到 sdram 芯片，写使能
sdram_ba	out	到 sdram 芯片，BANK 选择
sdram_addr	out	到 sdram 芯片，地址线
sdram_dqm	out	到 sdram 芯片，DQM
sdram_dq	inout	到 sdram 芯片，数据线

sdram_core 端口说明

mem_test 模块是一个通用的外部 RAM 测试模块，主要功能是先把整个存储器写入数据，再读出对比，为了能够充分测试外部存储器的数据正确性，每次写入相同地址数据是不能相同的，每一个地址的数据页不相同，模块设计一个计数器计数写入次数，再把地址和写入次数相加，写入相应的存储单元，再读出对比，如果有一个数据错误 error 信号会变高，直到有复位才变低。heartbeat 信号用于指示测试正在进行，如果测试在进行，heartbeat 会不断的跳变。

4 实验现象

将实验程序下载到开发板，led0 不断的闪烁，表示测试在进行，led1 不亮，表示还没有数据错误。