

# Trabalho Prático 1

Luis Antonio Duarte Sousa  
2023001964

## 1. Introdução da implementação

A implementação se resume a um módulo “mod7\_reminder” que possui inputs A,B,C e D que representam os bits do número que será dividido por 7 e outputs X1,X2 e X3 que são os do resto. O primeiro passo foi a construção da tabela-verdade, seguido da minimização das 3 saídas utilizando mapas de Karnaugh. Por fim, usando as minimizações adquiridas foi construído o design do circuito com verilog onde assinalamos cada saída com sua respectiva equação.

Obs: A tabela-verdade, mapas, simplificações, entre outros, foram feitas a mão mas decidi utilizar softwares para melhorar a visualização :).

## 2. Tabela-verdade

A	B	C	D	X1	X2	X3
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	0	0	1	0
0	0	1	1	0	1	1
0	1	0	0	1	0	0
0	1	0	1	1	0	1
0	1	1	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1
1	0	0	1	0	1	0
1	0	1	0	0	1	1
1	0	1	1	1	0	0
1	1	0	0	1	0	1
1	1	0	1	1	1	0
1	1	1	0	0	0	0
1	1	1	1	0	0	1

### 3. Forma Canônicas

$$X1(A, B, C, D) = \sum m(4, 5, 6, 11, 12, 13)$$

$$X2(A, B, C, D) = \sum m(2, 3, 6, 9, 10, 13)$$

$$X3(A, B, C, D) = \sum m(1, 3, 5, 8, 10, 12, 15)$$

### 4. Mapas de Karnaugh

**X1:**

**Mapa de Karnaugh**

		AB			
		00	01	11	10
CD	00	0	1	1	0
	01	0	1	1	0
	11	0	0	0	1
	10	0	1	0	0

**X2:**

**Mapa de Karnaugh**

		AB			
		00	01	11	10
CD	00	0	0	0	0
	01	0	0	1	1
	11	1	0	0	0
	10	1	1	0	1

**X3:**

**Mapa de Karnaugh**

		AB			
		00	01	11	10
CD	00	0	0	1	1
	01	1	1	0	0
	11	1	0	1	0
	10	0	0	0	1

## 5. Minimizações

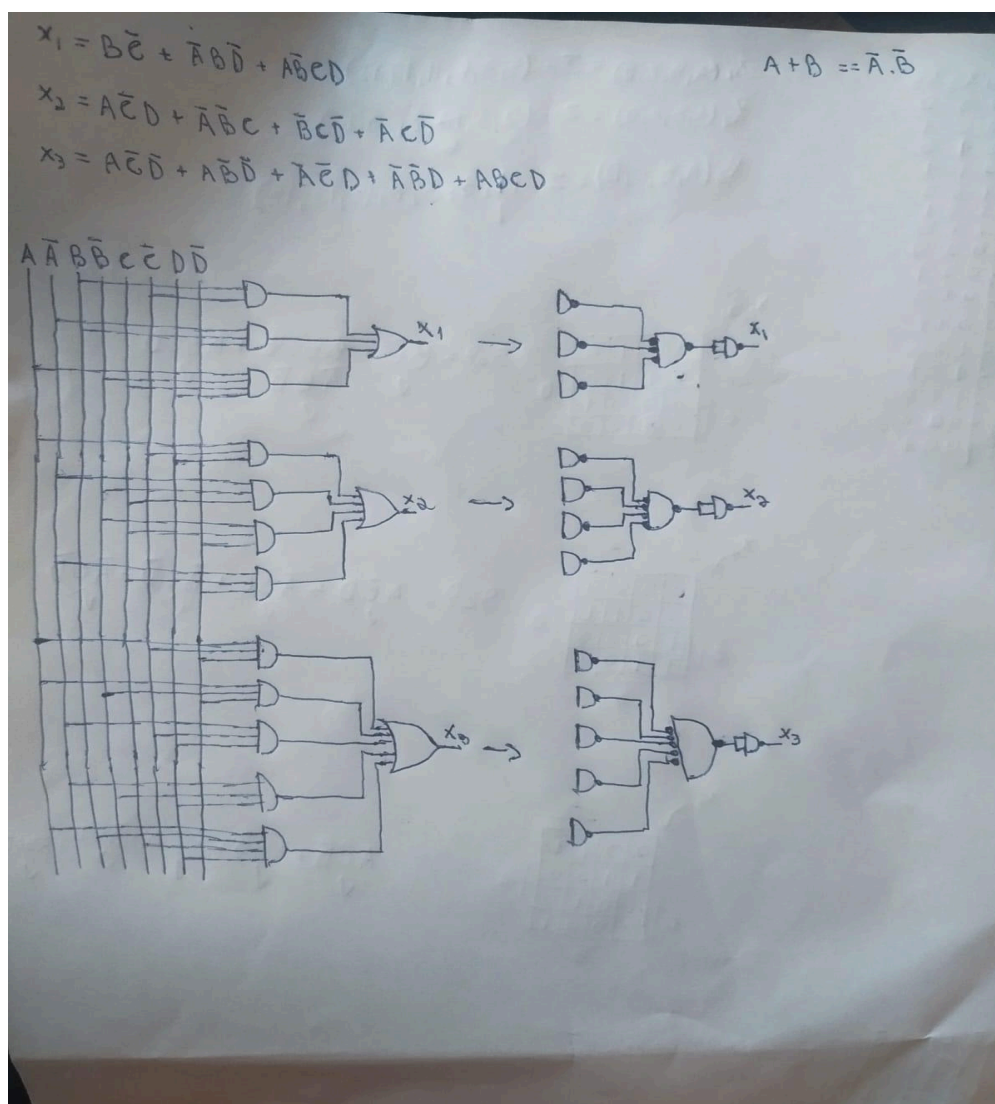
$$X1(A, B, C, D) = B\bar{C} + \bar{A}B\bar{D} + A\bar{B}CD$$

$$X2(A, B, C, D) = A\bar{C}D + \bar{A}\bar{B}C + \bar{B}C\bar{D} + \bar{A}C\bar{D}$$

$$X3(A, B, C, D) = A\bar{C}\bar{D} + A\bar{B}\bar{D} + \bar{A}\bar{C}D + \bar{A}\bar{B}D + ABCD$$

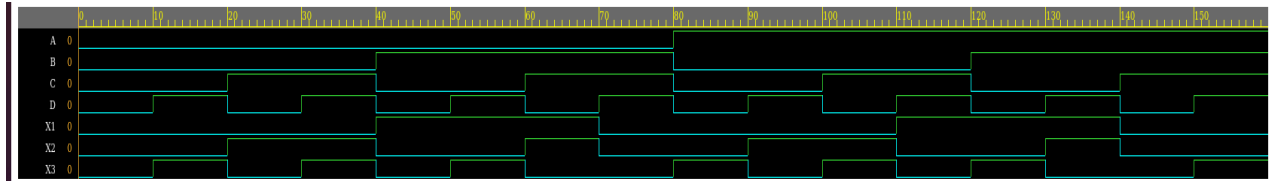
## 6. Diagrama do Circuito

Foi decidido tentar implementar apenas utilizando NANDs pelo fato delas serem mais baratas em termos de transistores



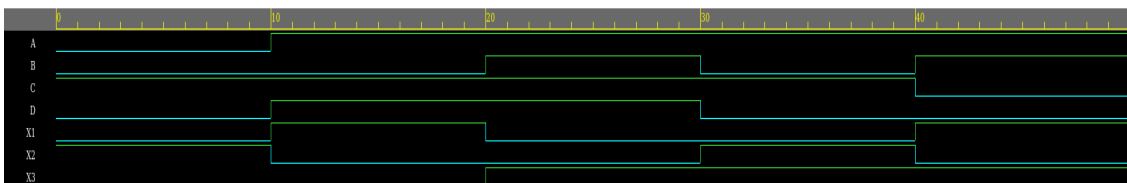
## 7. Casos de teste

Foram criados diversos casos de teste que vão de 0000 a 1111 possuindo todas as permutações de 0 e 1 para verificar se de fato funciona corretamente. O diagrama de onda resultante foi:



Os 16 testes foram feitos sequencialmente sendo perceptível as mudanças dos 4 bits de inputs (4 primeiros) em conjunto com os 3 bits de outputs (3 finais) a cada 10 unidades de tempo. Por exemplo: Em  $t=120$ ,  $A = 1$ ,  $B = 1$ ,  $C = 0$ ,  $D = 0$  logo  $X1 = 1$ ,  $X2 = 0$  e  $X3 = 1$  que corresponde a 5, o resto de  $12 / 7$ .

Em seguida, comprovado o devido funcionamento, foi feito os casos do enunciado isolados gerando as seguintes ondas:



Considerando cada 10 unidades de tempo como um dia teremos:

Dia 1 (0 - 10):

input - 0010

output - 010

Dia 2 (10 - 20):

input - 1011

output - 100

Dia 3 (20 - 30):

input - 1111

output - 001

Dia 4 (30 - 40):

input - 1010

output - 011

Dia 5 (40 - 50):

input - 1100

output - 101

Que seria a solução para o problema enunciado.

