Trabalho Prático 2

Luis Antonio Duarte Sousa 2023001964

1. Introdução da implementação

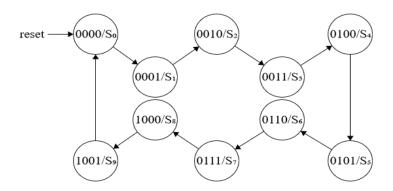
Será implementado um contador sequencial em Verilog, seguindo os padrões de uma máquina de Moore (output no estado), que conta de 0 a 9 e reinicia para 0 ao atingir o valor 9 ou ao receber um sinal de reset. Além disso, foi implementado usando como referência o "counter with self-start" e "counter with upper limit" para garantir que sempre inicie corretamente, mesmo se começar em um estado inválido (dont-care) e reinicie sempre que chegar em seu limite superior (9). A implementação é sincronizada com o clock, utilizando a borda de subida (posedge). Além disso, possui um sinal de reset em que será monitorada a borda de subida para reinicializações. Também será usado minimização das saídas com auxílio de mapas de karnaugh.

2. Etapas da implementação

a. Tabela dos próximos estados

reset	state	Α	В	С	D	A+	B+	C+	D+	new state
1	-	-	•	-	-	0	0	0	0	S0
0	S0	0	0	0	0	0	0	0	1	S1
0	S1	0	0	0	1	0	0	1	0	S2
0	S2	0	0	1	0	0	0	1	1	S3
0	S3	0	0	1	1	0	1	0	0	S4
0	S4	0	1	0	0	0	1	0	1	S5
0	S5	0	1	0	1	0	1	1	0	S6
0	S6	0	1	1	0	0	1	1	1	S7
0	S7	0	1	1	1	1	0	0	0	S8
0	S8	1	0	0	0	1	0	0	1	S9
0	S9	1	0	0	1	0	0	0	0	S0
0	Sx	-	-	-	-	-	-	-	-	Sx
0	Sx	-	-	-	-	-	-	-	-	Sx
0	Sx	-	-	-	-	-	-	-	-	Sx
0	Sx	-	-	-	-	-	-	-	-	Sx
0	Sx	-	-	-	-	-	-	-	-	Sx
0	Sx	-	-	-	-	-	-	-	-	Sx

b. Diagrama de estados



c. Minimização dos outputs

A+ = AD' + BCD

B+ = BD' + BC'B'CD

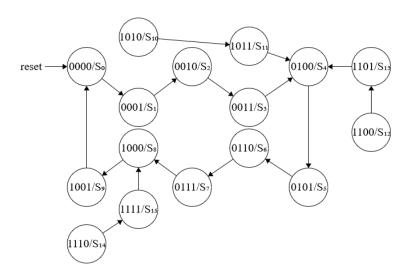
C+ = CD' + A'C'D

D+=D'

d. Nova tabela de próximos estados

	1	1	1	1	1		1	1	1	Ī
reset	state	Α	В	С	D	A+	B+	C+	D+	new stt
1	-	-	-	-	-	o	0	О	o	S0
0	S0	0	0	0	0	0	0	0	1	S1
0	S1	0	0	0	1	0	o	1	0	S2
0	S2	0	0	1	0	0	0	1	1	S3
0	S3	0	0	1	1	0	1	0	0	S4
0	S4	О	1	0	О	0	1	О	1	S5
0	S5	0	1	0	1	0	1	1	0	S6
0	S6	О	1	1	o	0	1	1	1	S7
0	S7	0	1	1	1	1	0	0	0	S8
0	S8	1	О	0	0	1	О	0	1	S9
0	S9	1	0	0	1	0	0	0	0	S0
0	S10	1	0	1	0	1	0	1	1	S11
0	S11	1	0	1	1	0	1	0	0	S4
0	S12	1	1	0	0	1	1	0	1	S13
0	S13	1	1	0	1	0	1	0	0	S4
0	S14	1	1	1	0	1	1	1	1	S15
0	S15	1	1	1	1	1	0	0	0	S8

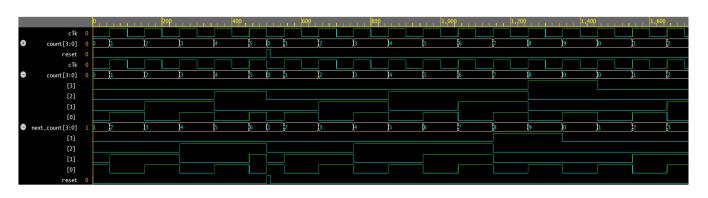
e. Novo diagrama de estados



3. Diagrama de ondas e casos de teste

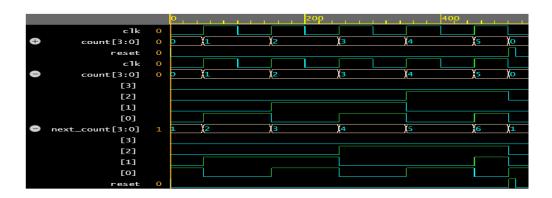
A implementação em verilog funciona utilizando as funções minimizadas de cada saída para o cálculo do próximo (new_count) estado baseado no atual (count) (retroalimentação). Assim, utilizando o always com sinais de clock e reset, caso o reset seja 1 retornará imediatamente para o estado S0 (0000). Ao que concerne o retorno a S0 após S9(1001) as próprias funções minimizadas garantem essa característica como será mostrado.

Utilizei o clock como 50 unidades de tempo (equivalente a meio segundo) o que garante que tenha exatamente uma borda de subida por segundo e permite que o problema de 5 e 12 segundos seja visualizado melhor e realmente conte os segundos (favor ignorar as duas ondas repetidas de clock e reset)



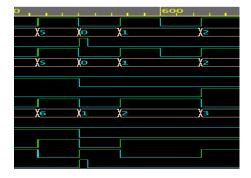
Visão completa das ondas demonstra tudo mas prejudica a visualização, dito isso será mostrado parte por parte:

- Primeiros 5 segundos:



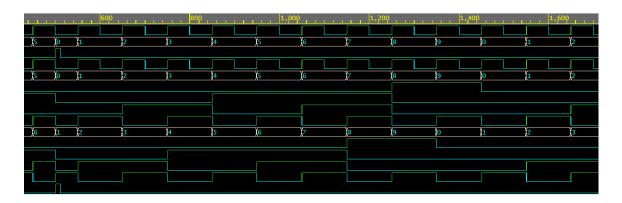
Como podemos observar no **count** (registrador) a cada ciclo de clock (segundo) é incrementado em 1 e isso se mantém durante 500 unidades de tempo (5 segundos). Além disso, repare que **new_count** calcula o próximo estado.

reset é acionado:



Como podemos ver no reset (última onda) assim que ele é acionado a contagem do **count** e do **new_count** é resetada em que o count vai para S0 (0000) e new_count vai para S1(0001).

- contador fica ligado pelos próximos 12 segundos:



Podemos ver que após o reset a contagem é reiniciada de S0 até S9 e assim que chega em S9 retorna a para S0 e vai até 1700 (500 + 1200) com valor S2(0010) mostrando o perfeito funcionamento de acordo com as especificações.