



DEEC

DEPARTAMENTO DE ENGENHARIA
ELECTROTÉCNICA E DE COMPUTADORES

TÉCNICO LISBOA

Electrónica Geral

José Gerald

Mestrado em Engenharia Aeroespacial
Licenciatura em Engenharia Física Tecnológica
Licenciatura em Engenharia Aeroespacial

MEAer: 1º ano, 1º semestre

LEFT: 3º ano, 1º semestre

LEAer: 3º ano, 1º semestre

2021/2022

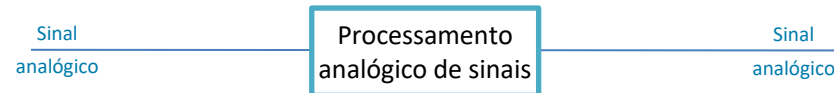
Capítulo 5

Conversores A/D e D/A

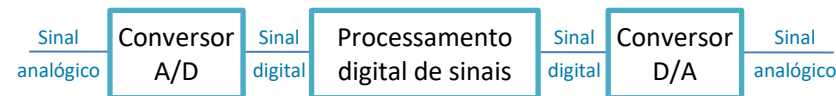
1. Introdução aos conversores de dados

1.1. Processamento digital de sinais

No passado o processamento dos sinais era realizado de forma analógica, ficando altamente limitada a capacidade de se realizarem funções complexas.



Actualmente o processamento dos sinais realiza-se de forma digital, requerendo para o efeito a utilização de conversores analógico digital (A/D ou ADC) e conversores digital-analógico (D/A ou DAC)



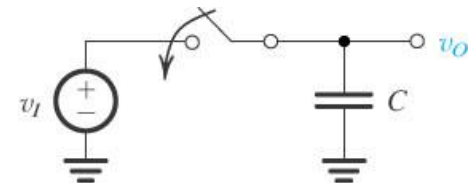
1.2. Amostragem de sinais analógicos

O princípio subjacente ao processamento de sinais digitais é o da **amostragem** de um sinal analógico

Circuito de amostragem

Sample-and-hold (S/H) que consiste num interruptor analógico (por exemplo um transístor MOSFET, um condensador de armazenamento e eventualmente um buffer /amplificador de ganho unitário)

Sample & Hold



1. Introdução aos conversores de dados (cont.)

1.3. Quantificação de sinais

Por exemplo um sinal analógico variando entre 0 e 10V, digitalizado para uma palavra digital de 4 bits

Um número binário representado por 4 dígitos pode apresentar 16 valores diferentes, ou seja, de 0 a 15

A resolução da conversão será de $\frac{10V}{15} = \frac{2}{3}V = 0.667V$

A conversão de valores analógicos que estão entre os valores da tabela, é feita em função de qual dos valores da tabela está mais próximo do valor analógico

A este processo chama-se quantificação correspondendo ao aparecimento dos respectivos erros de quantificação

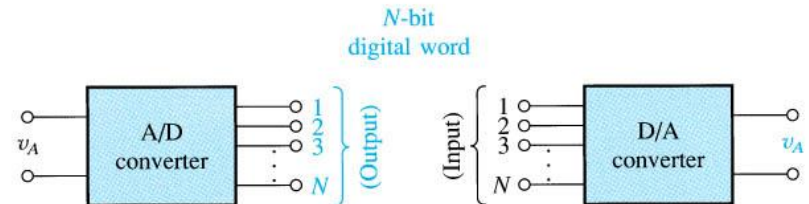
Valor analógico (V)	Representação binária
0.000	0000
0.667	0001
1.333	0010
2.000	0011
2.667	0100
3.333	0101
4.000	0110
4.667	0111
5.333	1000
6.000	1001
6.667	1010
7.333	1011
8.000	1100
8.667	1101
9.333	1110
10.000	1111

Quanto maior for o número de bits do quantificador menor será o erro de quantificação mas requer um circuito mais complexo

1.4. Blocos funcionais dos conversores A/D e D/A

Um conversor A/D (ADC) de N bits tem na entrada um sinal analógico e apresenta à sua saída um sinal digital de N bits

Um conversor D/A (DAC) de N bits tem na sua entrada um sinal digital de N bits, produzindo à sua saída o respectivo sinal analógico



2. Circuitos conversores D/A

2.1. Circuito básico utilizando resistências com pesos binários ponderados

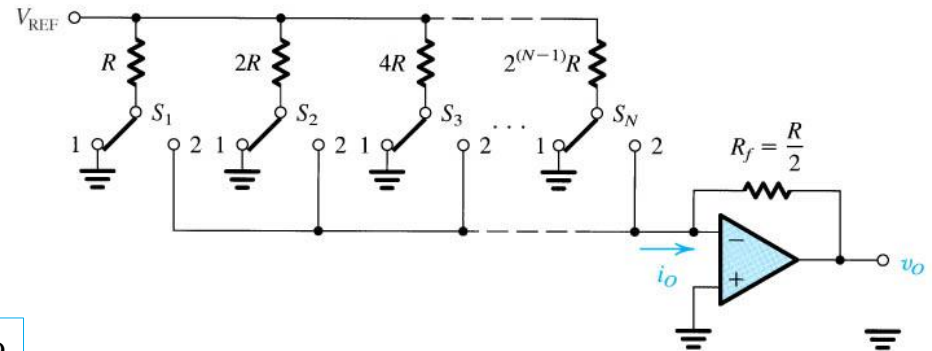
$$i_0 = \frac{V_{REF}}{R} b_1 + \frac{V_{REF}}{2R} b_2 + \dots + \frac{V_{REF}}{2^{N-1}R} b_N$$

$$= \frac{2V_{REF}}{R} \left[\frac{b_1}{2^1} + \frac{b_2}{2^2} + \dots + \frac{b_N}{2^N} \right]$$

$$= \frac{2V_{REF}}{R} D$$

$$v_0 = -i_0 R_f = -\frac{2V_{REF} R_f}{R} D$$

$$v_0 = -V_{REF} D$$



Sendo:

b_1, b_2, \dots, b_N os coeficientes dos bits que valem 0 ou 1

b_1 é o bit de maior peso (MSB - Most Significant Bit)

b_N é o bit de menor peso (LSB - Least Significant Bit)

S_1, S_2, \dots, S_N são interruptores em que para S_i está na posição 1 quando $b_i=0$ e na posição 2 quando $b_i=1$

A precisão do DAC depende de forma crítica de:

1. Precisão de V_{REF}
2. Precisão das resistências com pesos binários ponderados ($R, 2R, 4R, \dots, 2^{(N-1)}R$)
3. Perfeição dos interruptores

NOTA: A desvantagem do circuito utilizando resistências com pesos binários ponderados é a de que para um número elevado de bits ($N > 4$) a dispersão de valores entre a resistência mínima e máxima é muito elevada, conduzindo à dificuldade na manutenção das tolerâncias das resistências

2. Circuitos conversores D/A (cont.)

2.2. Circuito em escada R-2R

Verifica-se que a resistência à direita de qualquer nó vale sempre $2R$, pelo que as correntes vão-se sempre dividindo por 2:

$$I_1 = 2I_2 = 4I_3 = \dots = 2^{N-1} I_N$$

$$i_0 = I_1 b_1 + I_2 b_2 + \dots + I_N b_N$$

$$= I_1 b_1 + \frac{I_1}{2} b_2 + \dots + \frac{I_1}{2^{N-1}} b_N$$

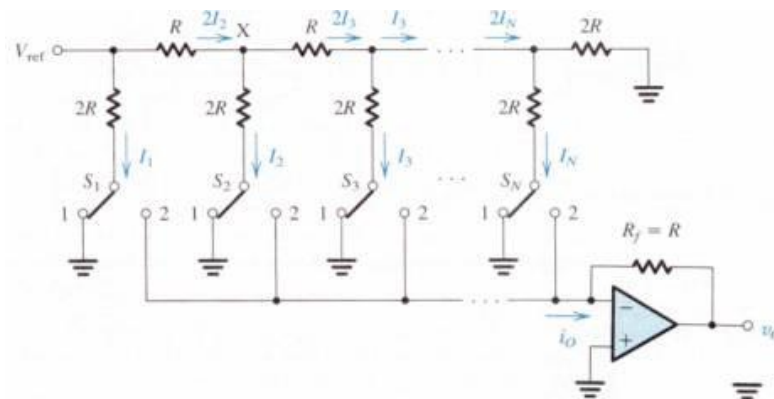
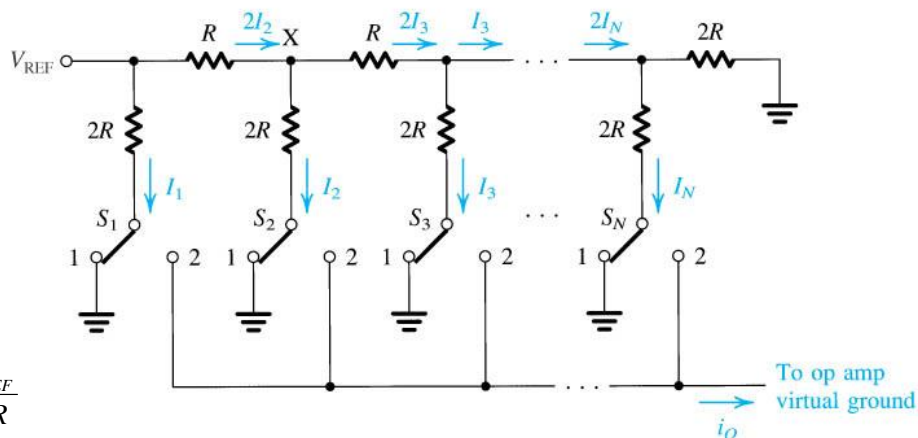
$$= \frac{V_{REF}}{R} \left[\frac{b_1}{2^1} + \frac{b_2}{2^2} + \dots + \frac{b_N}{2^N} \right]$$

com $I_1 = \frac{V_{REF}}{2R}$

$$i_0 = \frac{V_{REF}}{R} D$$

$$v_0 = -R_f i_0 = -\frac{R_f}{R} V_{REF} D$$

$$v_0 = -V_{REF} D$$



NOTA: A vantagem do circuito em escada R-2R é o facto de utilizar uma baixa dispersão de valores de resistências (R e $2R$), assegurando uma uniformidade nas suas tolerâncias

2. Circuitos conversores D/A (cont.)

2.3. Circuito com divisor de tensão

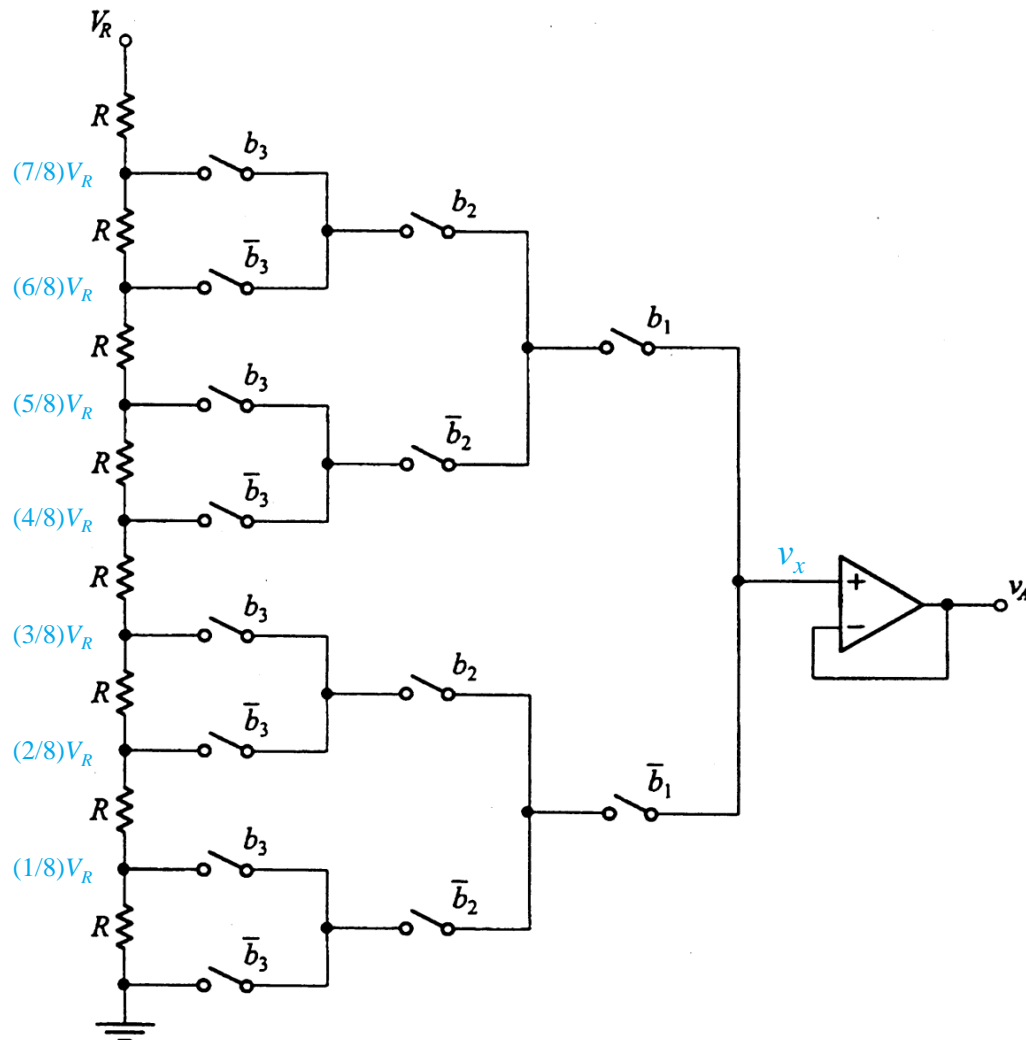
Seguidor de tensão: $v_A = v_x$

$$v_x = \begin{cases} 0 & b_1=0 & b_2=0 & b_3=0 \\ (1/8)V_R & b_1=0 & b_2=0 & b_3=1 \\ (2/8)V_R & b_1=0 & b_2=1 & b_3=0 \\ (3/8)V_R & b_1=0 & b_2=1 & b_3=1 \\ (4/8)V_R & b_1=1 & b_2=0 & b_3=0 \\ (5/8)V_R & b_1=1 & b_2=0 & b_3=1 \\ (6/8)V_R & b_1=1 & b_2=1 & b_3=0 \\ (7/8)V_R & b_1=1 & b_2=1 & b_3=1 \end{cases}$$

- b_3 tem um peso de $V_R/8 = V_R/2^3$
- b_2 tem um peso de $V_R/4 = V_R/2^2$
- b_1 tem um peso de $V_R/2$

$$v_A = V_R \left[\frac{b_1}{2} + \frac{b_2}{2^2} + \frac{b_3}{2^3} \right]$$

$$v_A = V_R D$$



3. Circuitos conversores A/D

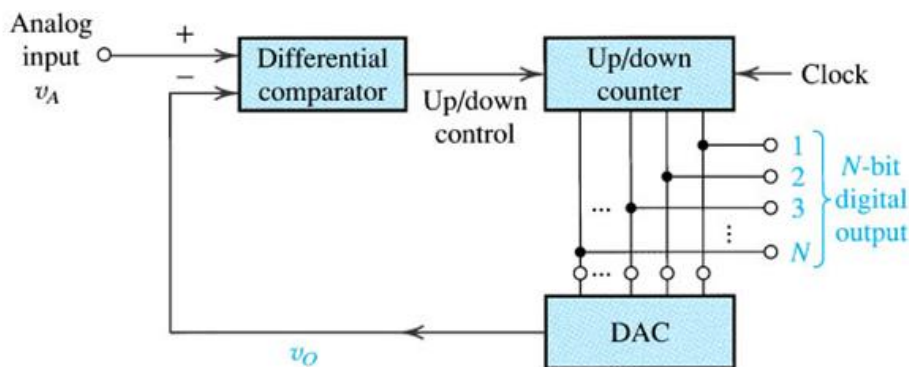
3.1. Conversor com realimentação

A figura representa um conversor A/D com realimentação simples que emprega:

- Comparador diferencial (ex. AMPOP):

$$up/down = \begin{cases} "1" & se \ v_A > v_0 \\ "0" & se \ v_A < v_0 \end{cases}$$

- Contador para cima/baixo (up/down). Conta para cima “up” quando up/down=1 e conta para baixo “down” quando up/down=0
- Conversor D/A (DAC)
- Sinal de relógio (clock)



O circuito funciona da seguinte forma:

- Inicialmente o contador está a zero (saída do Contador = 000...0)
- A tensão de saída do DAC será $v_0=0$
- Sendo $v_A > v_0$ up/down="1"
- Após o próximo clock o contador avançará (saída do Contador = 000...1) e v_0 aumenta em conformidade
- Por cada clock o contador avança até que up/down="0", parando nesse momento a contagem
- A saída do contador estará a palavra digital correspondente à entrada analógica (v_A)

NOTA: O conversor é lento se iniciar a partir de zero, podendo ser necessários até 2^N-1 ciclos de relógio, embora possa acompanhar rapidamente pequenas mudanças do sinal

3. Circuitos conversores A/D (cont.)

3.2. Conversor de dupla rampa

Modo de operação:

- Considera-se o sinal de entrada $v_A < 0$
- Antes de se iniciar o ciclo de conversão o interruptor S_2 é fechado descarregando o condensador C , colocando $v_1 = 0$
- O ciclo de conversão inicia-se com a abertura de S_2 e ligando a entrada do integrador a v_A através de S_1
- Como v_A é negativo:

$$I = \frac{V_A}{R} < 0 \quad v_1 = -\frac{I}{C}t = -\frac{V_A}{RC}t$$

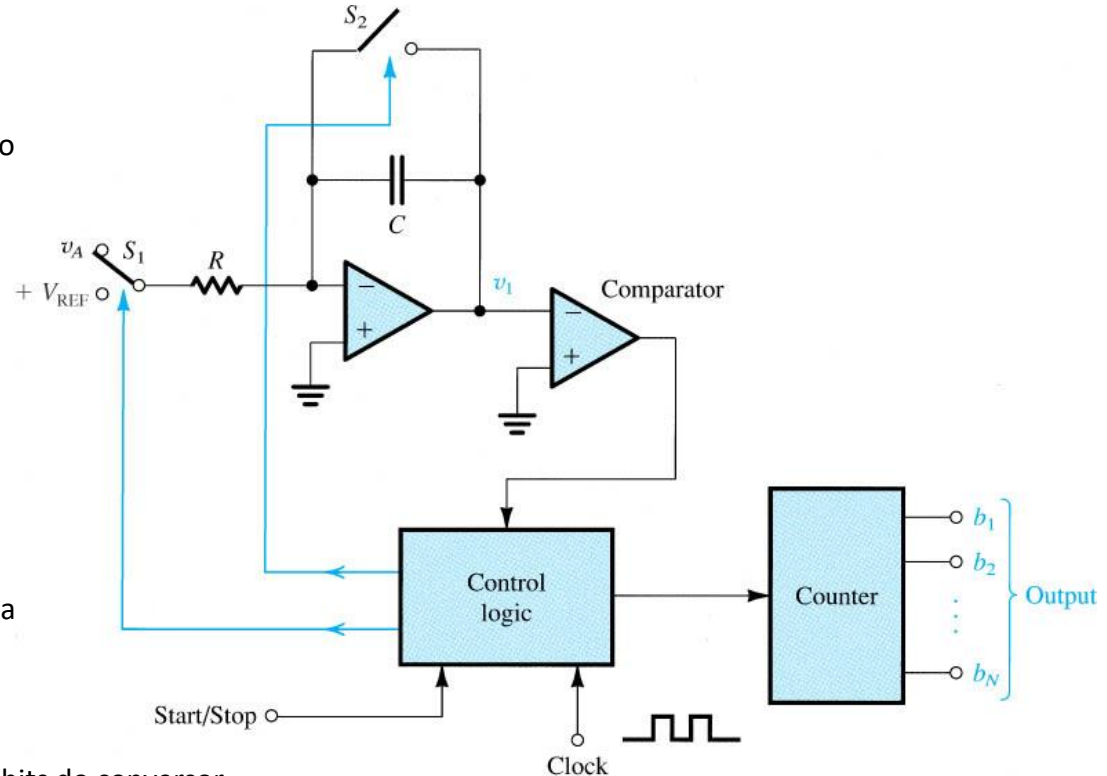
- Esta integração é feita por um período de tempo fixo T_1 , correspondendo a uma contagem de n_{REF} ciclos de relógio:

$$T_1 = n_{REF}T \quad n_{REF} = 2^N$$

Sendo T o período do clock e N o nº de bits do conversor

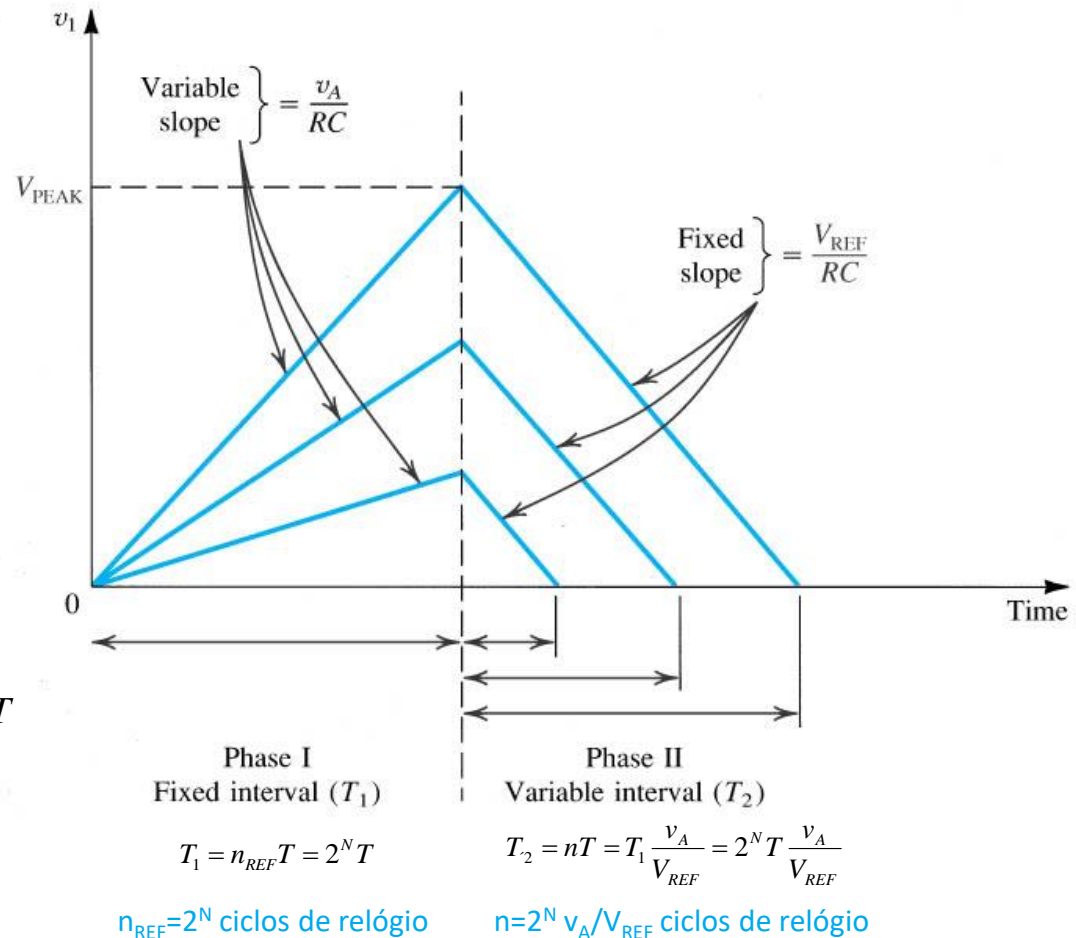
- Findo o período T_1 a tensão v_1 vale $v_1(T_1) = V_{PEAK} = -\frac{v_A T_1}{RC}$
- Nessa altura S_1 muda de posição passando-se a integrar a tensão $V_{REF} > 0$ $I = \frac{V_{REF}}{R} > 0 \quad v_1 = -\frac{I}{C}t = -\frac{V_{REF}}{RC}t$
- O contador inicia também a contagem e quando $v_1 = 0$ passou-se o tempo T_2 e foram contados n impulsos

$$V_{PEAK} = \frac{V_{REF} T_2}{RC} \Rightarrow T_2 = T_1 \left| \frac{v_A}{V_{REF}} \right| \Rightarrow n = n_{REF} \left| \frac{v_A}{V_{REF}} \right| \quad \boxed{n = 2^N \left| \frac{v_A}{V_{REF}} \right|}$$



3. Circuitos conversores A/D (cont.)

3.2. Conversor de dupla rampa (cont.)



Tempo de conversão (t_c):

entre

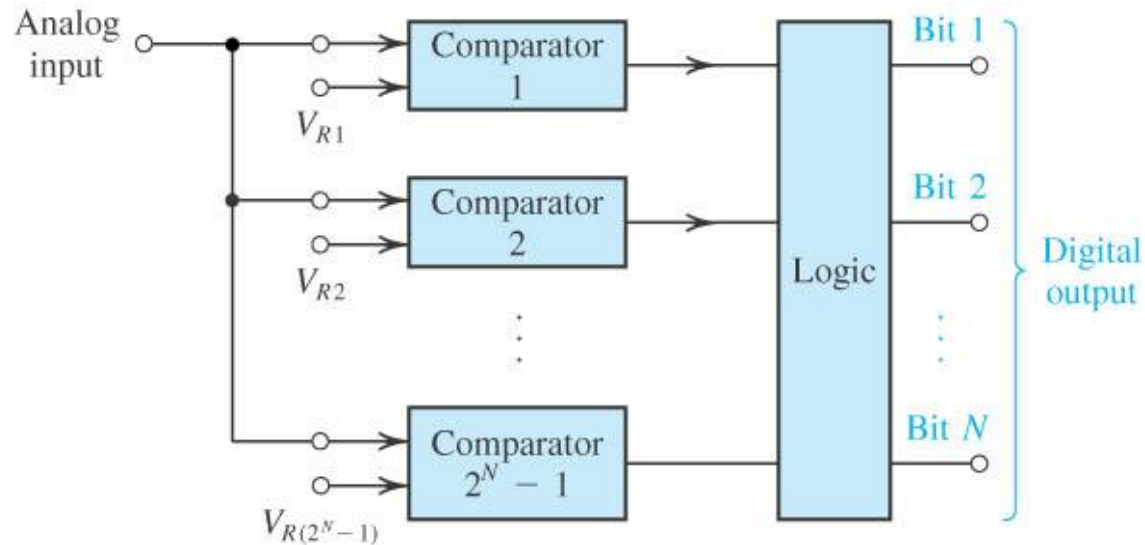
$$2^N T \text{ e } 2 \times 2^N T = 2^{N+1} T$$

$$t_{c_{MAX}} = 2^{N+1} T$$

NOTA: O conversor é lento, embora sendo muito popular para alta resolução (12 a 14 bit) e tenha alta precisão, pois as características são independentes da precisão de R e C

3. Circuitos conversores A/D (cont.)

3.3. Conversor paralelo ou flash



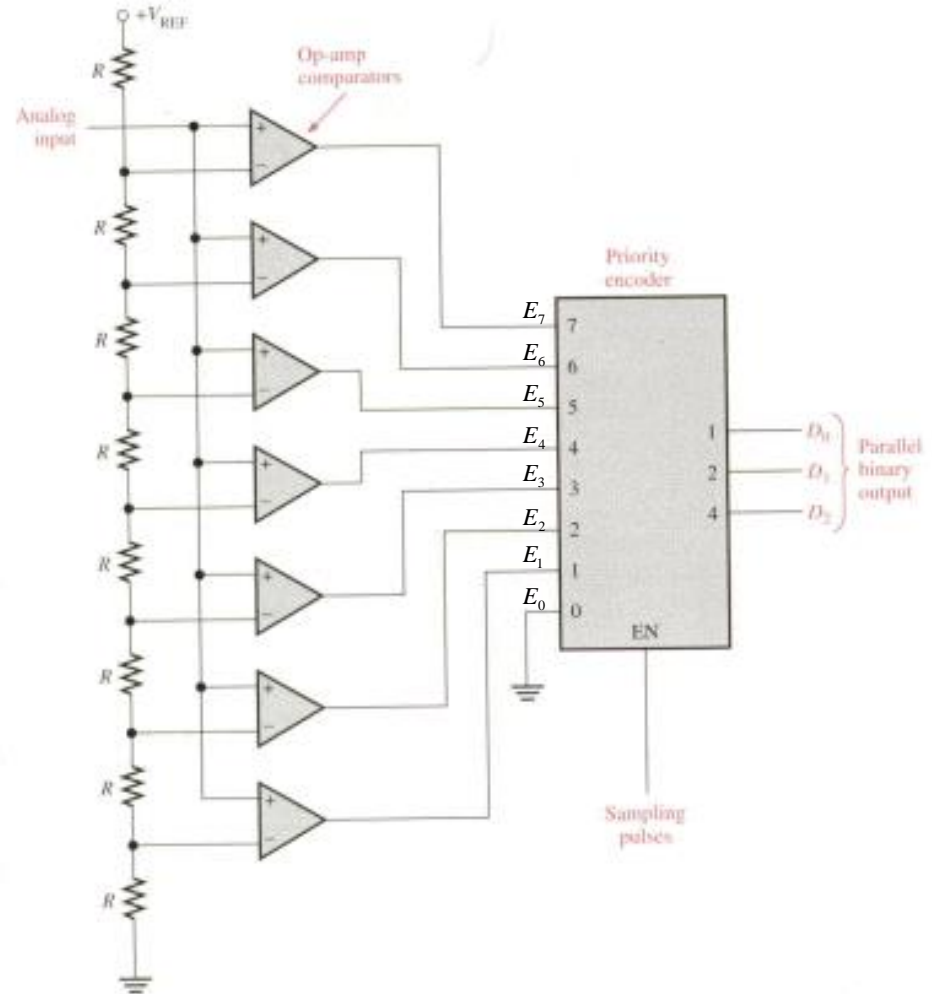
NOTA: O conversor é muito rápido, embora sendo muito complexo especialmente para conversão com muitos bits

3. Circuitos conversores A/D (cont.)

3.3. Conversor paralelo ou flash (cont.)

Exemplo para um conversor de 3 bits:

V_i/V_{REF}	Priority encoder Entrada (b_7, b_6, \dots, b_0)	Saída ($D_2 D_1 D_0$)
$[0, 1/8[$	0000 0000	0 0 0
$[1/8, 2/8[$	0000 0010	0 0 1
$[2/8, 3/8[$	0000 0110	0 1 0
$[3/8, 4/8[$	0000 1110	0 1 1
$[4/8, 5/8[$	0001 1110	1 0 0
$[5/8, 6/8[$	0011 1110	1 0 1
$[6/8, 7/8[$	0111 1110	1 1 0
$[7/8, 8/8[$	1111 1110	1 1 1

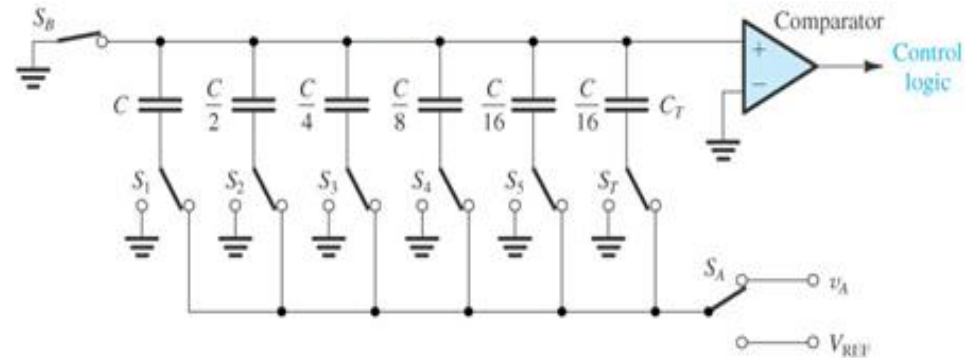


3. Circuitos conversores A/D (cont.)

3.4. Conversor de redistribuição de carga

Circuito desenvolvido especialmente para realização em tecnologia CMOS e utiliza:

- Um array de condensadores com pesos binários ponderados
- Um comparador de tensão
- Interruptores analógicos
- Lógica de controlo (não representada na figura)



O condensador $C_T = C/2^N$ tem a função de terminação do array, de tal forma que a capacidade total é $2C$:

$$C_{TOTAL} = \left(C + \frac{C}{2} + \frac{C}{2^2} + \frac{C}{2^3} + \cdots + \frac{C}{2^N} \right) + \frac{C}{2^N} = C \left[\underbrace{\left(\frac{1}{2^0} + \frac{1}{2^1} + \frac{1}{2^2} + \frac{1}{2^3} + \cdots + \frac{1}{2^N} \right)}_{\sum_{i=0}^N \frac{1}{2^i} = 2 - \frac{1}{2^N}} + \frac{1}{2^N} \right] = 2C$$

3. Circuitos conversores A/D (cont.)

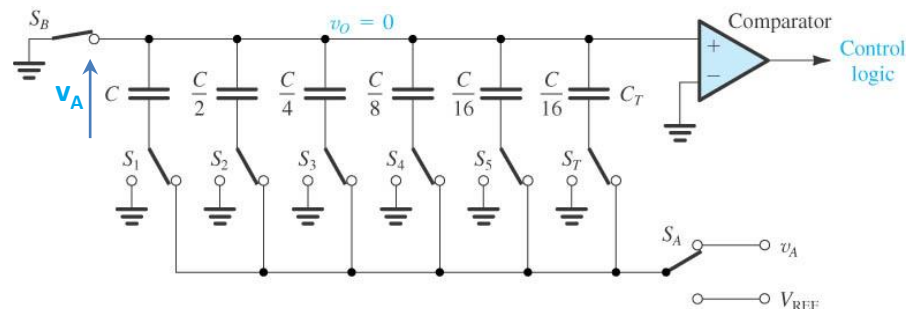
3.4. Conversor de redistribuição de carga (cont.)

Operação dividida em 3 fases:

FASE 1 - Amostragem

- Comutador S_A para cima – amostragem de v_A
- Comutador S_B fechado, anulando-se a tensão no terminal + do AMPOP ($v_0=0$)
- Interruptores $S_1 S_2 \dots S_T$ ligados para a direita (todos os condensadores ligados a S_A)

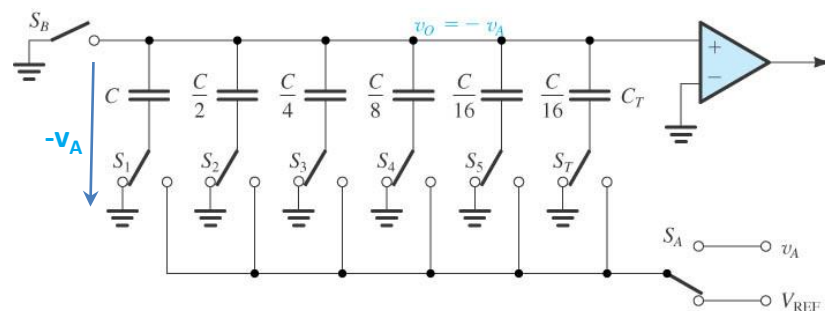
A tensão v_A vai aparecer aos terminais de cada condensador carregando-se uma carga total: $Q_{TOTAL}=2Cv_A$



FASE 2 – Fase de segurar (“hold”)

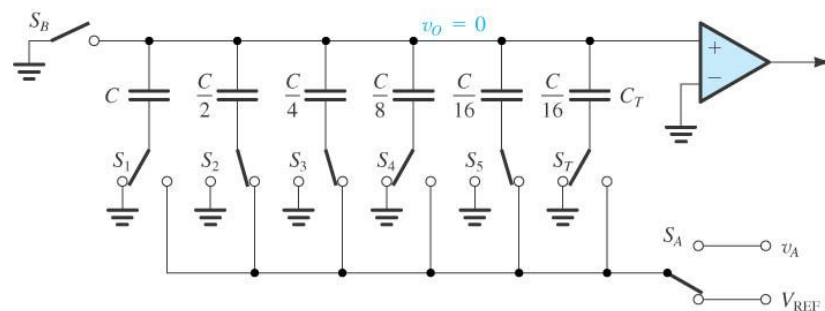
- Comutador S_A para baixo – preparação
- Comutador S_B aberto
- Interruptores $S_1 S_2 \dots S_T$ ligados para a esquerda (todos os condensadores ligados à massa)

Cada condensador estava carregado com uma tensão v_A , assim $v_0=-v_A$, permanecendo constante a carga nos condensadores: $Q_{TOTAL}=2Cv_A$



FASE 3 – Redistribuição de carga

- Comutador S_A para baixo – amostragem de v_{REF}
- Comutador S_B aberto
- Posição de cada interruptor S_i determinada por aproximações sucessivas:
 - Inicialmente S_1 é ligado a V_{REF} e os restantes interruptores são ligados à massa
 - Conforme $v_0 > 0$ ou $v_0 < 0$ obtido no comparador de tensão assim ficará $b_i=0$ ou $b_i=1$
 - Segue-se para o bit seguinte



3. Circuitos conversores A/D (cont.)

3.4. Conversor de redistribuição de carga (cont.)

Representação do procedimento:

$$b_1 = 1 \quad \left\{ \begin{array}{l} v_x < 0 \Rightarrow b_1 = 1 \\ v_x > 0 \Rightarrow b_1 = 0 \end{array} \right\} \quad b_2 = 1 \quad \left\{ \begin{array}{l} v_x < 0 \Rightarrow b_2 = 1 \\ v_x > 0 \Rightarrow b_2 = 0 \end{array} \right\} \quad b_3 = 1 \quad \left\{ \begin{array}{l} \dots \\ \dots \end{array} \right\}$$

A conservação da carga no conjunto de armaduras ligadas no comparador traduz-se por:

$$(v_0 - V_{REF}) \left(b_1 C + b_2 \frac{C}{2} + b_3 \frac{C}{4} + \dots + b_N \frac{C}{2^{N-1}} \right) + v_0 \left(\bar{b}_1 C + \bar{b}_2 \frac{C}{2} + \bar{b}_3 \frac{C}{4} + \dots + \bar{b}_N \frac{C}{2^{N-1}} + \frac{C}{2^{N-1}} \right) = -2CV_A$$

$$\Rightarrow v_0 = -v_A + V_{REF} \left(\frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_N}{2^N} \right)$$

b_1 na distribuição de carga introduz um incremento de $V_{REF}/2$

b_2 na distribuição de carga introduz um incremento de $V_{REF}/4$

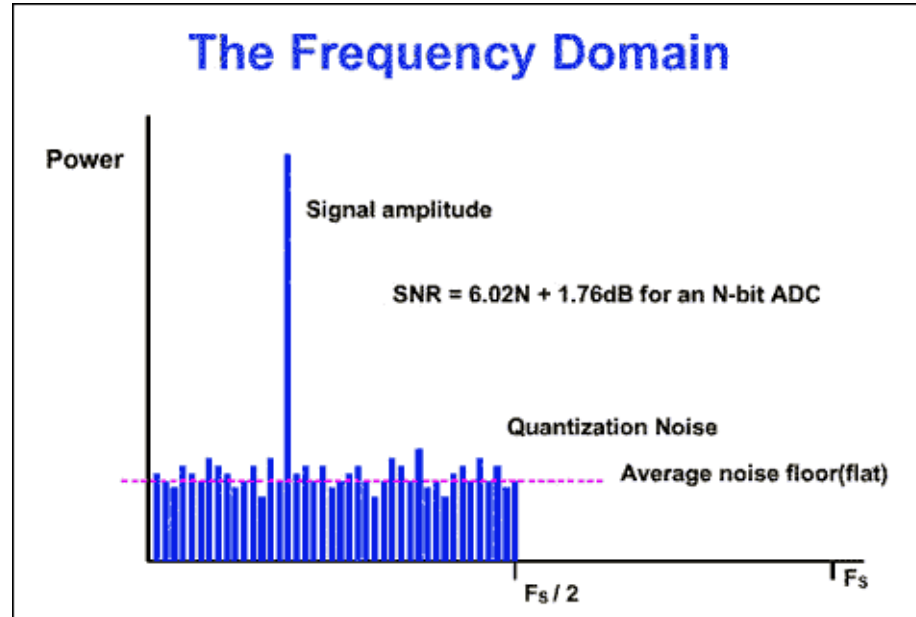
...

b_N na distribuição de carga introduz um incremento de $V_{REF}/2^N$

NOTA: A precisão do conversor é independente das capacidades parasitas. Relativamente às capacidades parasitas da placa de baixo dos condensadores para a massa, por estas placas estarem ligadas ou à massa ou a V_{REF} e assim a carga das capacidades parasitas não se distribuir no array de condensadores. Quanto às capacidades parasitas da placa de cima, por as tensões inicial e final da placa superior dos condensadores ser zero

3. Circuitos conversores A/D (cont.)

3.5. Conversor $\Sigma\text{-}\Delta$ (Sigma-Delta)



Ref: Maxim Integrated Application Note 1870, Jan 2003, <http://www.maximintegrated.com/app-notes/index.mvp/id/1870>.

Considere-se a saída de um ADC clássico correspondente a um sinal sinusoidal analógico amostrado a uma frequência F_s (≥ 2 vezes a frequência do sinal). O sinal de saída apresenta (dentro da banda base) um tom à frequência da sinusóide e um ruído de fundo (*noise floor*) que corresponde ao erro de quantificação do ADC, que é aleatório com valores até $\pm\text{LSB}$ (ver figura).

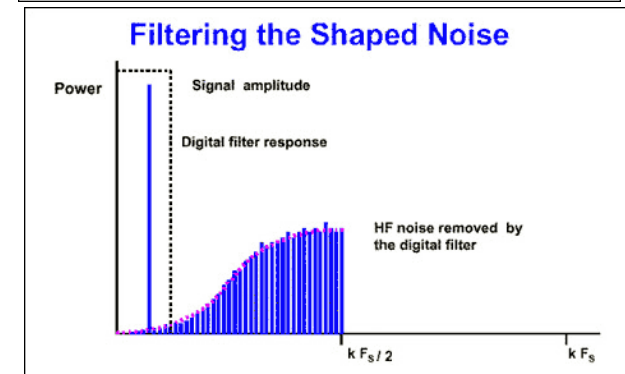
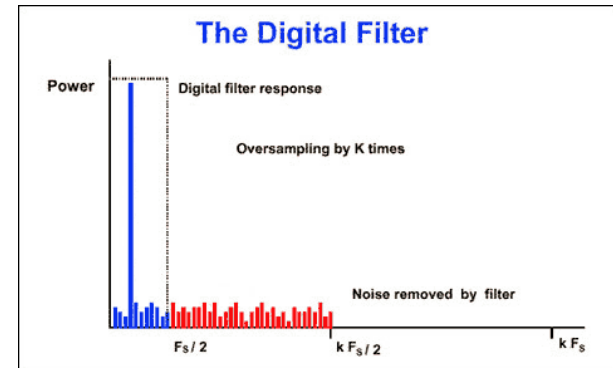
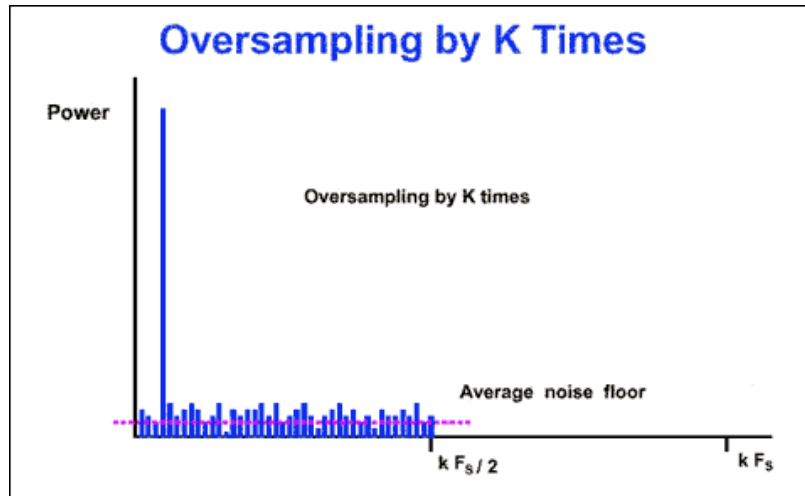
Se dividirmos a amplitude da fundamental pelo valor RMS da soma das componentes de ruído temos a SNR. Para um ADC de N bits esta SNR vem:

$$\text{SNR} = 6,02N + 1,76\text{dB}$$

Desta forma, cada bit a mais no ADC aumenta a precisão do resultado em cerca de 6 dB.

3. Circuitos conversores A/D (cont.)

3.5. Conversor $\Sigma\text{--}\Delta$ (cont.)

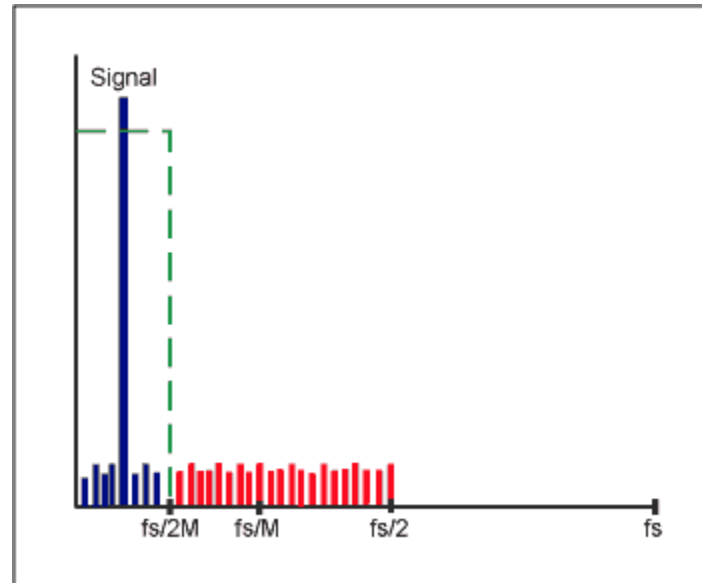


Considere-se agora uma sobreamostragem com frequência de amostragem kF_s . Embora a SNR seja a mesma, o espectro do sinal de saída de um ADC clássico em banda base apresenta a mesma fundamental na frequência da sinusóide mas o ruído de quantificação encontra-se espalhado por uma banda k vezes maior, como ilustra a figura da esquerda.

Os ADCs $\Sigma\text{--}\Delta$ tiram partido deste facto e usam um filtro passa-baixo à saída para eliminar a maior parte do ruído, como ilustra a figura da direita em cima. A SNR para um ADC clássico de 1 bit é 7,78 dB (6,02+1,76); por cada factor de $k=4$ a SNR aumenta de 6dB, o que é equivalente a 1 bit adicional; Assim, para obter 16-bits de resolução seria necessário uma sobreamostragem de 4^{15} vezes, o que não é realizável! Mas a arquitectura dos ADCs $\Sigma\text{--}\Delta$ também realizam uma formatação passa-alto no espectro de saída do ruído, conseguindo afinal mais de 6dB de ganho por cada factor de 4 na sobreamostragem, como ilustra a figura da direita em baixo. Ainda devido ao filtro passa-baixo este ganho aumenta mais ainda: por exemplo, para um filtro de 1ª ordem o aumento é de 9dB por cada duplicação da sobreamostragem. Assim, a SNR aumenta consideravelmente e permite a estes ADCs alcançar uma elevada gama dinâmica usando um ADC de baixa resolução.

3. Circuitos conversores A/D (cont.)

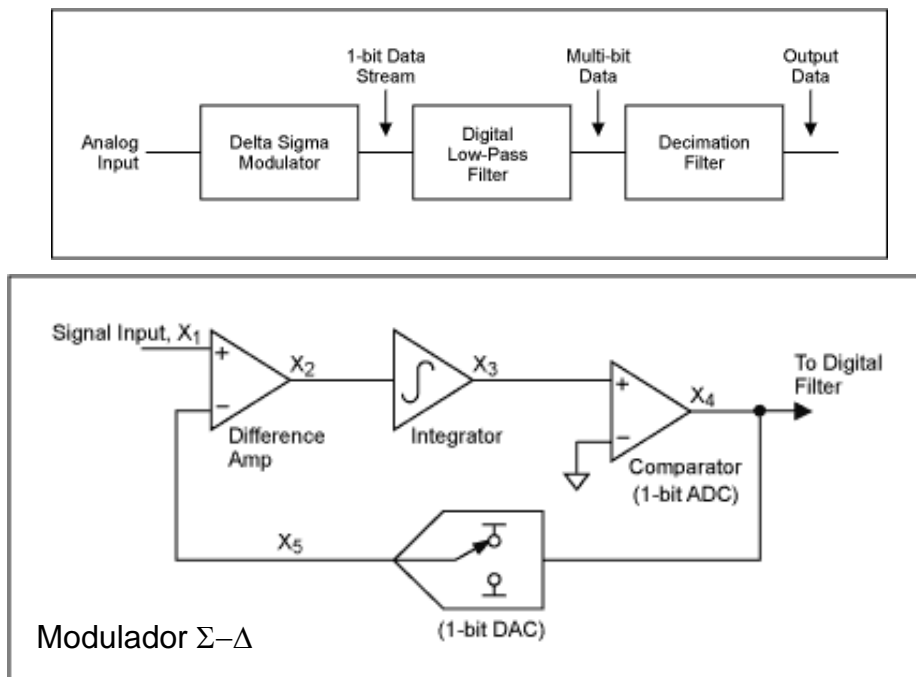
3.5. Conversor $\Sigma\text{-}\Delta$ (cont.)



À saída do filtro passa-baixo, por via deste e da sobreamostragem, a banda do sinal verifica claramente o critério de Nyquist, podendo-se reduzir agora a frequência de amostragem para os valores originais (ou mais reduzidos) via decimação. Se fôr usado um factor M (factor de decimação), o que corresponde a validar uma amostra em M onde M é qualquer valor inteiro desde que a banda do sinal ainda verifique o critério de Nyquist, o resultado encontra-se ilustrado na figura.

3. Circuitos conversores A/D (cont.)

3.5. Conversor $\Sigma\text{-}\Delta$ (cont.)



O funcionamento do conversor $\Sigma\text{-}\Delta$ pode ser compreendido da seguinte forma:

O bloco integrador tem um ganho infinito em DC ($T(s)=1/sRC$). A única forma de o integrador fornecer um sinal finito é ter à sua entrada um sinal de valor médio (portanto, DC) nulo. Mas isto significa que se considerarmos o sinal de entrada constante (ou de variação lenta) que o sinal X_5 apresenta um valor médio igual ao sinal a digitalizar. O sinal X_5 é composto por uma sucessão de zeros e uns provenientes do DAC controlado pelo comparador. Quanto maior for o sinal de entrada mais percentagens de uns (face aos zeros) estarão a ser gerados pelo sistema realimentado, pois é necessário um valor médio mais elevado nesta trama de bits.

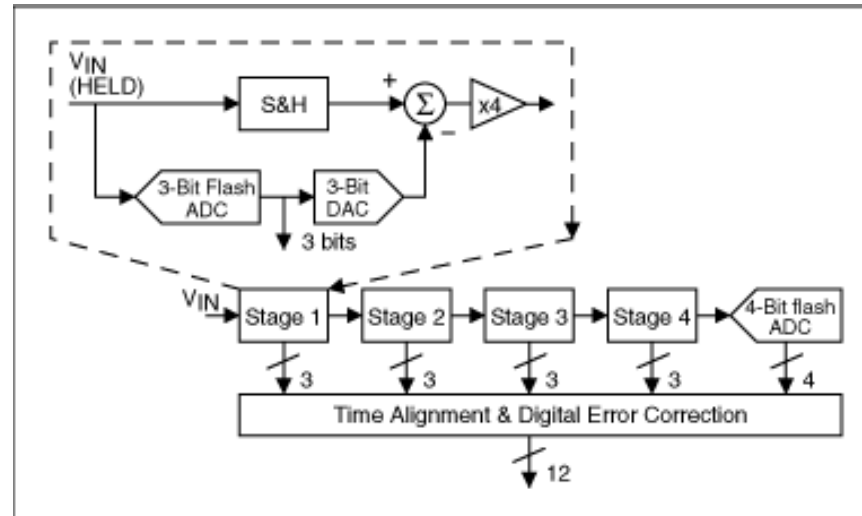
Após o modulador aplica-se um filtro passa-baixo e um decimador. A percentagem de uns por amostra é então passada para uma palavra de código binário.

3. Circuitos conversores A/D (cont.)

3.6. Conversor em pipeline

O ADC em pipeline é actualmente o ADC mais popular para ritmos de amostragem de poucos Msps até Gsps e mais. A resolução vai de 8 bits a 16 bits (para os ADC mais lentos).

Exemplo de 12 bits



1. A entrada é amostrada e mantida constante por um S&H enquanto o ADC quantifica o sinal em 3 bits no andar 1.
2. O erro remanescente é amplificado e aplicado ao andar 2 para codificação em mais 3 bits.
3. Este processo repete-se ao longo dos andares até aos últimos 4 LSBs.
4. Enquanto um andar está a processar o remanescente de uma amostra, o andar anterior está já a processar a amostra seguinte.

O sinal fica codificado em 16 bits dos quais, com precisão mais elevada se aproveitam pelo menos 12 bits.

A lógica de controlo associa os bits codificados conforme a amostra a que dizem respeito