

## Chapter V

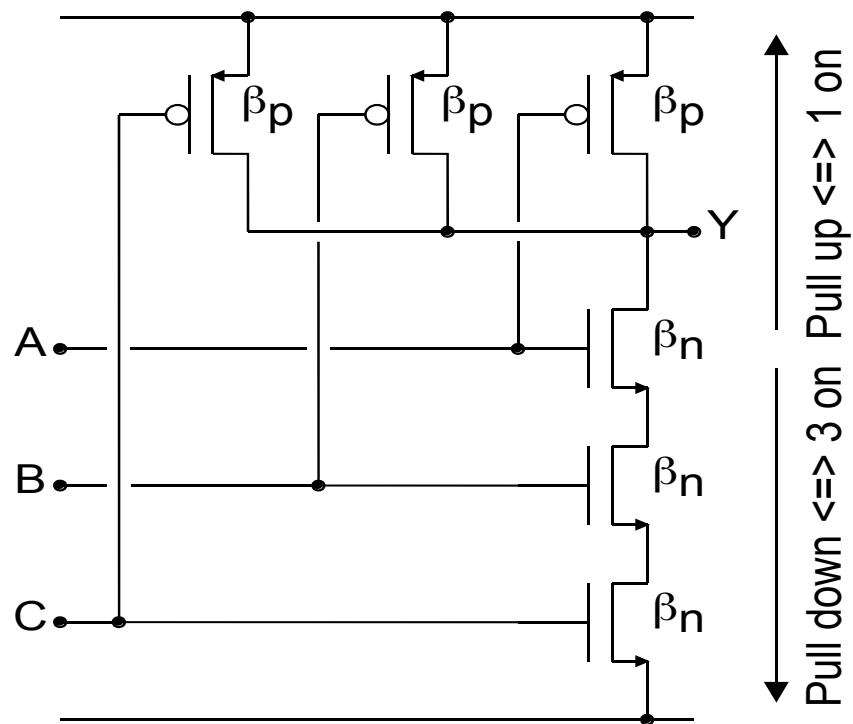
---

# Digital Cells Design

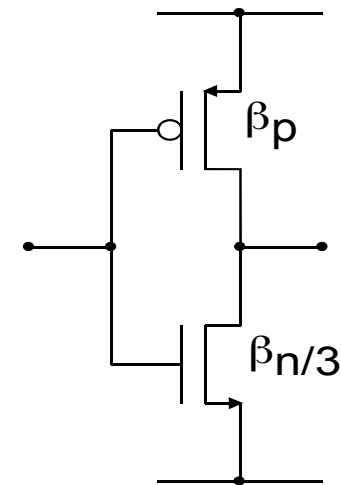
- **Basic cells design**
  - Complex cells design
-

## NAND de 3 entradas

NAND com 3 entradas

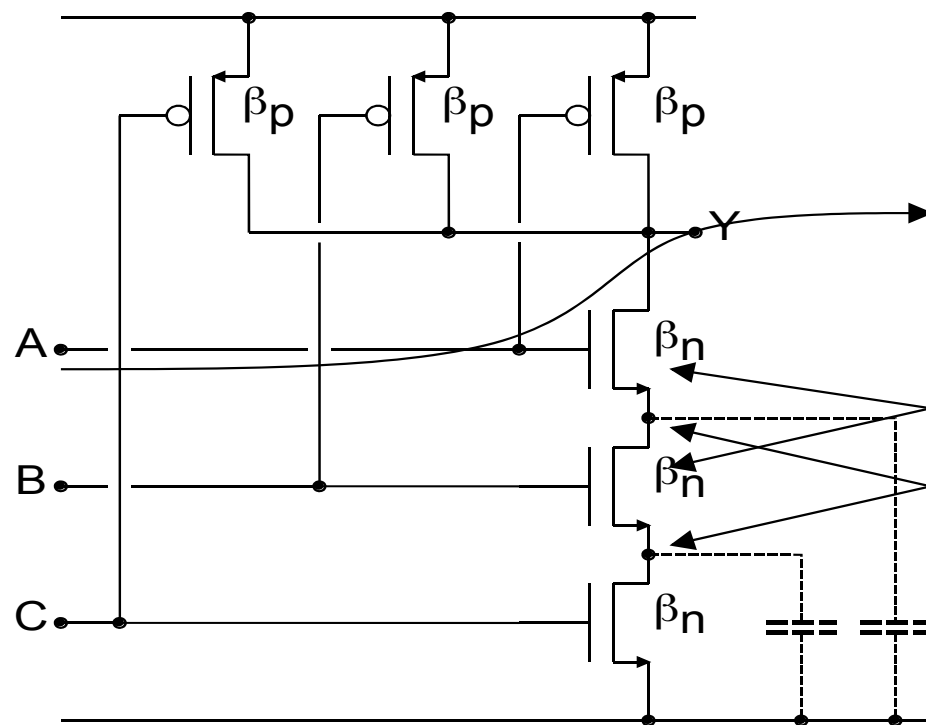


Inversor com atraso equivalente



## NAND de 3 entradas

NAND com 3 entradas



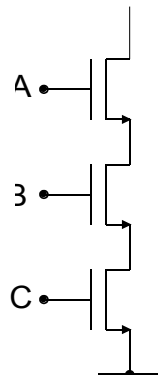
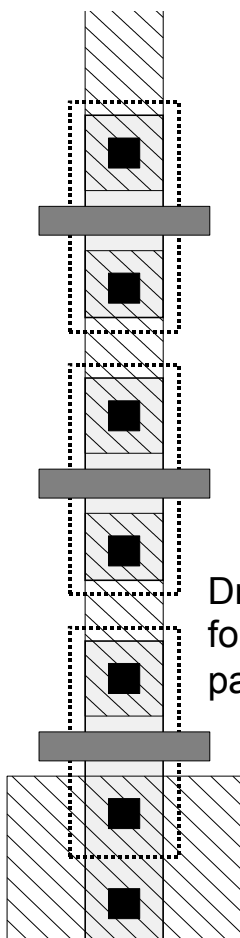
Usar os transístores mais próximos da saída para os sinais de entrada em que se pretende menor tempo de propagação

Efeito de corpo

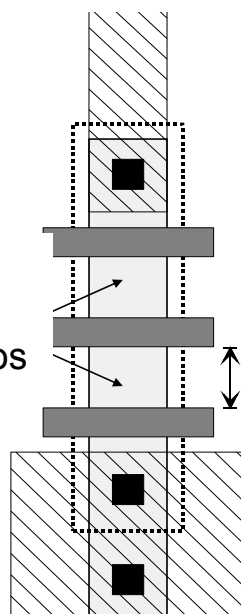
Capacidades parasitas

# NAND de 3 entradas

Má solução: grande capacidade parasita e área

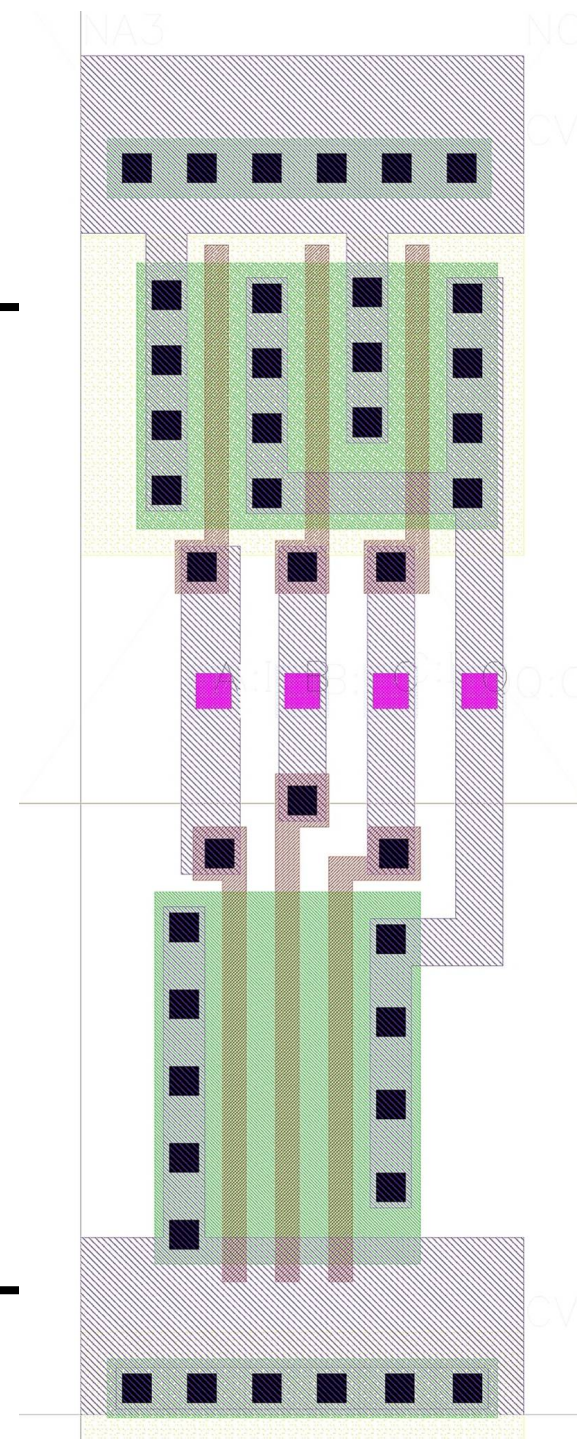


Boa solução: capacidade e áreas mínimas



Dreno e fonte partilhados

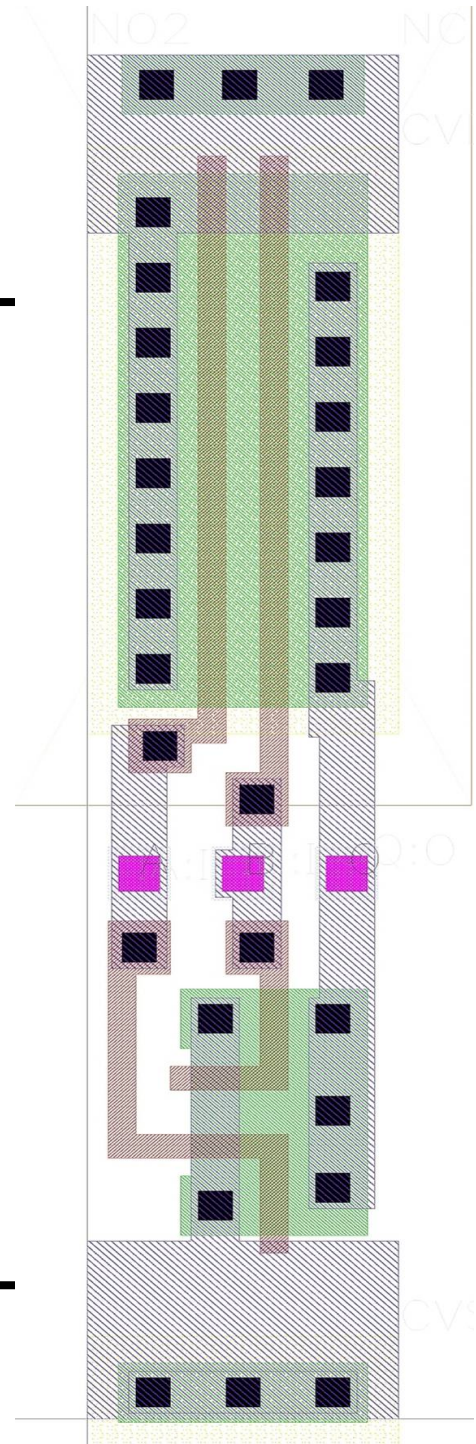
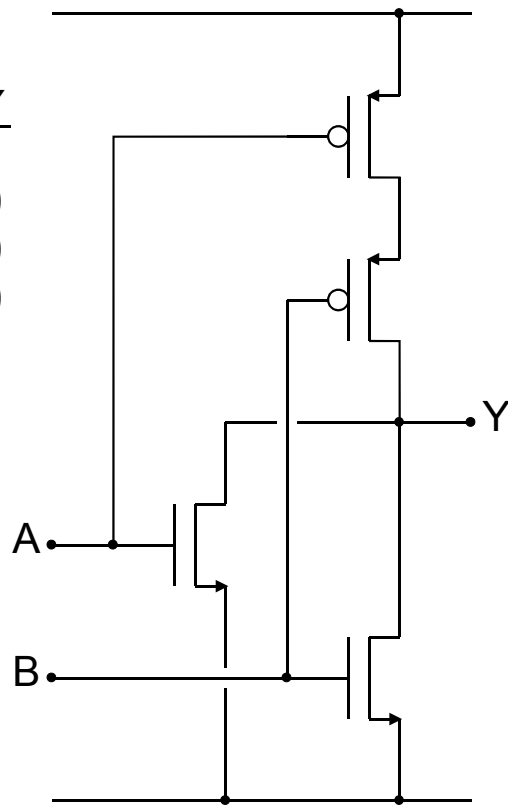
Distância mínima



## NOR de 2 entradas

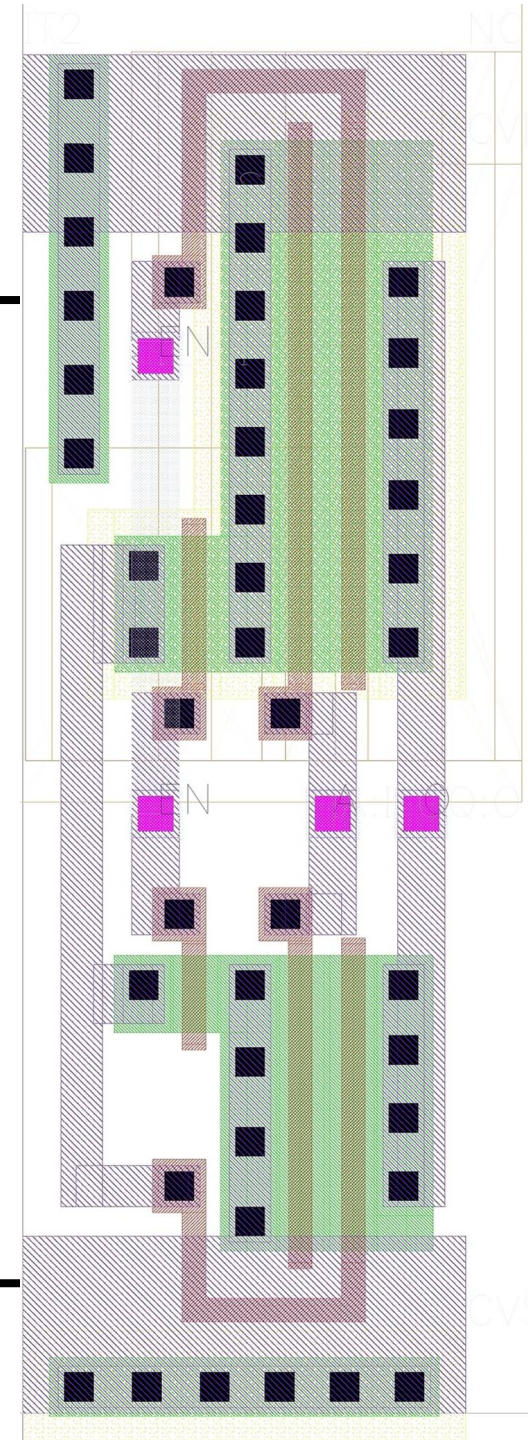
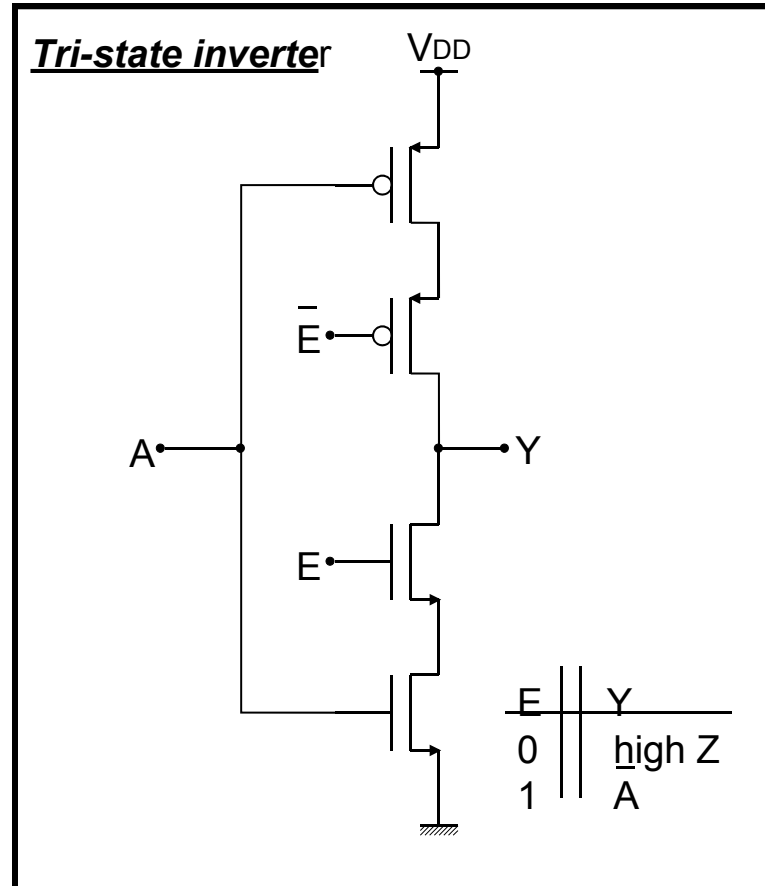
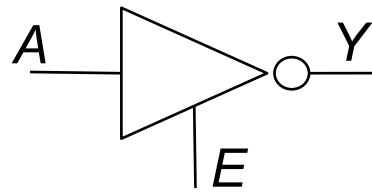
**NOR**

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0





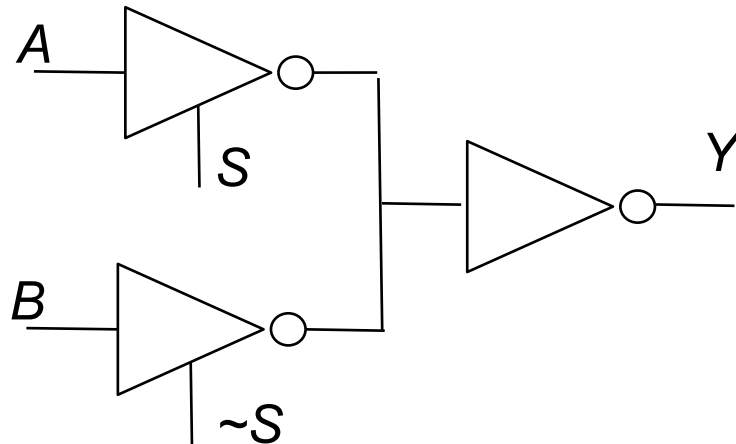
## Inversor com saída *Tri-State*



# Multiplexers de duas entradas

---

*Solução com tri-state buffers*



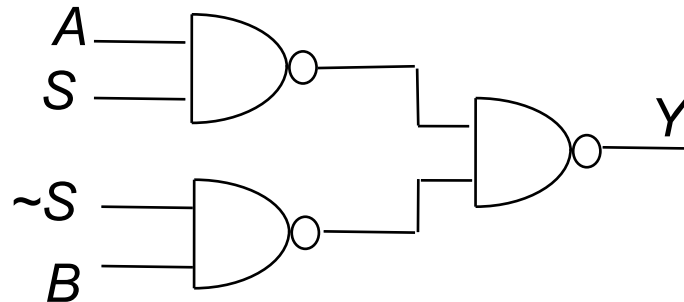
# Multiplexers de duas entradas

---

*Solução com função lógica*

$$Y = S.A + \bar{S}.B$$

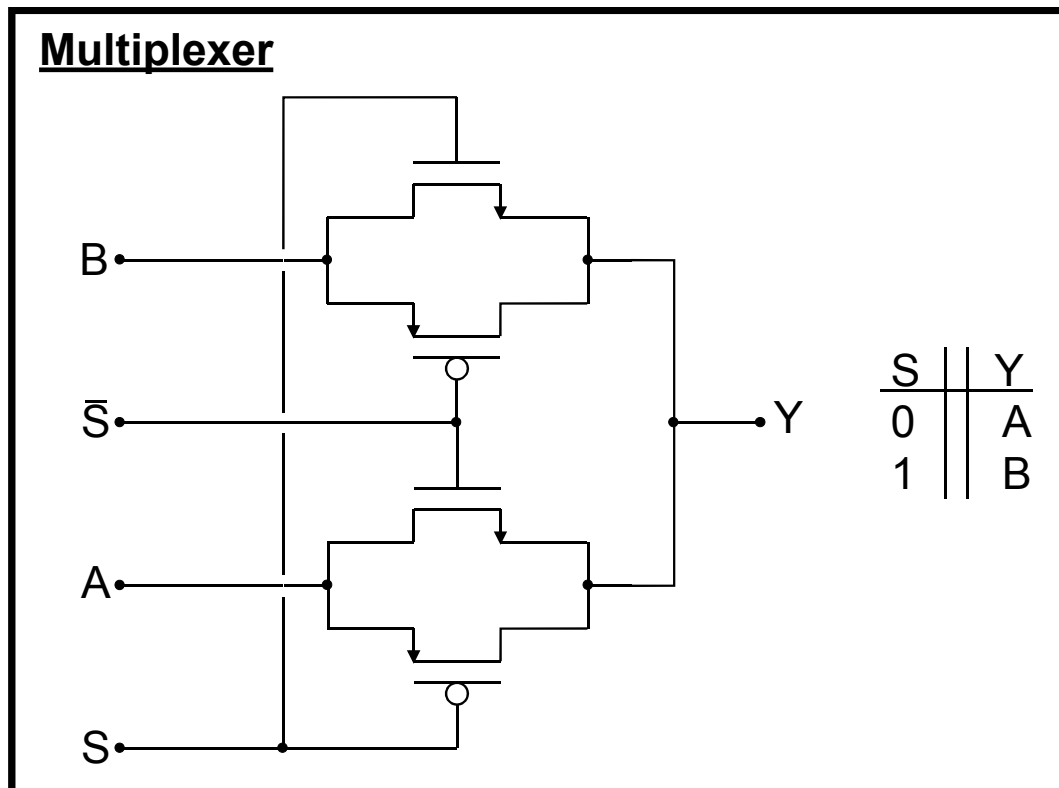
$$Y = \overline{\overline{S.A + \bar{S}.B}} = \overline{(\overline{S.A}) . (\overline{\bar{S}.B})}$$



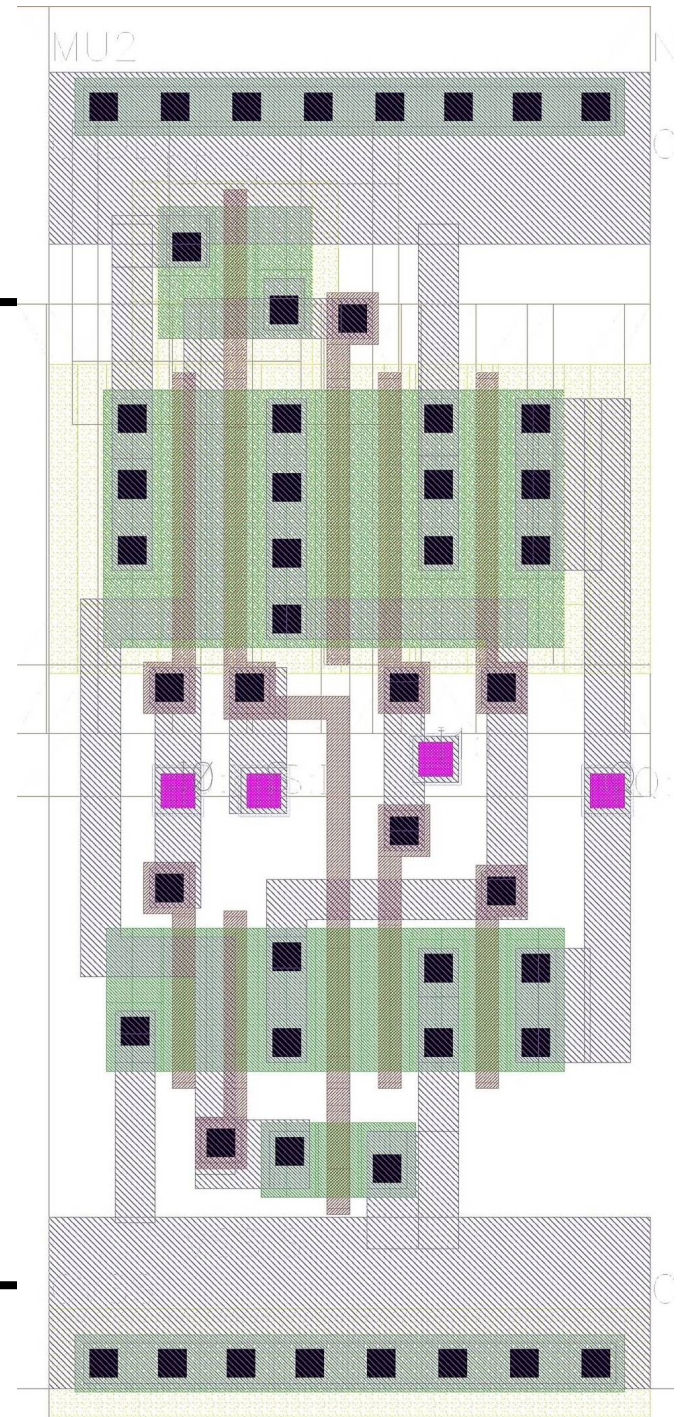


# Multiplexers de duas entradas

*Solução analógica*

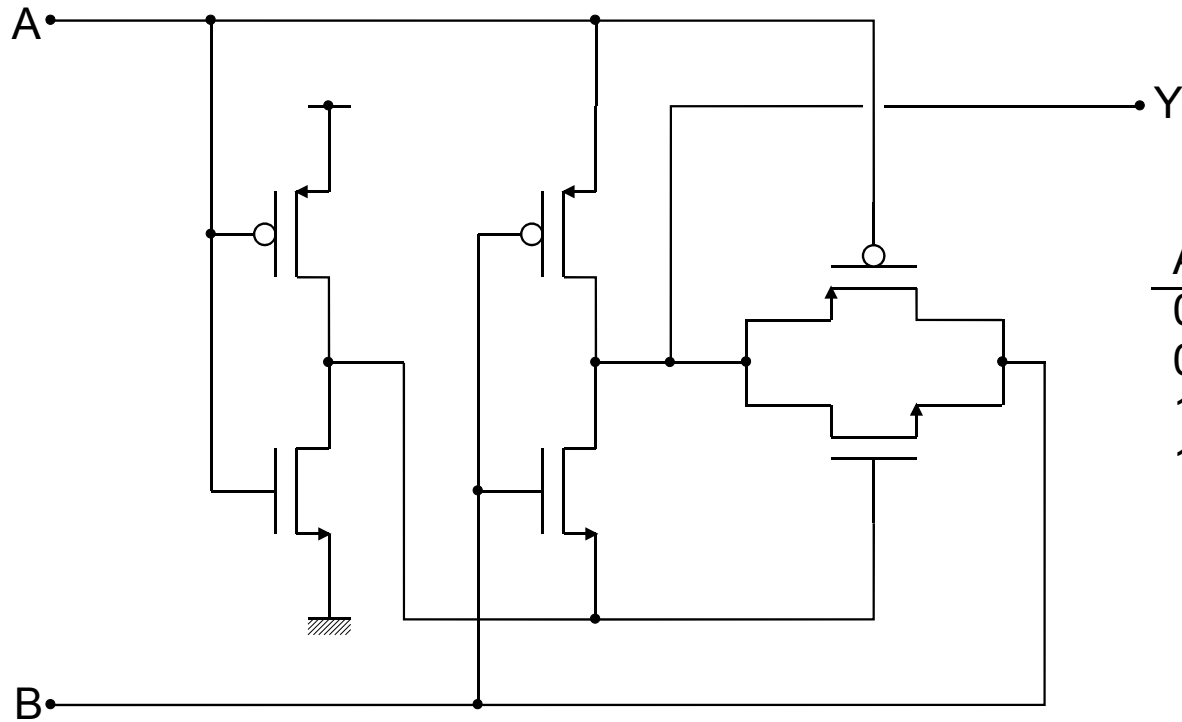


?????



# XOR

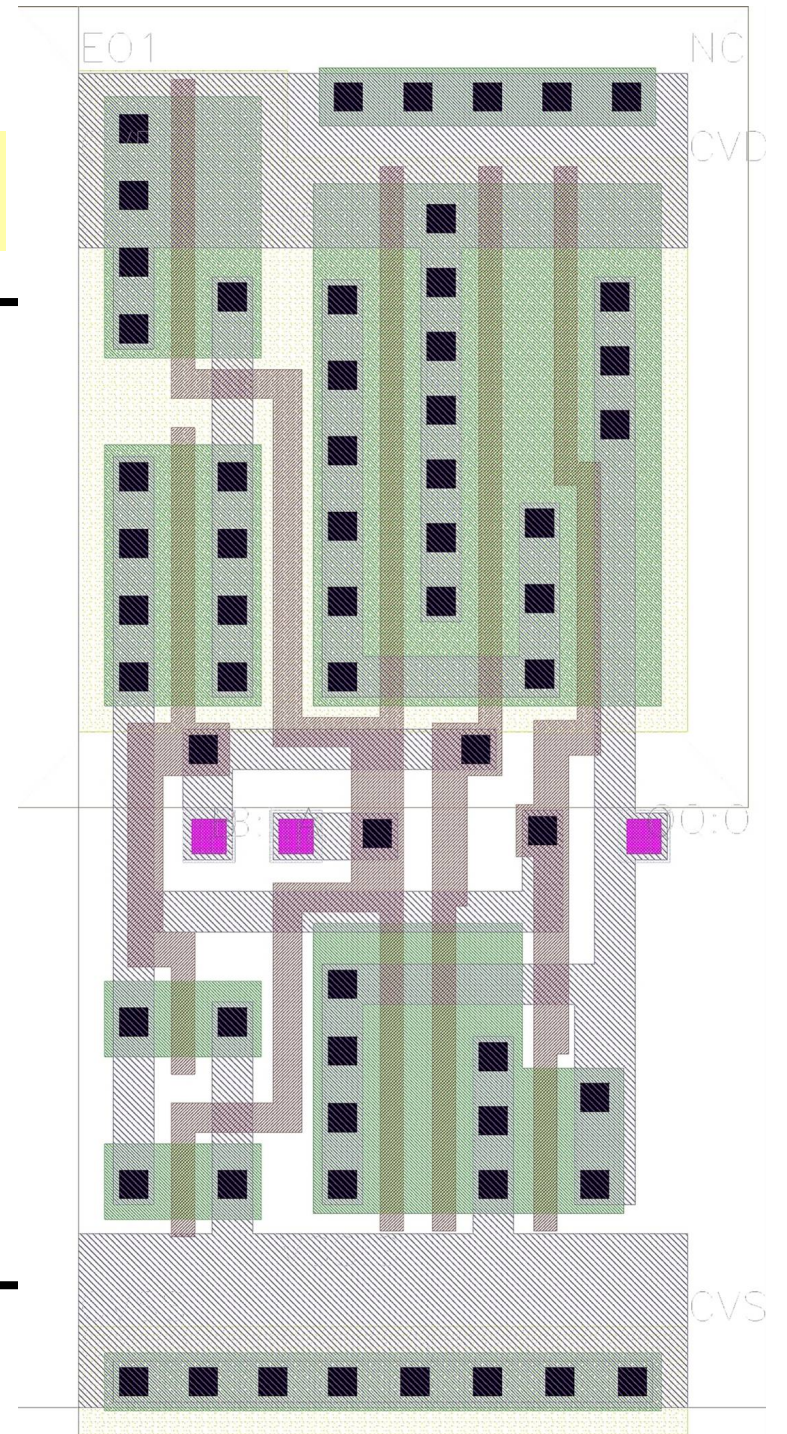
## Exclusive OR



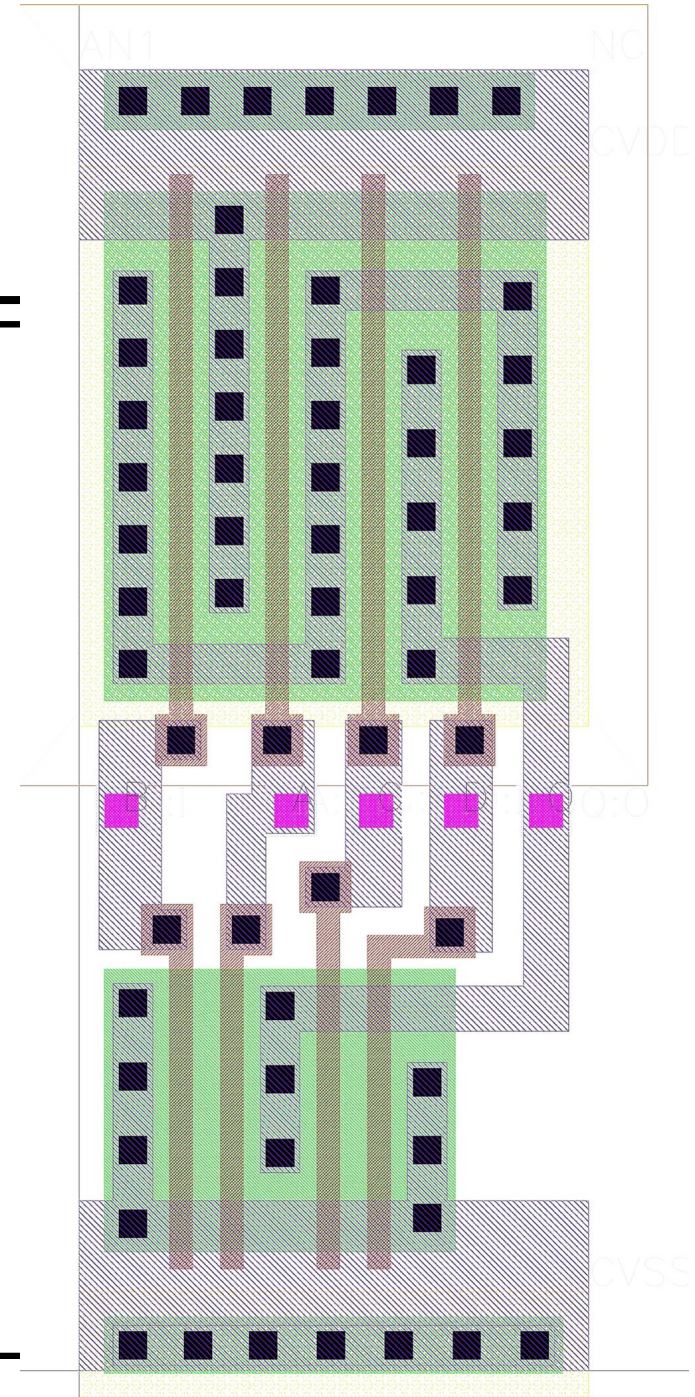
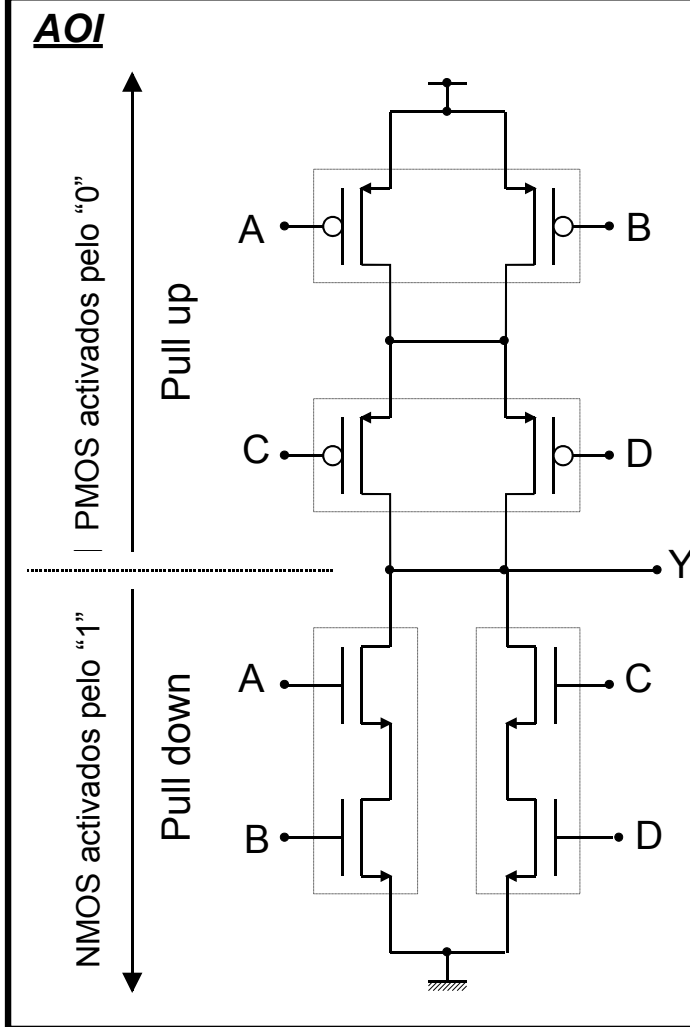
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0



????

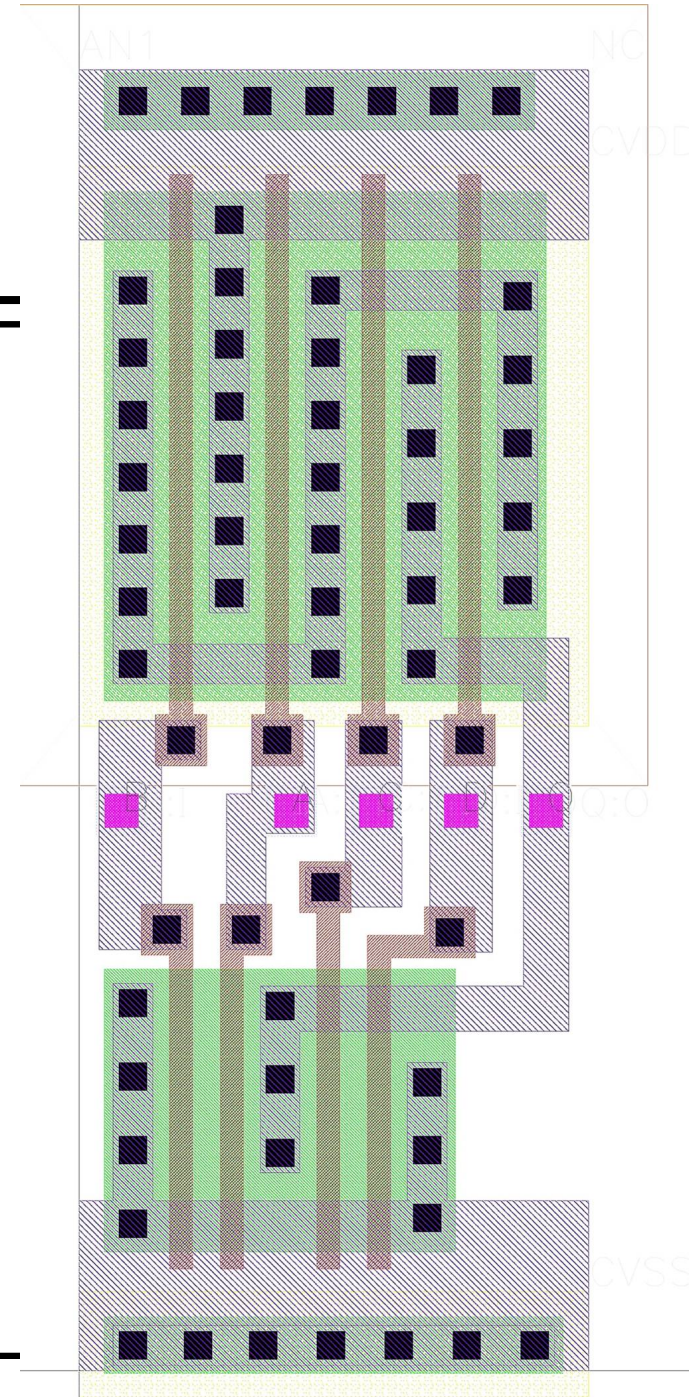
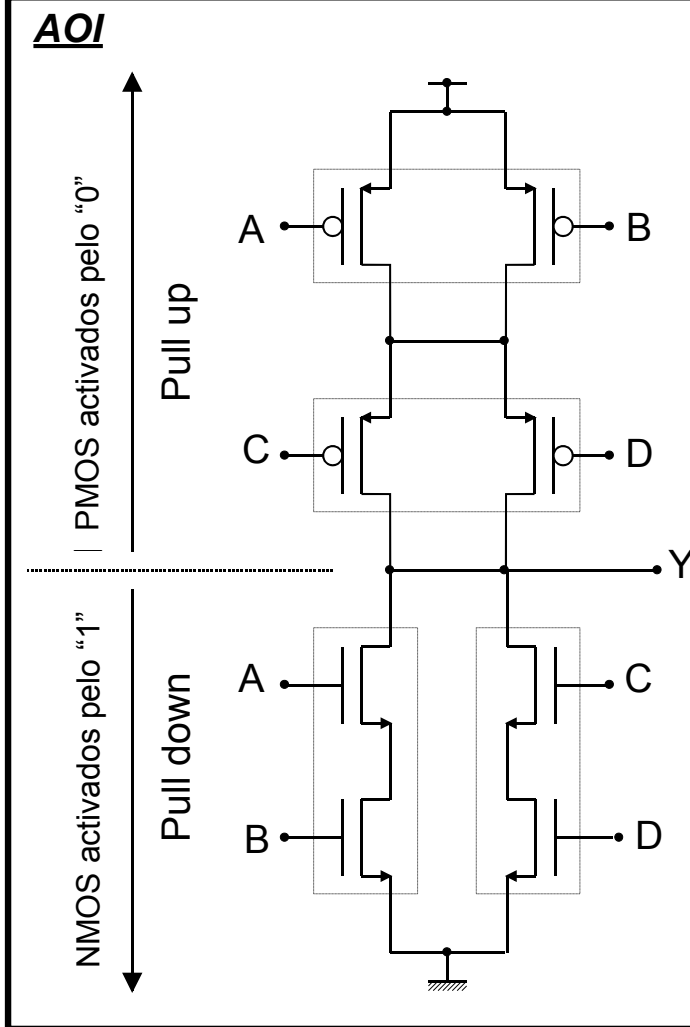


# AOI de 4 entradas





# AOI de 4 entradas





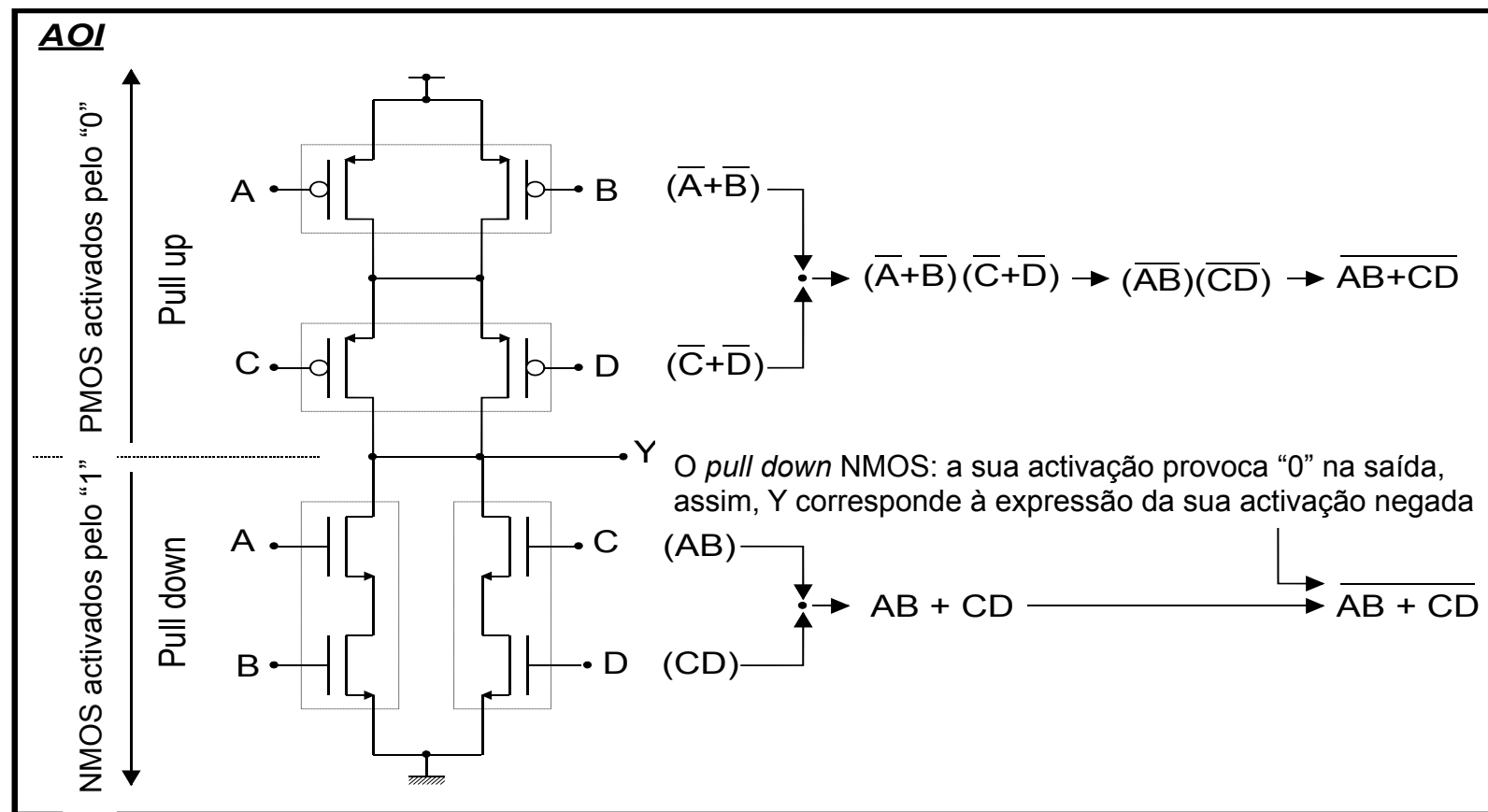
## Chapter V

---

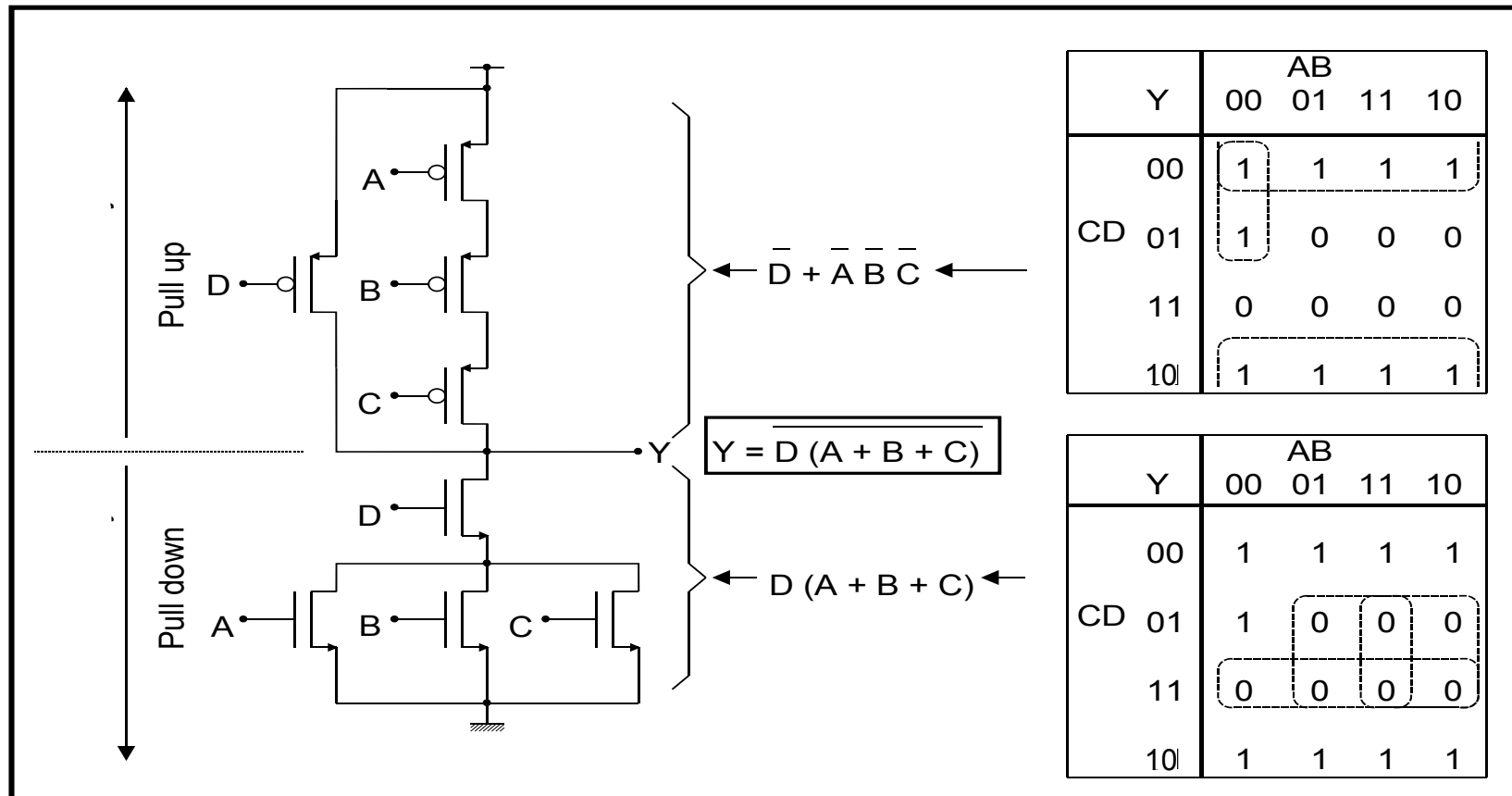
# Digital Cells Design

- Basic cells design
  - **Complex cells design**
-

# “Leitura” de portas *CMOS*



# Proyecto de portas CMOS

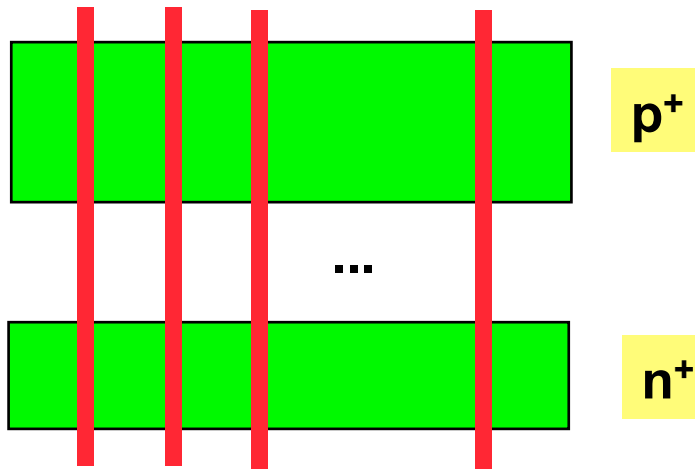


# Projecto Físico de Células Complexas

---

**Objectivo:** ordenar as entradas por forma a realizar, se possível, uma única difusão  $n^+$  e uma única difusão  $p^+$

$$Y = f(A, B, C, \dots)$$



**Minimizar: área Si e capacidades parasitas**

Nem sempre possível

---

# Projecto Físico de Células Complexas

---

Uma só difusão  $n^+$ ? Uma só difusão  $p^+$ ?  
Uma mesma ordenação de variáveis?  
Que ordenação de regiões  $n^+$  ou  $p^+$ ?

## 1. Grafo Lógico

Nós (circuito)  
Transistores



Nós (grafo)  
Arcos (grafo)  
(nome: variável  
de controlo)

## 2. Identificação dos caminhos de Euler

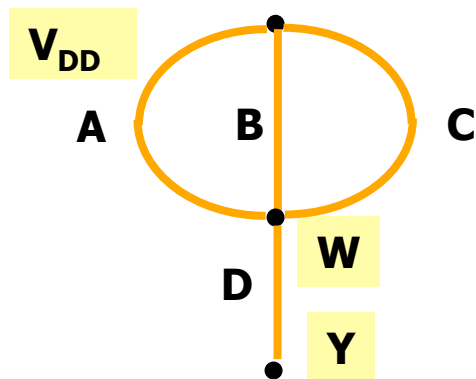
---

# Projecto Físico de Células Complexas: Exemplo

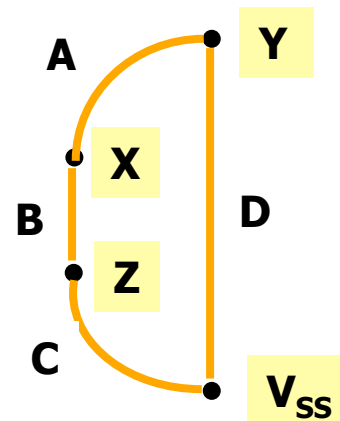
---

Exemplo:  $Y = \sim(A.B.C + D)$

Grafo PU (Pull-Up)



Grafo PD (Pull-Down)



Caminhos de Euler: caminho que passa por todos os nós do grafo, de forma que *cada arco* só é percorrido *uma vez*

---



# Projecto Físico de Células Complexas

---

## 2. Caminhos de Euler (cont.)

**Regra: pode construir-se uma pista ininterrupta de difusão ( $n^+$  ou  $p^+$ ) se existir um caminho de Euler no correspondente grafo (PD ou PU). A ordem das variáveis é a dos arcos desse caminho. Se existir em *ambos* os grafos (PU e PD) e se a ordem for a mesma, o caminho de Euler diz-se consistente e podem construir-se 2 pistas ininterruptas ( $n^+$  e  $p^+$ ).**

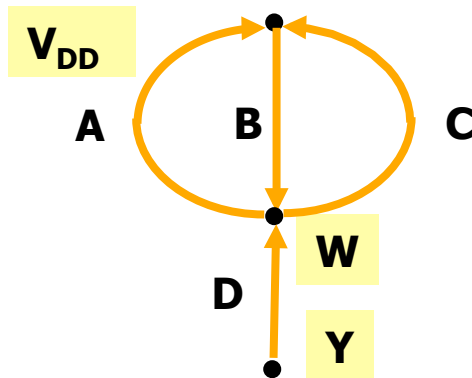
---

## Exemplo (cont.)

Exemplo:  $Y = \sim(A.B.C + D)$

Uma solução possível

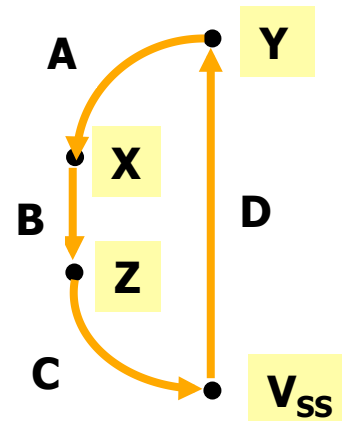
Grafo PU (Pull-Up)



D A B C

Partida: Y, chegada:  $V_{DD}$

Grafo PD (Pull-Down)



D A B C

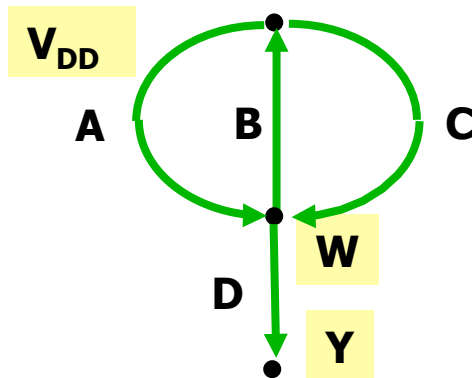
Partida:  $V_{SS}$ , chegada:  $V_{SS}$

## Exemplo (cont.)

Exemplo:  $Y = \sim(A.B.C + D)$

Outra solução possível

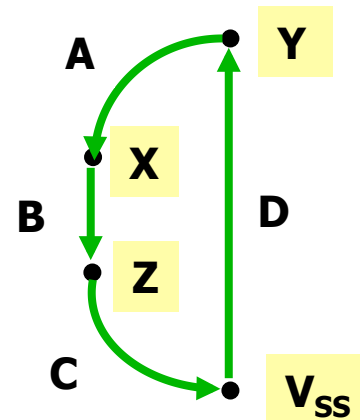
Grafo PU (Pull-Up)



A B C D

Partida:  $V_{DD}$ , chegada: Y

Grafo PD (Pull-Down)

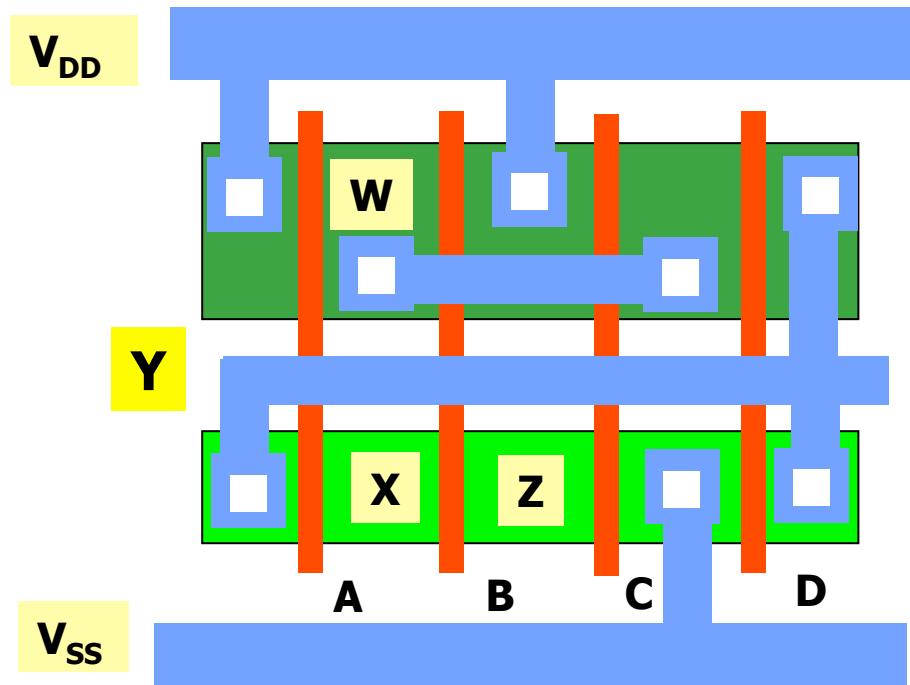


A B C D

Partida: Y, chegada: Y

## Exemplo (cont.)

Exemplo:  $Y = \sim(A.B.C + D)$  (cont.)



Nó Y:  
-1 dif. P+, 2 dif  
N+  
Nó W:  
- 2 dif. P+

# Projecto Físico de Células Complexas

---

## Implantação de ligações nas difusões n+ e p+:

Para cada região (p+ ou n+), o percurso no caminho de Euler na rede (de '*pull-up*' ou de '*pull-down*') desde o nó de partida até ao nó de chegada corresponde às ligações das sucessivas áreas de difusão, da esquerda para a direita no '*layout*'.

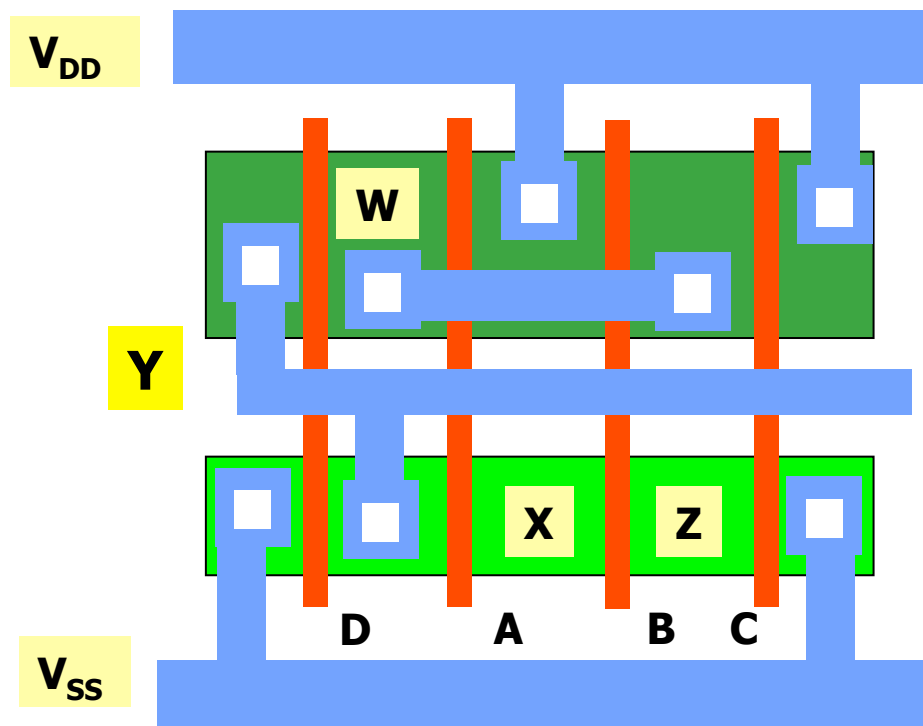
## Análise comparativa de soluções:

Para a mesma área de implantação, pode minimizar-se a capacidade parasita do nó de saída da porta lógica associada às junções n+/subs. e p+/poço N por minimizar o número de vezes que, nos caminhos de Euler consistentes, se visita esse nó de saída (partida, chegada ou trânsito).

---

## Exemplo (cont.)

Exemplo:  $Y = \sim(A.B.C + D)$  (cont.)



Nó Y:  
-1 dif. P+, 1 dif N+

Nó W:  
-2 dif. P+

Nós X e Z:  
- 1 dif. N+