

INF01112

# Arquitetura de Computadores II

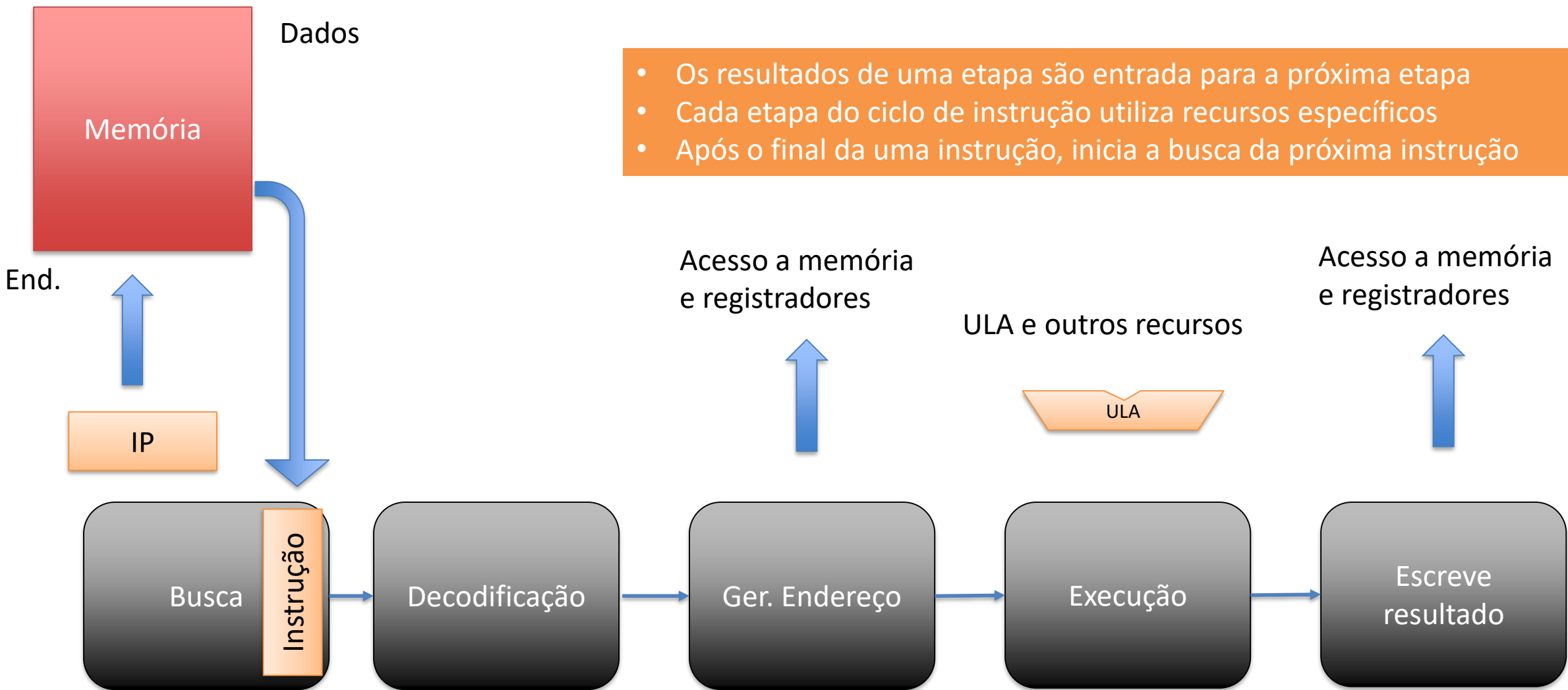
## Conceito de *pipeline*

# Intel Pentium

- 2 **pipelines** para inteiros, operando em paralelo
  - mas somente para instruções “paralelizáveis”
- cada pipeline inteiro consta de 5 estágios:
  - busca de instrução (a partir da cache de instruções),
  - decodificação de instrução,
  - geração de endereço,
  - execução,
  - escrita (write back).
- **FPU** também em pipeline (mas não em paralelo)

# Ciclo de instrução

- Ciclo: Busca – Decodificação – Execução
  - Para realizar o ciclo de instrução, várias ações são realizadas:
1. Busca da instrução da memória para o registros de instruções
    - O endereço da instrução está no Instruction Pointer (IP)
    - Atualização do IP
  2. Decodificação da instrução
    - Identifica a operação a ser realizada
  3. Execução
    - a) Busca de operandos, incluindo o cálculo do endereçamento indexado
    - b) Execução da operação indicada na instrução (e.g. ADD)
    - c) Escrita do resultado no destino (registrador ou memória)



Dados

Memória

- Os resultados de uma etapa são entrada para a próxima etapa
- Cada etapa do ciclo de instrução utiliza recursos específicos
- Após o final de uma instrução, inicia a busca da próxima instrução

Utilização

Instrução 1

Instrução 2

Instrução 3

B	D	G	E	W	B	D	G	E	W	B	D	G	E	W
1	1	1	1	1	2	2	2	2	2	3	3	3	3	3

Tempo (ciclos de relógio)

Busca  
(B)

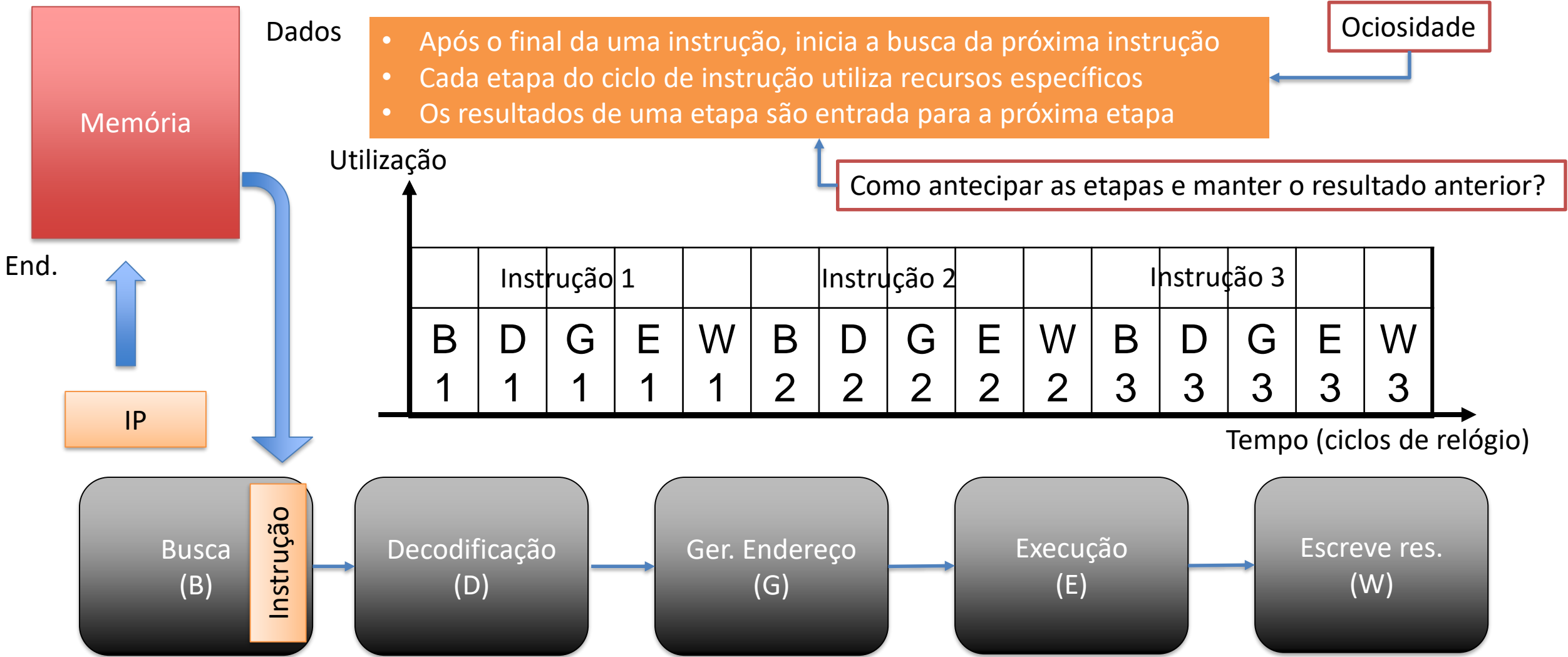
Instrução

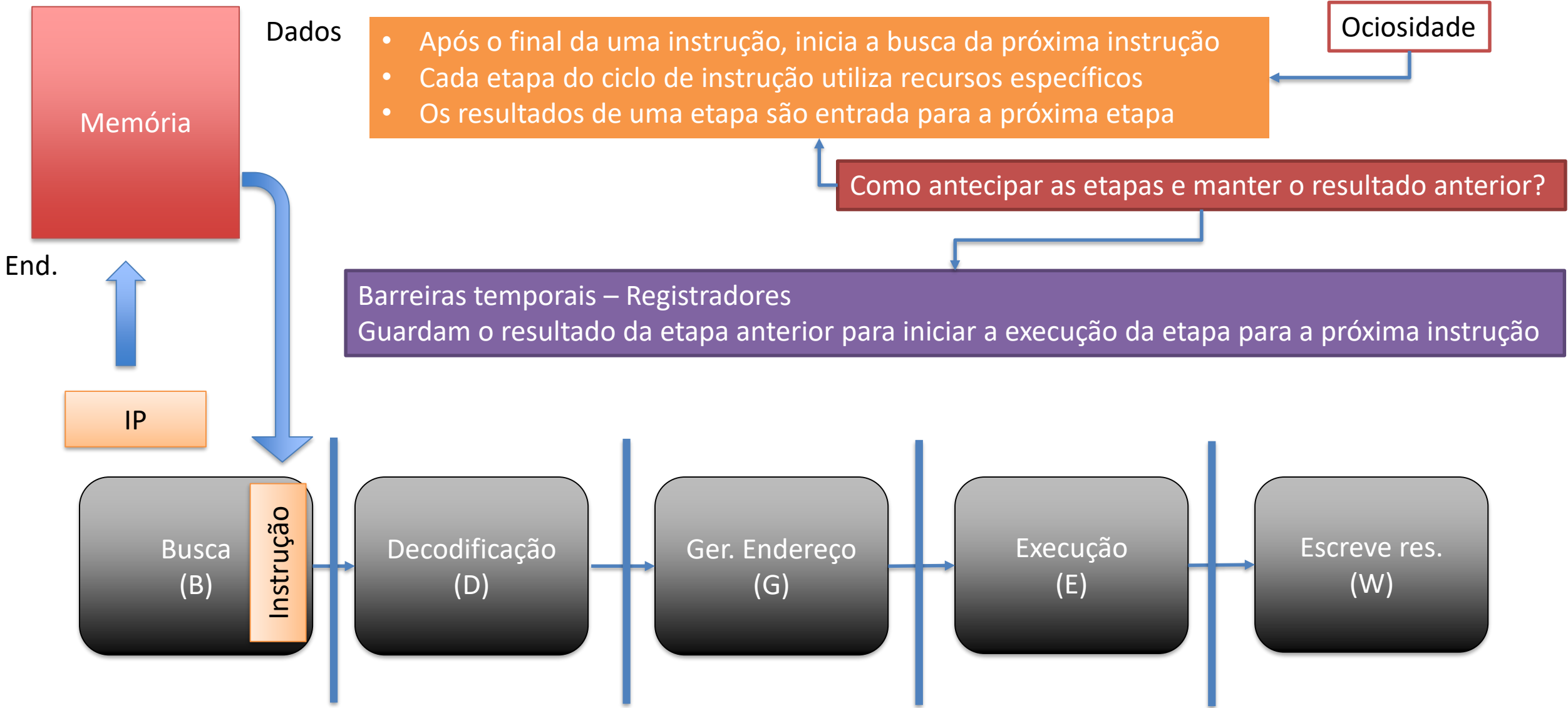
Decodificação  
(D)

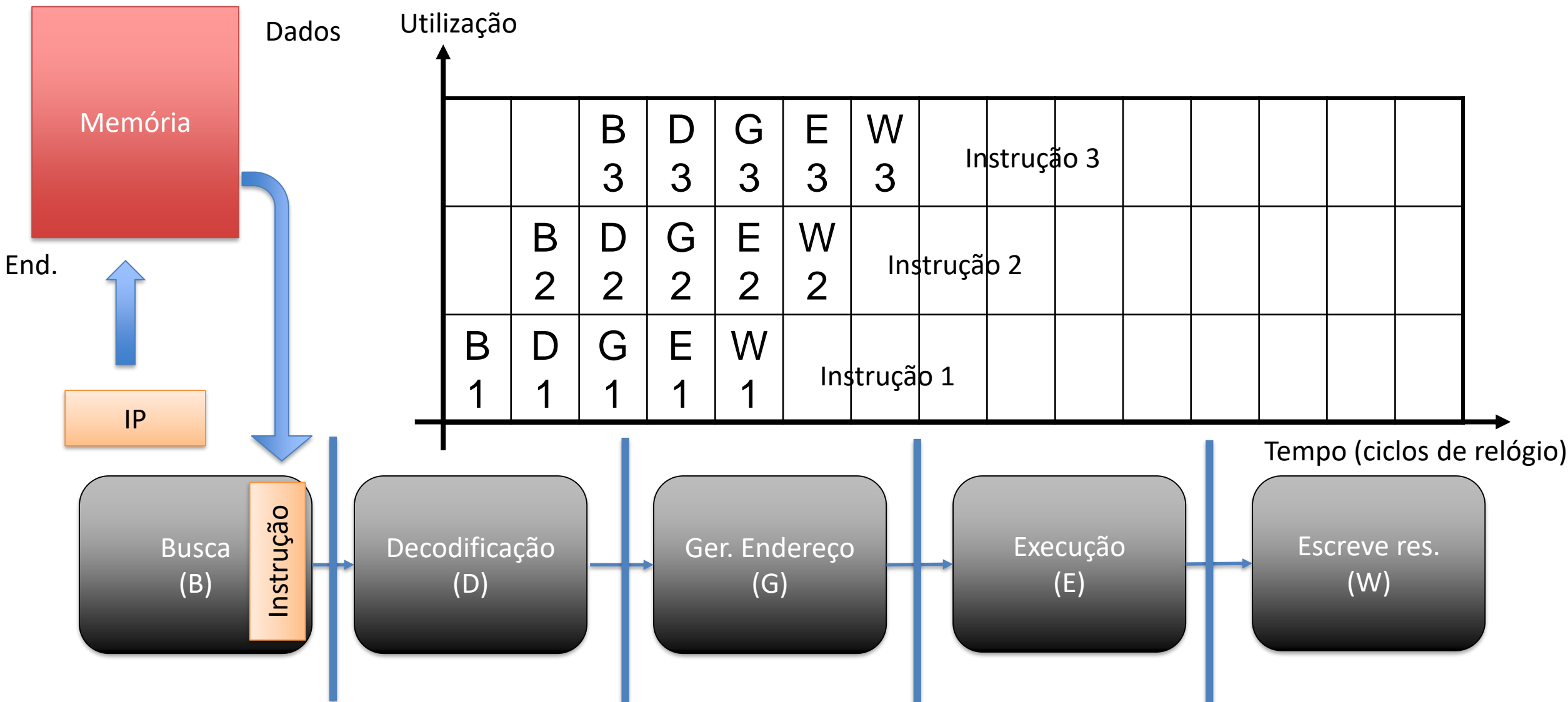
Ger. Endereço  
(G)

Execução  
(E)

Escreve res.  
(W)





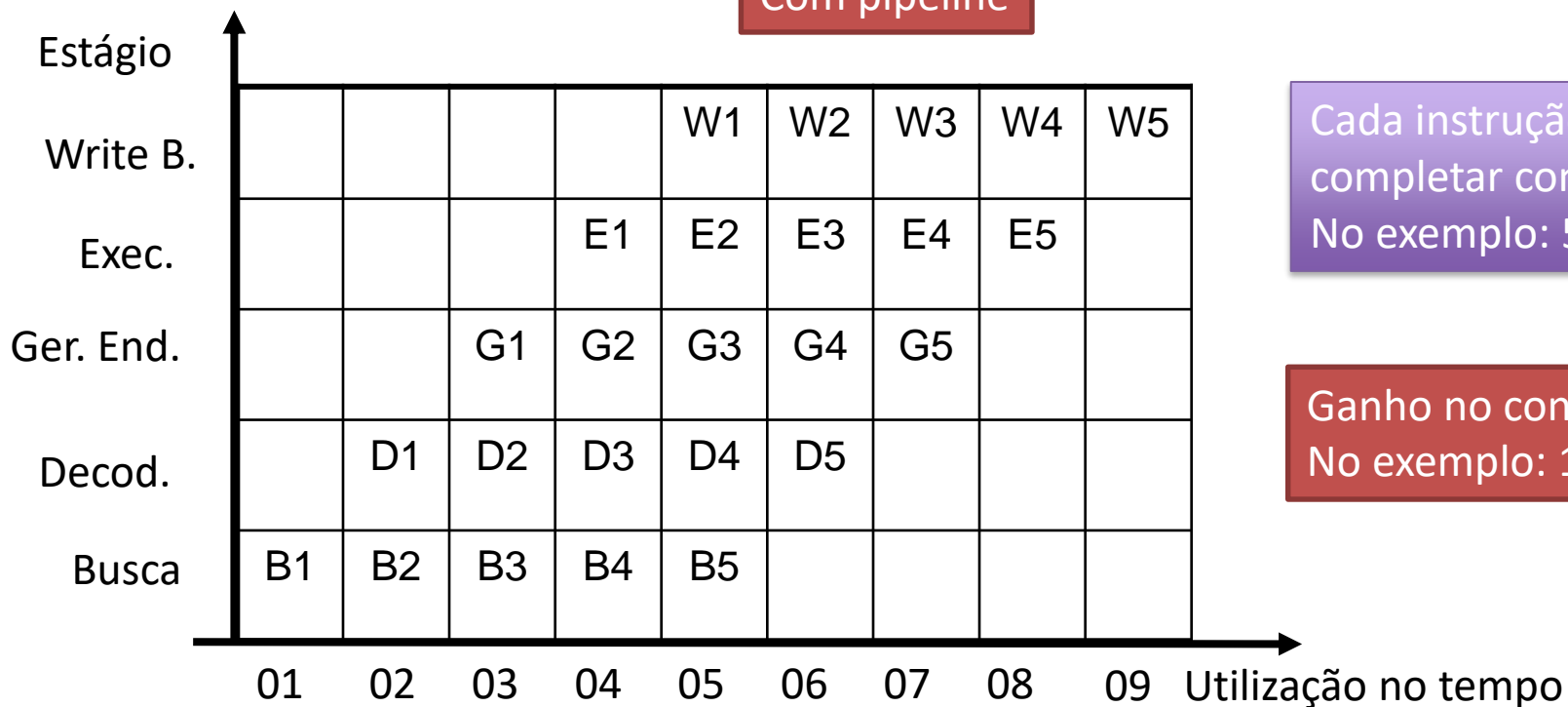




# Sem pipeline

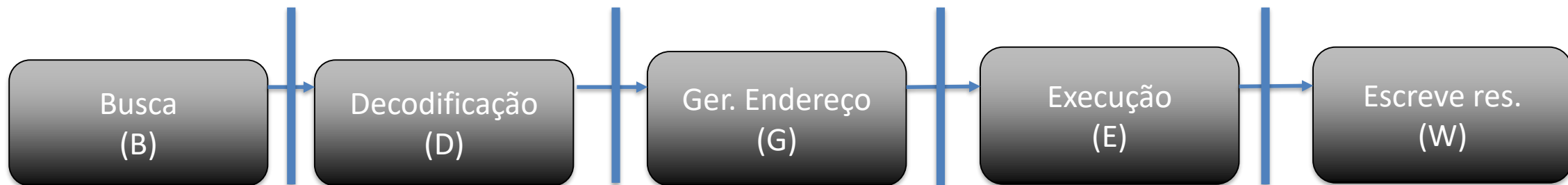


# Com pipeline



Cada instrução leva o mesmo número de ciclos para completar com ou sem pipeline.  
No exemplo: 5 ciclos

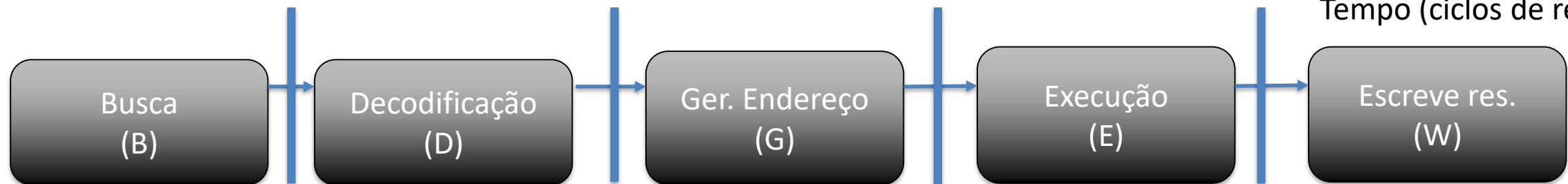
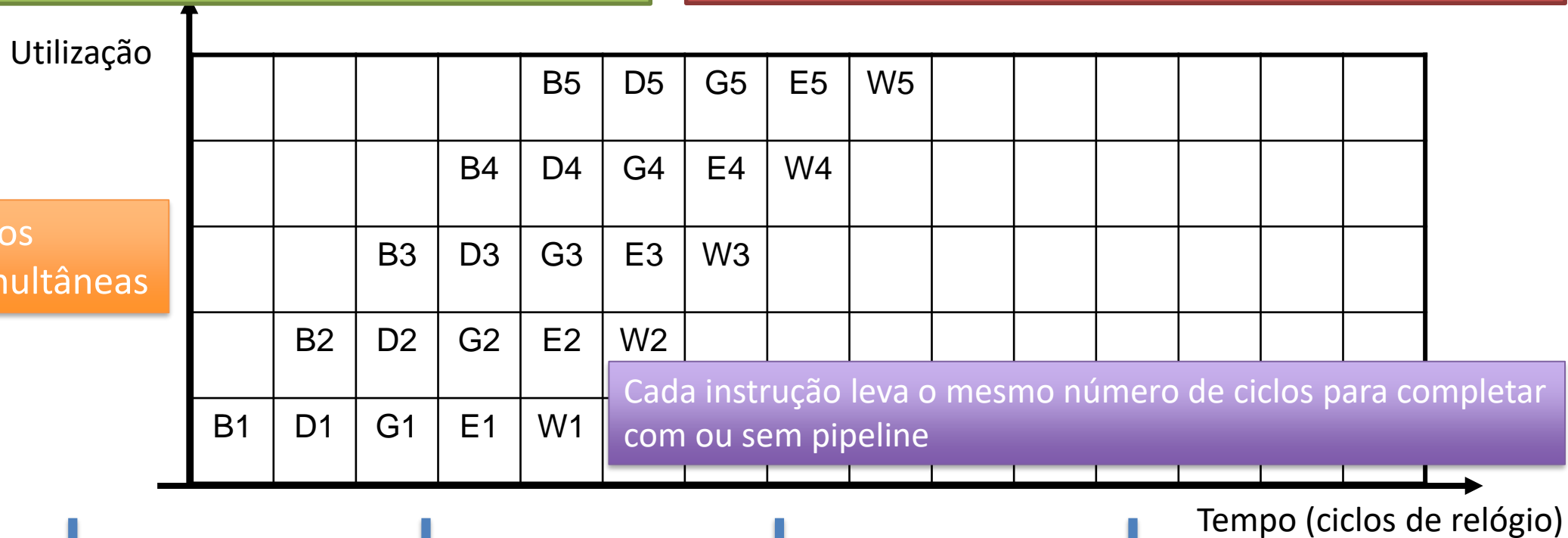
Ganho no conjunto de instruções  
No exemplo: 1 instrução em 5 ciclos - 5 instruções em 9



Sem pipeline  
No exemplo: 1 instrução em 5 ciclos - 5 instruções em 25 ciclos

Ganho de vazão (Inst./s) com pipeline  
No exemplo: 1 instrução em 5 ciclos - 5 instruções em 9

Pipeline de  $n$  estágios  
Até  $n$  instruções simultâneas



# Pipeline: Paralelismo temporal

