

Architettura degli Elaboratori – II sem. AA 2018-19

Prova scritta – canale H-Z – Appello del 15.10.2019

Cognome _____ Nome _____ matr. N86 - _____
maiuscolo stampatello maiuscolo stampatello solo le ultime 4 cifre

codice esame → 01570 (12 CFU) ☐ U2322 (9 CFU) ☐

~~Esonero~~ ☐ ~~SI~~ ☐ ~~voto~~ _____

Per essere ammessi all'orale senza riserva occorre superare I e II parte con un voto ≥ 18

I parte (3 punti max per quesito)

- 1- Si rappresenti in formato IEEE754 a 32bit il numero decimale → **+57.5**

Bit 31 30- -23 22- ... -16 15- -8 7- -0

Segno esponente (8bit) m a n t i s s a (23 bit)

- 2- Si rappresenti in decimale il numero in formato IEEE754 a 32bit, di seguito rappresentato in esadecimale:

0x40b00000 → _____ (in decimale)

- 3- Si rappresenti in binario in complemento a due con otto bit, il numero negativo più grande avendo a disposizione 4 bit '1' e 5 bit '0' (ad esempio: 10110010), indicandone il valore in decimale

----- → -----
msb ls b decimale con segno

- 4- L'operazione di somma a 8 bit in complemento a due di 142 al numero prima calcolato dà origine a condizioni di errore ? Spiegare:

.....
.....
.....

- 5- Si scriva la forma duale della funzione $F(A,B,C) = (A \text{ xor } B) \text{ and } C$ in forma canonica SOP indicando i mintermini presenti (ad esempio: $F_{\text{duale}} = m_2 + m_3$).

Note:

- si indica con A^* il complemento di A, con B^* il compl. di B, con C^* il compl. di C
- si assuma $m_0 = A^* B^* C^*$, $m_1 = A^* B^* C$, ...

$$F_{duale} = \dots\dots\dots$$

- 6- Un multiplexer 4:1 ha i due bit di selezione pilotati dai letterali A, B e sugli ingressi costanti booleane ed espressioni booleane in cui compaiono i letterali C e D:

$$i_{A^*B^*}=0, i_{A^*B}=(C \text{ xor } D), i_{AB^*}=1, i_{AB}=(C^*D^*)$$

Scrivere in forma canonica POS la funzione $F(A,B,C,D)$ generata dal multiplexer.

$$F(A,B,C,D) = \dots\dots\dots \text{(in forma canonica POS)}$$

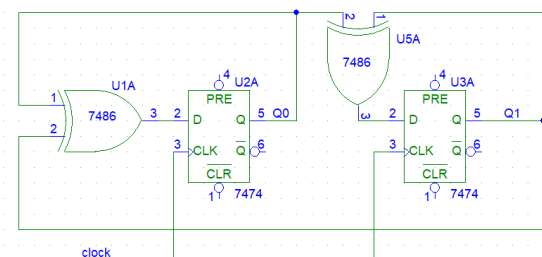
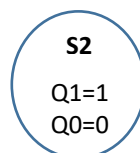
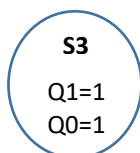
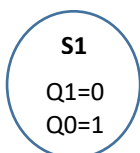
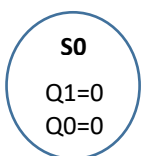
- 7- Data la funzione $F(A,B,C) = (AB)+(BC)^*$, si determini la funzione G tale che: $F+G=1$ e $FG=0 \rightarrow G(A,B,C,D) = \dots\dots\dots$

- 8- Si scriva in forma di mappa di Karnaugh la funzione $G(A,B,C,D)$ tale che $(F \text{ and } G) = m_1 + m_2 + m_3$. Si scriva poi la funzione G minimizzata, indicando i ricoprimenti sulla mappa.

		F(A,B,C,D)				G(A,B,C,D)				
		CD				CD				
		00	01	11	10	00	01	11	10	
AB	00	1	1	1	1	—	—	—	—	$G(A,B,C,D) = \dots\dots\dots$ (forma minima)
	01	0	0	X	0	—	—	—	—	
	11	0	1	0	1	—	—	—	—	
	10	X	0	0	0	—	—	—	—	

- 9- Un automa di Moore possiede tre stati (S_0 , S_1 e S_2), un ingresso e una uscita. Supponendo di usare 3 flip-flops D per codificare lo stato, quanti sono gli stati inutilizzati? Se l'automata giunge per errore in uno stato inutilizzato, quale sarà il suo comportamento nei successive cicli di clock ? Spiegare.

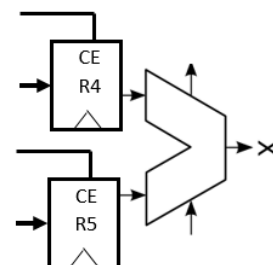
- 10- Si completi il *bubble diagram* dell'automata a stati finiti il cui schema è riportato di fianco :



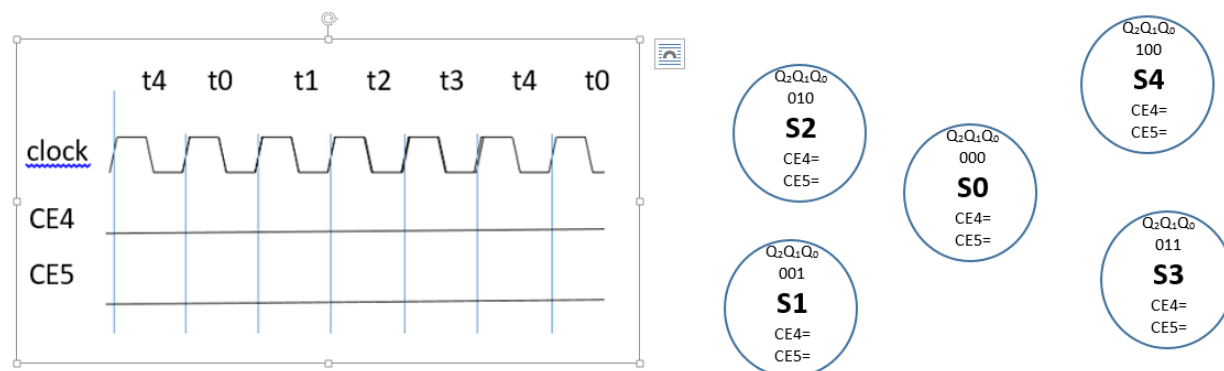
Il parte (10 punti max per quesito)

- 1- Il *datapath* di un processore con architettura *multicycle* impiega 5 colpi di clock ($t_{0,1,2,3,4}$) per eseguire una istruzione. Si assuma che un operando dell'ALU sia caricato in R4 al tempo t_1 e l'altro operando sia caricato in R5 al tempo t_2 .

Si progetti un automa di Moore che piloti CE4 (clock enable di R4) e CE5 (clock enable di R5):



- a) si tracci l'evoluzione temporale dei segnali CE4 e CE5 e si completi il bubble diagram;



- b) si calcolino le funzioni di prossimo stato e di uscita:

Funzioni di prossimo stato:

$$Q_{0\text{next}} = F_0(Q_2, Q_1, Q_0) = \underline{\hspace{2cm}}$$
$$Q_{1\text{next}} = F_1(Q_2, Q_1, Q_0) =$$
$$Q_{2\text{next}} = F_2(Q_2, Q_1, Q_0) =$$

Funzioni di uscita:

$$\text{CE4} = G_0(Q_2, Q_1, Q_0) =$$
$$\text{CE5} = G_1(Q_2, Q_1, Q_0) =$$

- 2- Indicare in binario il contenuto del registro R2 dopo l'esecuzione di questo programma

```
mov r0, #5
mov r1, #-6
add r2, r0, r1
```

R2 = _____
(in binario)

- 3- Un sistema a 24 bit dotato di memoria virtuale dispone di una TLB di 4 locazioni e di una tabella dei numeri di pagina. TLB (a sinistra) e tabella (a destra) sono inizializzati come mostrato in figura:

bit di validità	Numero di pagina virtuale	Numero di pagina fisica
1	000000000000000010	10000000
1	000000000000000011	11111111
0	00000000000001000	11000000
0	00000000000001111	11100000

bit di validità	
0	1 11111001
1	1 11111000
2	0 ...
3	1 11111111
4	1 00000000
	0 .
	0 .
	. .
	. .
	0 .

a) Quante locazioni contiene la Tabella dei numeri di pagina? -> _____

b) Supponendo che vengano generati i tre indirizzi virtuali seguenti (a 24 bit):

- (1) 00000000 00000011 00000000
- (2) 00000000 00000000 00000010
- (3) 11111111 11111111 10000000

Indicare per ciascuno di essi il relativo indirizzo fisico, se disponibile, oppure il meccanismo di page fault:

(1): _____

(2): _____

(3): _____
