

在 NB 电路的架构框图中，我们可以看到 PCH和 EC之间通过 LPC总线连接，在 MB 板上也会看到 EC芯片旁边有一个 JDEBUG的 connector，其也与 LPC总线相连，用于主板诊断。下面将对 LPC总线做一些简单介绍，希望能够帮助大家了解 LPC的工作原理：

1、 LPC总线

LPC(Low Pin Count) 是基于 Intel 标准的 33 MHz 4 bit 并行总线协议（但目前 NB系统中 LPC的时钟频率为 24MHz ,可能是由于 CPU平台的不断发展导致的，后面会具体分析 ），用于代替以前的 ISA 总线协议，但两者性能相似，都用于连接南桥和 Super I/O 芯片、FLASH BIOS、EC等设备(由于目前 EC芯片中整合了 Super I/O 功能，所以我们在 NB 系统中看不到 LPC总线上挂有 Super I/O 芯片了)。

传统 ISA BUS速率大约在 7.159~8.33MHz ,提供的理论尖峰传输值为 16MB/s，但是 ISA BUS与传统的 PCI BUS的电气特性、信号定义方式迥异，使得南桥芯片、Super I/O 芯片浪费很多针脚来做处理，主板的线路设计也显得复杂。为此， Intel 定义了 LPC接口，将以往 ISA BUS的地址 / 数据分离译码，改成 类似 PCI的地址 / 数据信号线共享的译码方式，信号线数量大幅降低，工作速率由 PCI总线速率同步驱动(时钟同为 33MHz) ,虽然改良过的 LPC接口一样维持 最大传输值 16MB/s，但信号管脚却大幅减少了 25~30 个，以 LPC接口设计的 Super I/O 芯片、Flash 芯片都能享有脚位数减少、体积微缩的好处，主板的设计也可以简化，这也是取名 LPC——Low Pin Count的原因。

2、 LPC总线的接口管脚

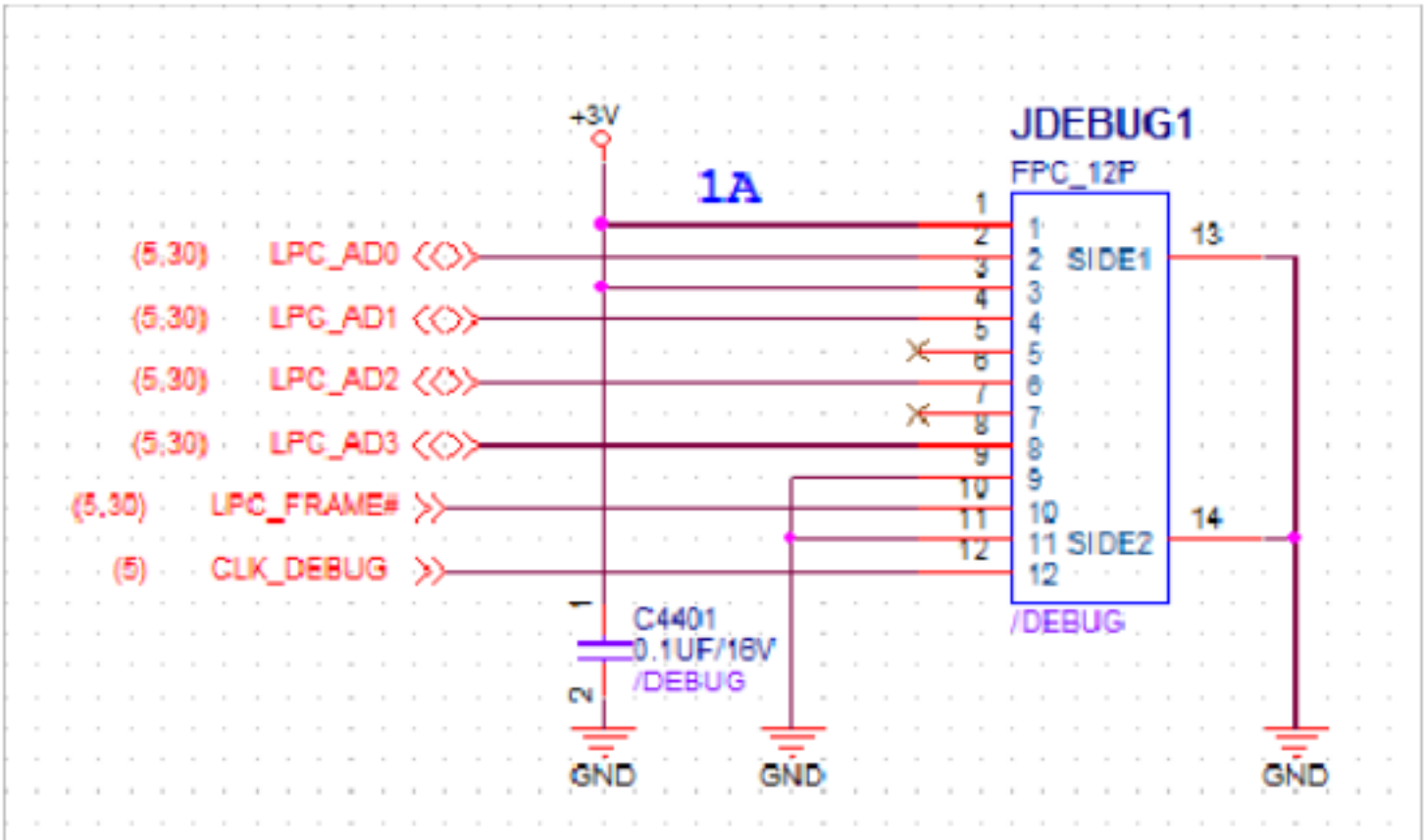
LPC总线由 7 个必选信号和 6 个可选信号组成，具体如下表所示：

表 3-1 LPC 总线必选信号列表			
信号	外设	Host 设备	信号描述
LAD[3:0]	I/O	I/O	命令、数据、地址复用信号
LFRAME#	I	O	指示一个操作循环的开始
LRESET#	I	I	复位信号
LCLK	I	I	33MHz 时钟信号 时钟会有所不同

表 3-2 LPC总线可选信号列表

信号	外设	Host 设备	信号描述
LDRQ#	O	I	外设进行 DMA or bus mastering 操作的总线请求信号，一对一，外设之间不能共享同一个 LDRQ#
SERIRQ	I/O	I/O	中断请求信号
CLKRUN#	OD	I/OD	外设进行 DMA or bus mastering 操作才会需要该信号，用于停止 PIC bus, 同 PCI CLKRUN信号
LPME#	OD	I/OD	电源管理唤醒，与 PCI PME相似
LPCPD#	I	O	Power Down
LSMI#	OD	I	SMI 信号系统管理中断

MB 板上的 JDEBUG connector有 12pin,没有连接 LRESET 信号，只连接了其余的 6 个必选信号，为主板诊断提供接口，其中 CLK_DEBUG 由 PCH 提供 ,24MHZ：



EC与 PCH连接的 LPC总线中除了包含 7 个必选信号，还包含 SEEIRQ和 CLKRUN信号。这里需要注意的是 JDEBUG的 CLK信号与连接 EC和 PCH的 LPC总线中 CLK信号并非同一个信号。 PCH提供了 2 个输出 24MHz 时钟的管脚，但每个时钟只能驱动一个 LPC设备，故 EC和 JDEBUG各连接一个。

3.LPC总线的通信协议

LPC总线支持多种事务类型的操作，例如 IO读写、内存读写、DMA 读写、Firmware memory 读写等。一个 cycle通常一下流程：

- 总线 host拉低 LFRAME信号，指示 cycle开始，同时将相关信息输出到 LAD[3:0]上
- 主机 Host 根据 Cycle类型驱动相应的信息到 LAD[3:0]上，比如当前操作的事务类型、数据传输方向及 size大小、访问地址等。
- host 根据 Cycle类型的不同选择进行驱动数据或者是移交总线控制权。
- 外设获取总线控制权后，将相应的数据驱动到 LAD[3:0]上。表示该 Cycle完成。
- 外设释放总线控制权。至此该 Cycle结束。

一个典型 cycle通常由 Start、Cyctype+Dir ADDR Size(DMA only) Channel(DMA only)、TAR Sync DATA状态组成，下图是一个典型的 cycle示例流程，该 cycle类似于 IO 读或内存读操作中的 cycle，DATA字段由外设驱动发送给 host.

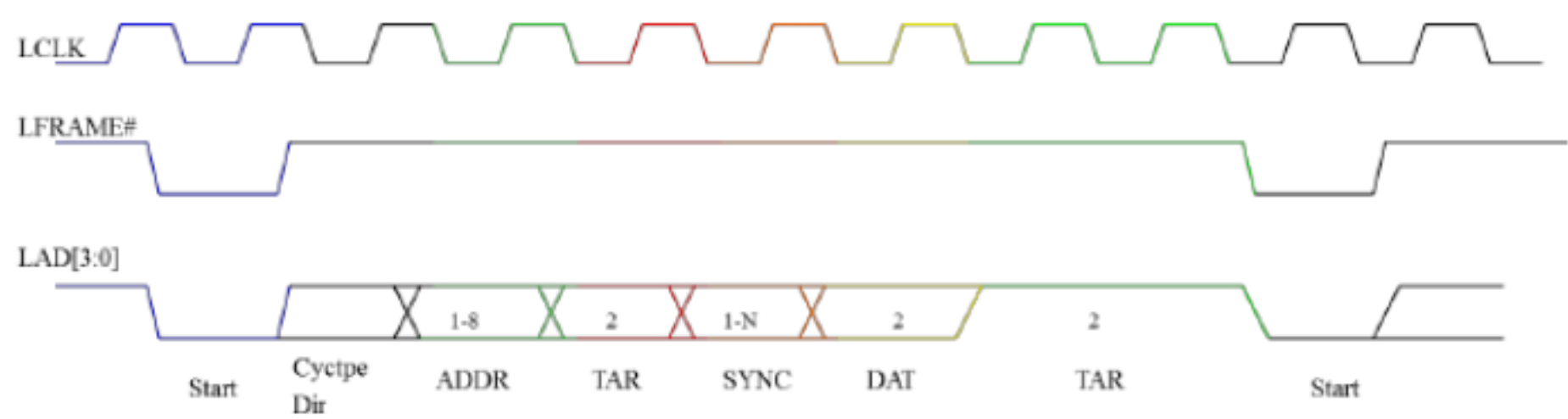


图 4.1 cycle 示意图

3.1 Start

Start 用于指示一个传输的开始或者结束。当 FRAME#信号有效时，所有的外设都要监视 LAD[3：0]信号，并在 FRAME#信号有效的 最后一个时钟 进入 STAR状态。LAD[3：0]的值编码如下表

表 4.1 Start 状态 LAD[3:0]定义

Bits[3:0]	定义
0000	开始一个 Cycle，用于外设 Memory、I/O 及、DMA 操作
0001	保留
0010	响应 Bus master 0
0011	响应 Bus master 1
0100 -1100	保留
1101	开始 Firmware Memory Read
1110	开始 Firmware Memory Write
1111	Stop/Abort，结束一个 Cycle

3.2 Cycle Type Direction(CYCTYPE+DIR)

该状态由 Host 驱动，对 Cycle的传输类型 (Memory、IO、DMA)以及传输方向进行说明。LAD[0]在该场中被保留，作为外设应该忽略。具体定义值见下表

表 4.2 Cyctype+DIR状态 LAD[3:0]定义

Bits[3:2]	Bits[1]	定义
00	0	I/O 读
00	1	I/O 写
01	0	Memory 读
01	1	Memory 写
10	0	DMA 读
10	1	DMA 写
11	x	保留

3.3 Size

该状态表示传输数据 DATA字段的大小，由 host 驱动，当数数据为 16 或 32bits，将分成多个 DATA转态发送，Size只存在于 DMA 类型 cycle中。而在 IO和内存类型 cycle 中，每个 cycle 只能传输 8bits 数据。Size状态 LAD[1:0]有效，LAD[3:2]被忽略，LAD[3:0]具体定义如下

表 4.3 Size状态 LAD[3:0]定义

Bits[1:0]	定义
00	传输的数据大小为 8bits
01	传输的数据大小为 16bits
10	保留
11	传输的数据大小为 32bits

3.4 ADDR/Channel

ADDR状态表示地址信息，由 host 驱动。在 IO cycle中，地址信息为 16bits（4 个时钟周期）；在内存 cycle 中，地址信息为 32bits（8 个时钟）；而在 DMA cycle 中,则没有 ADDR状态,取代的则是 Channel状态(1 个时钟)。LAD[2:0]表示 channel 的序号，其中 channel 0~3为 8bit channels,channel 5~7为 16 bit channels, channel4 一般被保留作为 bus master 的请求信号。ADDR的地址信息先从高位发送。

3.5 TAR(Turn-around)

TAR用于交换总线的控制权（2 个时钟），当 host 要将总线转交给外设时，TAR 由 host 驱动；当外设要将总线交还给 host 时，TAR由外设驱动。TAR两个时钟周期的第一个时钟周期有 host 或外设驱动，LAD[3:0]=1111第二时钟周期 host 或外设则将 LAD[3:0]置为三态，但由于 LAD[3:0]管脚内部有弱上拉，LAD[3:0]还都是处于高逻辑电平，所以 TAR的两个时钟 LAD[3:0]都为 1111.

3.6 Sync

Sync用来加入等待状态，持续时间为 1~N 个时钟周期。在 target 或者 DMA 传输操作时，Sync由外设驱动；在 bus master操作时，Sync由 Host 驱动。可能的组合见表

表 4.4 Sync状态 LAD[3:0]定义

Bits[3:0]	定义
0000	准备好
0001 -0100	保留
0101	短时等待
0110	长等待
0111 -1000	保留
1001	Ready More (DMA Only)
1010	错误
1011 -1111	保留

当外设还没准备好时，可以插入一些等待周期 0101（短等待）或 0110（长等待），等到 Ready 状态来到时，可以选择驱动为“0000”(准备好)，“1010”错误)或者“1001”(Ready More)。

4.6.1 Sync Timeout

总线上通常可能发生以下几种潜在的错误：

1．当 Host 发起一个 Cycle(Memory、IO、DMA)后，但是，总线上没有设备驱动 SYNC 场，当 Host 检测到 3 个连续的时钟内都没有响应时，便可以认为总线上没有外设响应此次 Cycle 操作。

2 .Host 驱动一个 Cycle(Memory,IO,DMA)，一个设备驱动了一个有效的 SYNC 场来插入等待 (LAD[3: 0]= ' 0101或者 ' 0110b'，)但是却不能完成该 Cycle，这种情况在外设锁定的时候就发生了。此时，Host 应采取以下措施以解除总线死锁：

假如 SYNC 是 ' 0101b'，那么 SYNC 时钟周期最多为 8 个。当 Host 检测到有多于 8 个时钟周期的 SYNC 场，那么 Host 将取消这个 Cycle。

假如 SYNC 是 ' 0110b'，那么这里将没有最大 SYNC 长度的限制。外设必须设计有保护机制来完成这个 Cycle。

当由 Host 来驱动 SYNC 时，因为延迟的原因，它可能不得不插入大量的等待周期，但外设不应该认为有 timeout 发生。

下图为 SYNC 的周期过长引起 timeout，此时 LFRAME# 会拉低 4 个 LCLK 周期，进入 start 状态，来终止这个 Cycle.

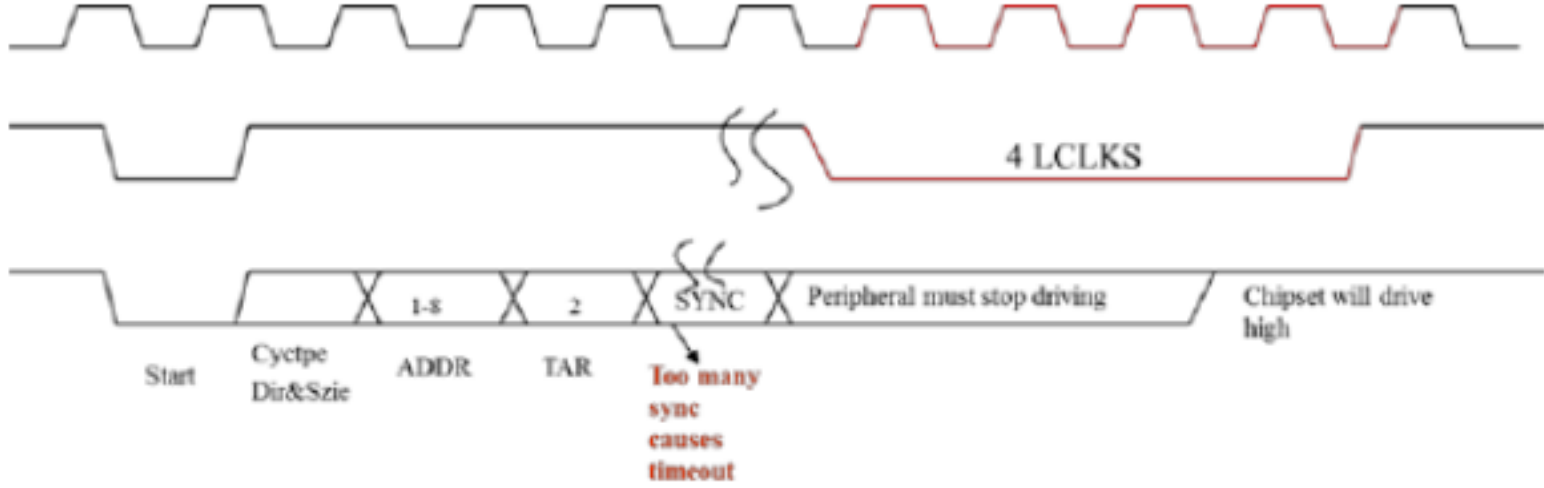


图 4.2 LFRAME终止 cycle

4.7 DATA

DATA状态占用两个时钟周期，用于传送一个字节数据。当数据流向外设时，该场由 Host 驱动；反之，当数据流向 Host 时，则该场由外设驱动。在传输过程的时候，低 4 位最先被驱动到总线上，在第一个时钟，Data[3:0]被驱动，第二个时钟，Data[7:4]被驱动。

4.8 各事务类型操作举例

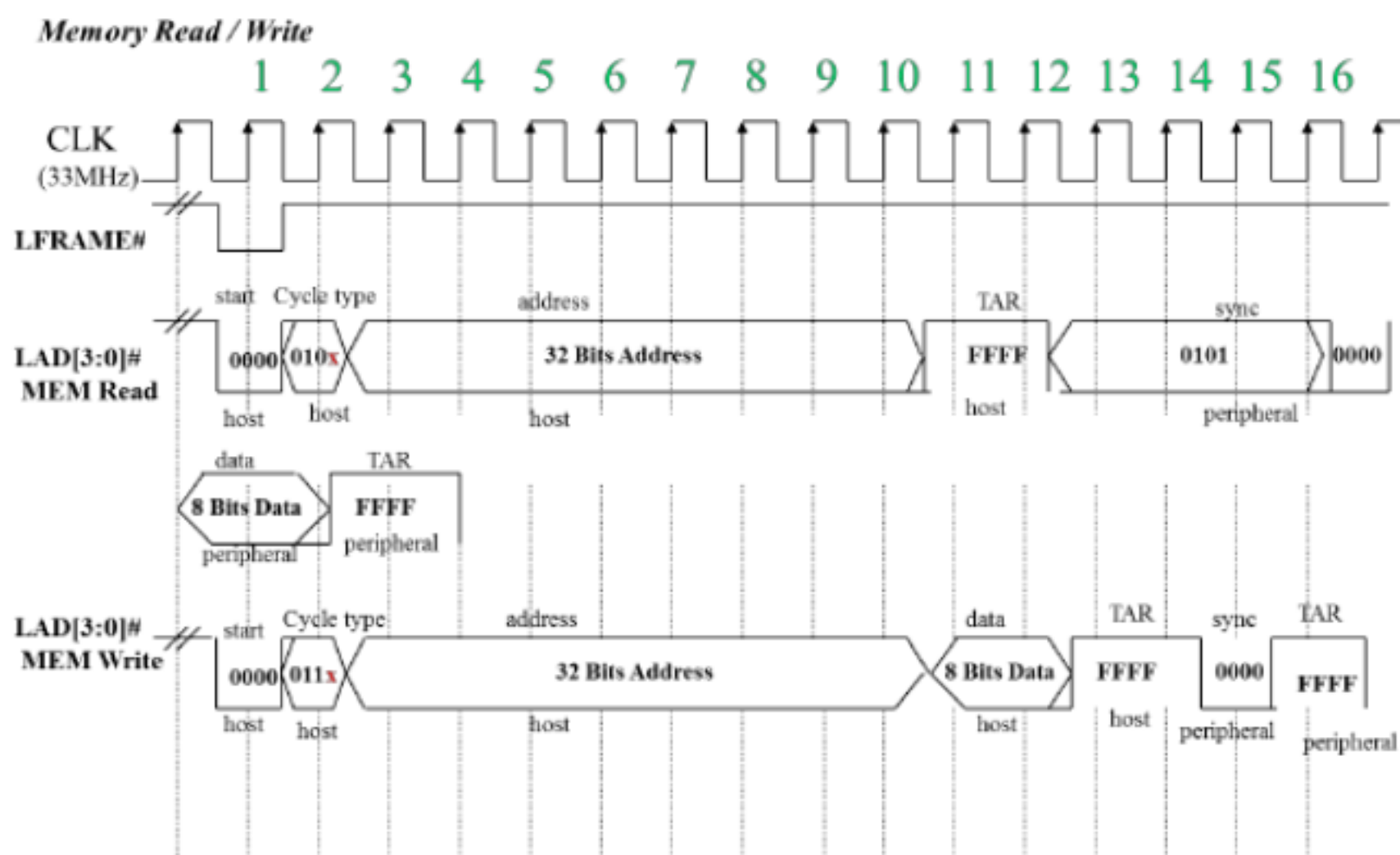


图 4.3 memory read/write

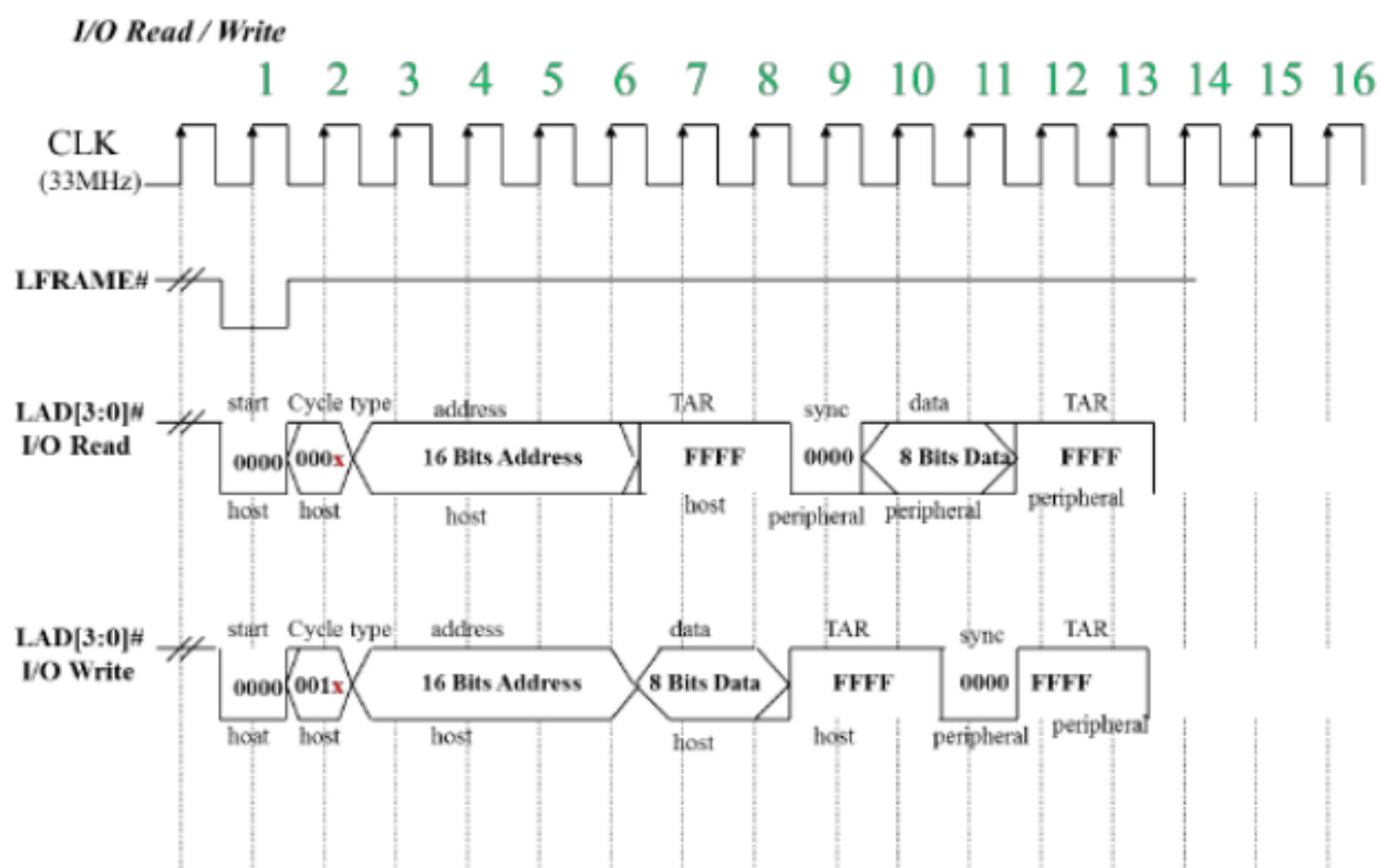


图 4.4 I/O read/write

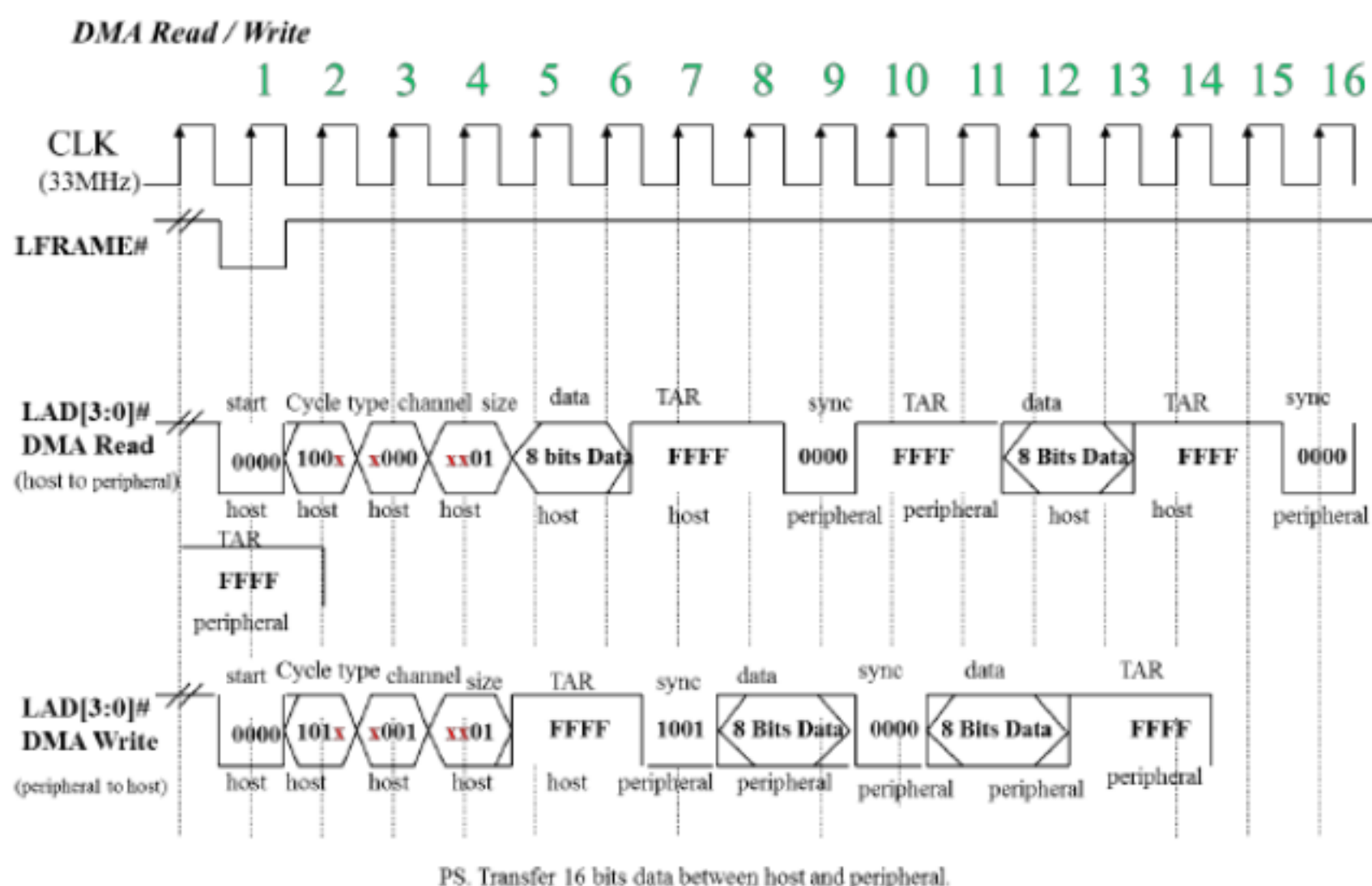


图 4.5 DMA read/write(16bits)

4、LPC总线的测量（逻辑分析仪）

用逻辑分析仪 TLA5202测得 LPC总线中 LCLK LFRAME# LAD[3:0]信号，下面为测量的几组数据波形：

下面是测的是两个 cycle 的总体波形图，由于我在测试时外接的测试线过长，在 cycle 结束后的末期引入了串扰，图中的黄色框图中便为串扰信号波形，理想状态应该是 LAD[3:0]统一保持高逻辑，后面再统一变为低逻辑。这里我们可以看到时钟信号 LCLK并不是一直输出的，只有当 cycle 开始时，PCH才会输出 LCLK 信号，cycle 结束后，若一段时间内不再有 cycle 传输，LCLK便不再输出。

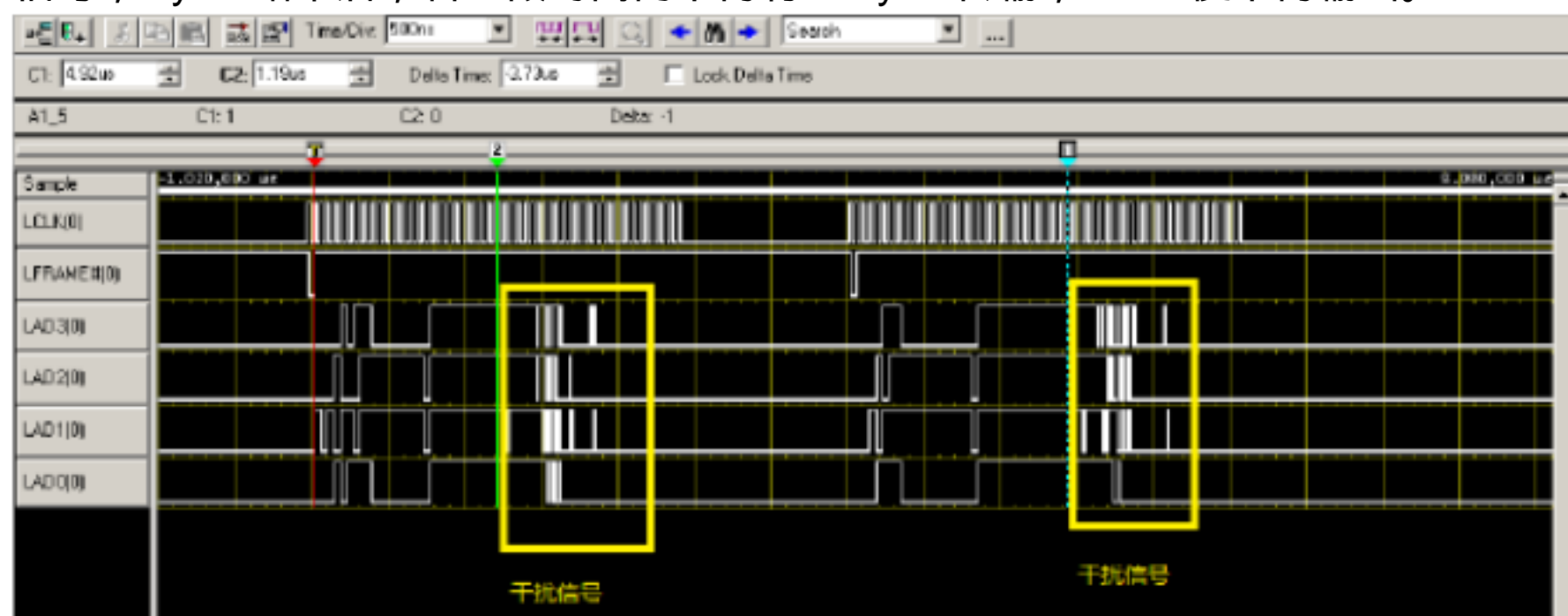


图 5.1 Cycle 总体波形图

下图测试的是一组 I/O read cycle，host 要读取 IO 地址为 0064H 的数据，外设接管总线后，经过 11 个时钟周期的长等待 SYNC 状态（0110）后，变为 ready 状态

(sync为 0000), 然后外设将数据 1CH发送给 host,驱动 TAR状态 (FF), 将总线控制权交还给 host,这个 cycle 结束。

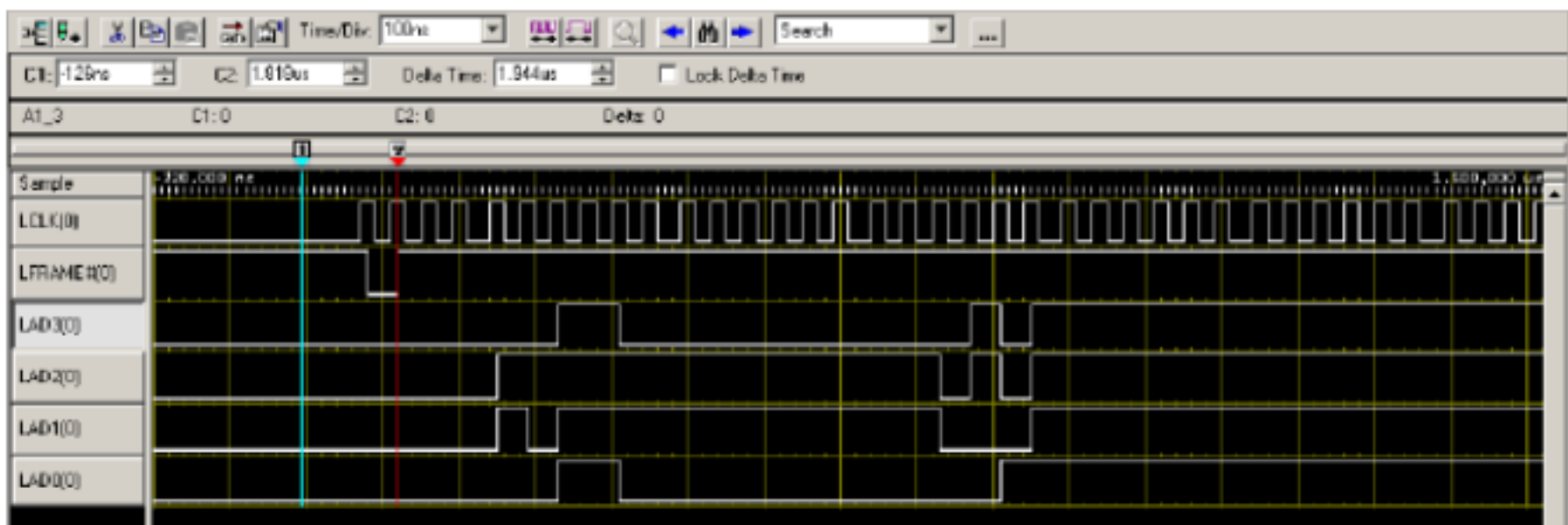


图 5.2 I/O read cycle

下图测试的是一组 I/O write cycle , host 向 IO 地址 025AH写入数据 93H , 外设接管总线后 , 经过 8 个时钟周期的长等待 SYNC状态 (0110) 后 , 变为 ready 状态 (sync为 0000), 表明外设接收到数据 , 之后外设驱动 TAR状态 (FF), 将总线控制权交还给 host,这个 cycle 结束。



图 5.3 I/O write cycle

下图测试的是 time out 情况 ,host 向 IO地址 0080H写入数据 01H ,然后 host 驱动 TAR状态来移交纵向 , 但无外设驱动 sync状态来接管总线 , LAD一直处于弱上拉的高状态 , 经过 5 个时钟周期的无响应后 , host 拉低 LFRAME# , 保持 4 个 LCLK 进入 start 状态 , LAD[3:0]=1111 , 则 host 将该 cycle 终结。

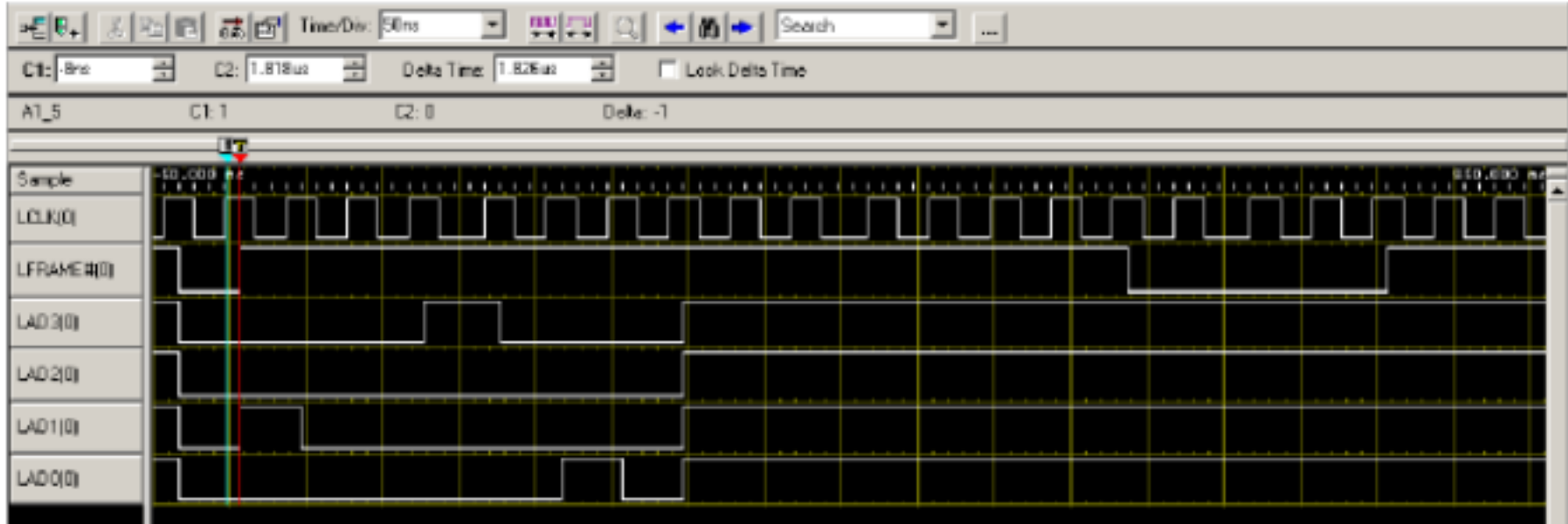


图 5.4 time out