**目录**

[第1章 PS/2 协议 5](#_Toc47797649)

[1.1 物理连接 5](#_Toc47797650)

[1.2 电气属性 5](#_Toc47797651)

[1.3 数据示意图 5](#_Toc47797652)

[1.4 总线上数据的收发 5](#_Toc47797653)

[1.4.1 设备向主机发送数据 5](#_Toc47797654)

[1.4.2 PS/2设备向PC机读取一个字节 6](#_Toc47797655)

[1.4.3 主机发送数据到设备 7](#_Toc47797656)

[第2章 LPC 总线 8](#_Toc47797657)

[2.1 物理连接 8](#_Toc47797658)

[2.2 电气属性 8](#_Toc47797659)

[2.3 Memory, I/O and DMA Cycle 9](#_Toc47797660)

[2.3.1 Start 9](#_Toc47797661)

[2.3.2 Cycle Type / Direction (CyCTYPE + DIR) 9](#_Toc47797662)

[2.3.3 Size 10](#_Toc47797663)

[2.3.4 Turn-Around (TAR) 10](#_Toc47797664)

[2.3.5 ADDR 10](#_Toc47797665)

[2.3.6 Channel 10](#_Toc47797666)

[2.3.7 DATA 10](#_Toc47797667)

[2.3.8 SYNC 11](#_Toc47797668)

[2.3.9 SYNC TimeOut 11](#_Toc47797669)

[2.3.10 SYNC Error Indication 11](#_Toc47797670)

[2.3.11 LFRAME# 12](#_Toc47797671)

[2.3.12 Start of Cycle 12](#_Toc47797672)

[2.3.13 Abort机制 13](#_Toc47797673)

[2.3.14 内存读写位域定义 13](#_Toc47797674)

[2.3.15 主机启动内存读 14](#_Toc47797675)

[2.3.16 主机启动内存写 14](#_Toc47797676)

[2.3.17 IO读写域定义 15](#_Toc47797677)

[2.3.18 主机启动IO读操作 16](#_Toc47797678)

[2.3.19 主机启动IO写操作 16](#_Toc47797679)

[2.4 Firmware Memory Cycle 17](#_Toc47797680)

[2.4.1 start 17](#_Toc47797681)

[2.4.2 IDSEL (Device Select) 17](#_Toc47797682)

[2.4.3 MADDR (Memory Address) 17](#_Toc47797683)

[2.4.4 MSIZE (Memory Size) 17](#_Toc47797684)

[2.4.5 TAR 18](#_Toc47797685)

[2.4.6 SYNC 18](#_Toc47797686)

[2.4.7 DATA 18](#_Toc47797687)

[2.4.8 Protocol 18](#_Toc47797688)

[2.4.9 Preamble 19](#_Toc47797689)

[2.4.10 Firmware Memory Read Cycle 19](#_Toc47797690)

[2.4.11 Firmware Memory Write Cycles 19](#_Toc47797691)

[2.4.12 Error Reporting 20](#_Toc47797692)

[2.4.13 固件存储器字段定义 20](#_Toc47797693)

[2.4.14 主机启动固件存储器读操作 21](#_Toc47797694)

[2.4.15 主机启动固件存储器写操作 21](#_Toc47797695)

[2.5 DMA 22](#_Toc47797696)

[2.5.1 DMA数据请求 22](#_Toc47797697)

[2.5.2 取消DMA请求 22](#_Toc47797698)

[2.5.3 DMA 传输定义 22](#_Toc47797699)

[2.5.4 Terminal Count 24](#_Toc47797700)

[2.5.5 取消传输 24](#_Toc47797701)

[2.5.6 SYNC field / LDRQ# Rules 25](#_Toc47797702)

[2.5.7 DMA读操作 25](#_Toc47797703)

[2.5.8 DMA写操作 25](#_Toc47797704)

[2.5.9 关于16和32位DMA的其他说明 26](#_Toc47797705)

[2.6 Bus Master Protocol 26](#_Toc47797706)

[2.6.1 周期格式和时间 26](#_Toc47797707)

[2.6.2 Bus Master Cycle 字段定义 26](#_Toc47797708)

[2.6.3 外设启动内存读操作 27](#_Toc47797709)

[2.6.4 外设启动内存写操作 28](#_Toc47797710)

[2.6.5 外设启动IO读操作 28](#_Toc47797711)

[2.6.6 外设启动IO写操作 28](#_Toc47797712)

[2.6.7 Request Assertion Rules(请求断言规则) 29](#_Toc47797713)

[2.7 电源管理（PM） 29](#_Toc47797714)

[2.7.1 CLKRUN# Protocol 29](#_Toc47797715)

[2.7.2 LPCPD# Protocol 29](#_Toc47797716)

[2.7.3 LPME# Usage 30](#_Toc47797717)

[2.8 总线复位机制 30](#_Toc47797718)

[第3章 eSPI 总线 31](#_Toc47797719)

[3.1 物理连接 31](#_Toc47797720)

[3.1.1 连接拓扑图 32](#_Toc47797721)

[3.2 电气属性 33](#_Toc47797722)

[3.3 总线协议 34](#_Toc47797723)

[3.3.1 Single Master-Single Slave 35](#_Toc47797724)

[3.3.2 Single Master-Multiple Slaves 35](#_Toc47797725)

[3.3.3 指令域（CMD） 36](#_Toc47797726)

[3.3.4 周转域 (TAR) 38](#_Toc47797727)

[3.3.5 响应域(RESP) 38](#_Toc47797728)

[3.3.6 Alert 域 42](#_Toc47797729)

[3.3.7 状态获取指令域 44](#_Toc47797730)

[3.3.8 获取和设置指令域 45](#_Toc47797731)

[3.3.9 Non-Posted 传输 46](#_Toc47797732)

[3.3.10 Posted 传输 48](#_Toc47797733)

[3.3.11 WAIT STATE 50](#_Toc47797734)

[3.4 传输层 51](#_Toc47797735)

[3.5 链路层(Link Layer) 52](#_Toc47797736)

[3.5.1 1,2,4 I/O模式 52](#_Toc47797737)

[3.5.2 CRC 55](#_Toc47797738)

[3.6 从机寄存器配置 58](#_Toc47797739)

[附录一：posted与non-posted 59](#_Toc47797740)

[附录二 CRC-8 计算方法 60](#_Toc47797741)

# PS/2 协议

## 物理连接

一般只有4个引脚有意义；分别是Clock(时钟脚)、DATA(数据脚)、+5V(电源脚)和Ground(电源地)，其中时钟线和数据线必须接上拉电阻。

## 电气属性

一般两设备间传输数据的最大时钟频率是33kHz，大多数ps/2设备工作在10~20kHz。推荐值在 15kHz左右，也就是说，Clock(时钟脚)高、低电平的持续时间都为40μs。

## 数据示意图

|  |  |
| --- | --- |
| 1 start bit. This is always 0 | 1 个起始位 总是为 0 |
| 8 data bits, least significant bit first. | 8 个数据位 低位在前 |
| 1 parity bit (odd parity) | 1 个校验位 奇校验 |
| 1 stop bit. This is always 1 | 1 个停止位 总是为 1 |
| 1 acknowledge bit | 1 个应答位 仅在主机对设备的通讯中 |

## 总线上数据的收发

### 设备向主机发送数据

设备到主机的通讯 当时钟为高 数据线改变状态 在时钟信号的下降沿，数据被锁存。

#### PS/2设备向PC机发送一个字节

(1)等待时钟为高电平，并延时50us；

(2)检测判断时钟信号是否为高，为高，则向下执行，为低，则转到(1)；

(3)检测数据线是否为高，如果为高则继续执行，如果为低，则放弃发送(此时PC机在向PS/2设备发送数据，所以PS/2设备要转移到接收程序处接收数据)；

(4)延时20μs(如果此时正在发送起始位，则应延时４0μs)；

(5)输出起始位(0)到数据线上。这里要注意的是：在送出每一位后都要检测时钟线，以确保PC机没有抑制PS/2设备，如果有则中止发送；

(6)输出8个数据位到数据线上；

(7)输出校验位；

(8)输出停止位(1)；

(9)延时30μs(如果在发送停止位时释放时钟信号则应延时50μs)；

#### 发送单个位

(1)准备数据位(将需要发送的数据位放到数据线上)；

(2)延时20μs；

(3)把时钟线拉低；

(4)延时40μs；

(5)释放时钟线；

(6)延时20μs。

### PS/2设备向PC机读取一个字节

这时为PC主机发送数据，所以PC机通过下拉时钟线大于 100μs来抑制通讯，然后再释放总线来发送数据，主机此时在时钟线变为低时准备数据到数据线，并在时钟上升沿锁存数据。而PS/2设备则要配合PC机才能读到准确的数据。

#### PS/2设备向PC机读取一个字节

(1)等待时钟线为高电平。

(2)判断数据线是否为低，为高则错误退出，否则继续执行。

(3)读地址线上的数据内容，共8个bit，每读完一个位，都应检测时钟线是否被PC机拉低，如果被拉低则要中止接收。

(4)读地址线上的校验位内容，1个bit。

(5)读停止位。

(6)如果数据线上为0(即还是低电平)，PS/2设备继续产生时钟，直到接收到1且产生出错号为止(因为停止位是1，如果PS/2设备没有读到停止位，则表明此次传输出错)。

(7) 输出应答位。

(8) 检测奇偶校验位，如果校验失败，则产生错误信号以表明此次传输出现错误。

(9)延时４5 μs，以便PC机进行下一次传输。

#### 读取一个位的步骤如下：

(1)延时20μs；

(2)把时钟线拉低

(3)延时４0μs

(4)释放时钟线

(5)延时20μs

(6)读数据线。

#### 发出应答位

(1)延时15μs；

(2)把数据线拉低；

(3)延时5μs；

(4)把时钟线拉低；

(5)延时４0μs；

(6)释放时钟线；

(7)延时5μs；

(8)释放数据线。

### 主机发送数据到设备

时钟都是由PS/2设备发出。主机要向设备发送数据，需要把时钟和数据线设置为“请求发送”状态。主机拉低信号线表示抑制通讯。

#### 主机发送数据到从机

(1) 主机拉低时钟线至少100us

(2) 吧数据线拉低，相当于请求发送信号，也就是起始位。

(3) 主机释放数据线。

(4) 主机释放数据线，并等待设备把时钟线拉低，主机拉低时钟到设备产生时钟时间不超过15ms

(5) 主机发送8位数据，将数据放置在数据线上，每设置一个数据都得等待设备吧时钟线拉高，在时钟上升沿时，对数据进行锁存，等待设备在把时钟拉低，如此反复8次发送数据。

(6) 主机释放数据线。如果如果主机在第11个时钟脉冲后不释放数据线，设备将继续产生时钟脉冲直到数据线被释放然后设备将产生一个错误。

(7) 等待设备把数据线拉低。

(8) 等待设备吧时钟线线拉低。

(9) 等待设备释放时钟线和数据线。

# LPC 总线

## 物理连接

LPC同时又是一个灵活的总线，它包括7个必选信号及6个可选信号。在实际应用中，并不是所有的信号都是必需的，可以根据情况对可选信号进行增减。

LPC 总线必选信号列表

|  |  |  |  |
| --- | --- | --- | --- |
| 信号 | 外设 | Host 设备 | 信号描述 |
| LAD[3:0] | I/O | I/O | 命令/数据/地址复用信号 |
| LFRAME# | I | O | 指示一个操作循环的开始 |
| LRESET# | I | I | 复位信号 |
| LCLK | I | I | 33MHz时钟 |

LPC总线可选信号列表

|  |  |  |  |
| --- | --- | --- | --- |
| 信号 | 外设 | Host 设备 | 信号描述 |
| LDRQ# | O | I | DMA master总线请求 |
| SERIRQ | I/O | I/O | 串行化中断信号 |
| CLKRUN# | OD | I/OD | Clock Run信号 |
| LPME# | OD | I/OD | 电源管理唤醒 |
| LPCPD# | I | O | Power Down |
| LSMI | OD | I | SMI 信号 |

**注: (1) OD 表示漏极开路; (2) 带#的信号线表示低电平有效；**

## 电气属性

上拉电阻的硬件要求。

|  |  |
| --- | --- |
| **Signal Name** | **Pull-Up** |
| LAD[3:0] | 15k - 100k ohm |
| LDRQ[1:0]# | 15k - 100k ohm |

## Memory, I/O and DMA Cycle

LPC总线支持多种总线Cycle，比如内存读、内存写、IO读、IO写、DMA读、DMA写等.一个Cycle通常按照如下的流程进行:

---主机Host有效FRAME#信号指示一个Cycle开始，并将相应的信息放在LAD[3:0]上.

---主机Host根据Cycle类型驱动相应的信息到LAD[3:0]上，比如DMA通道，访问地址等.同时Host也将Cycle的类型，读写的方向，传输数据大小等信息驱动到总线上。

---主机然后根据Cycle类型不同选择进行驱动数据或者是移交总线控制权.

---.外设获取总线后，将相应的数据驱动到LAD[3:0]上.表示该Cycle完成.

---外设释放总线控制权。至此该Cycle结束。

根据LPC信号线的不同组合及在整个Cycle中出现的位置，一个LPC总线Cycle可以划分为多个场/域(Field)，下面就分别对I0读写Cycle所涉及的Field进行简单说明。

### Start

这个场用于指示一个传输的开始或者结束。当FEAME#信号有效时所有的外设都要监视LAD[3:0]信号，并在FRAME#信号有效的最后一个时钟后进入START场。LAD[3:0]的值编码如下表。

|  |  |
| --- | --- |
| Bits[3:0] | 定义 |
| 0000 | 开始一个Cycle，用于外设Memory，IO，DMA操作 |
| 0001 | 保留 |
| 0010 | 相应 bus master0 |
| 0011 | 响应 Bus master1 |
| 0100-1100 | 保留 |
| 1101 | 开始Firmware Memory Read |
| 1110 | 开始Firmware Memory Write |
| 1111 | Stop/Abort 结束一个Cycle |

### Cycle Type / Direction (CyCTYPE + DIR)

该场由Host 驱动，对Cycle的传输类型（memory, IO, DMA）以及传输方向进行说明。LAD[0]在该场中被保留。作为外设应该忽略。可以得值见表。

|  |  |  |
| --- | --- | --- |
| Bit[3:2] | Bit[1] | 定义 |
| 00 | 0 | IO读 |
| 00 | 1 | IO写 |
| 01 | 0 | Memory 读 |
| 01 | 1 | Memory 写 |
| 10 | 0 | DMA 读 |
| 10 | 1 | DMA写 |
| 11 | X | 保留 |

### Size

该字段是一个时钟。 它在DMA传输中由主机驱动，在总线主存储器传输中由外设驱动，以确定要传输多少字节。 位[3：2]被保留，必须由驱动程序将其驱动为“ 00b”，并且必须被目标忽略。 其余位编码如下：

|  |  |
| --- | --- |
| Bit[1:0] | Size |
| 00 | 8 bit（1byte） |
| 01 | 16bit(2 bytes) |
| 10 | 保留 |
| 11 | 32bit(4 bytes) |

### Turn-Around (TAR)

TAR 场占用两个时钟宽度。Host驱动该场将总线控制权利移交给外部设备（进行数据读）；而外设驱动该场将总线控制权移交回来。

在第一个时钟相内，外设或Host驱动LAD[3:0]为1111b,在第二个时钟相内，外设或Host将LAD[3:0]置为高阻态。

### ADDR

这个场在进行IO操作时占用4个时钟，进行Memory操作时占用8个时钟，target 存取时由于Host 驱动，bus master 存取时由外设驱动。DMA操作不需要该场。当该场被驱动时，高位最先被驱动到总线上。比如，Memory操作时，第一个时钟包含了Address[31:28],最后一个时钟包含了Address[3:0]。

### Channel

这是一个时钟宽度的字段，由主机在DMA周期上驱动，以向外设指示已授予哪个DMA通道。 [2：0]位包含DMA通道号，[3]位包含基于ISA编码的TC（终端计数）线。 在目标或总线主控传输时，不会驱动该字段。

### DATA

该场占用两个时钟周期，用于传送一个字节数据。当数据流向外设时，该场由Host驱动;反之，当数据流向Host时，则该场由外设驱动。在传输过程的时候，低4位最先被驱动到总线上.具体的说，在第一个时钟，Data[3:0]被驰动，第二个时钟，Data[7:4]被驱动。

### SYNC

SYNC场用来加入等待状态。它占用时间为时钟周期的整数倍.在target或者DMA传输操作时，该场由外设驱动:在bus master操作时，由Host驱动。可能的组合见表

|  |  |
| --- | --- |
| Bits[3:0] | 定义 |
| 0000 | 准备 |
| 0001-0100 | 保留 |
| 0101 | 短等待 |
| 0110 | 长等待 |
| 0111-1000 | 保留 |
| 1001 | Ready More(DMA only) |
| 1010 | 错误 |
| 1011-1111 | 保留 |

当设备需要插入等待周期时，应先驱动为“0101"(短时等待)或者“0110"(长等待)，等到Ready状态来到时，设备或选择驱动为“0000"(准备好)，" 1010"(错误)或者“1001”(Ready More)。

### SYNC TimeOut

总线上通常可能发生一下几种潜在的错误:

1.当Host发起一个Cycle (Memory,IO,DMA)后，但是总线上没有设备驱动SYNC场，当Host检测到有3个连续的时钟内都没有响应时，就认为总线上没有外设响应此次Cycle操作.

Host驱动一个Cycle(Memory,IO,DMA )，一个设备驱动一个有效的SYNC场来插入等待(LAD[3:0]='0101b’或者’0110b')，但是却不完成该Cycle，这种情况在外设锁定的时候就发生了。在这种情况下，Host应采取以下措施以保护总线死锁：

·假如SYNC是，0101b'，那么最大SYNC时钟周期被假设为8。当Host检测到有多于8个时钟周期的SYNC场，那么Host将取消这个Cycle。

·假如SYNC是，0110b'，那么这里将没有最大SYNC长度的限制。外设必须设计有保护机制来完成这个Cycle。

当由于host来驱动SYNC时，因为延迟的原因，它可能不得不插入大量的等待周期，但外设不应该认为有time-out 发生。

### SYNC Error Indication

通过将LAD[3:0驱动为‘10l0b', SYNC协议允许外设报告一个错误。

假如Host从外设读取数据，数据仍将在下两个时钟内传输，这个数据可能是无效的，但外设仍将传输它。假如Host是写数据到外设中，那么该数据其实已经被传输了。

在多字节DMA传输中，一个错误SYNC将会终止这个Cycle。因此，如果Host正企图进行一个4字节的传输，但当在传输第一个字节时就出错了，那么剩下的3个字节将不会被传输。

在 Host接收到一个错误SYNC后，它可以有多种处理方式.对于ISA总线，它可以有效IOCHK#信号。

### LFRAME#

Host采用LFRAME#信号来开始一个Cycle，当一个abort或time-out出现时来终止一个Cycle，该信号也被外设用来决定什么时候监视总线。

这个信号通常是提醒设备LAD[3:0]线包含了Cycle开始或结束的有关信息，此时所有外设需要监视总线并决定该Cycle是否与自己有关。这样做的好外在于FRAME#信号可以使设备内部进入低功耗状态。假如一个外设没有被访问时，它就不需要监视总线，这样一来，设备就可以关闭内部时钟或者将状态机停下来。

当外设监测到FRAME#有效后，他们在下一个时钟立即停止驱动L.AD[3:0)信号线，并继续监视下一个总线信息。

### Start of Cycle

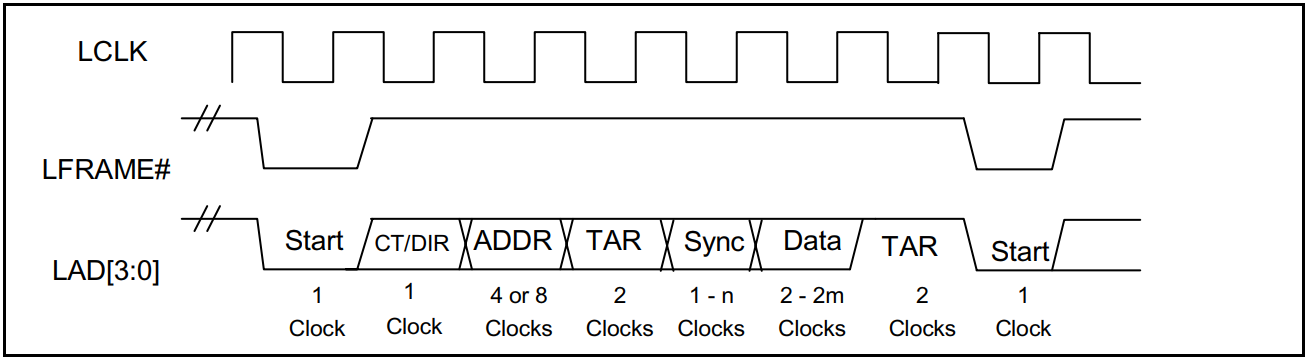
不同的Cycle都以相同的方式开始。

Host有效LFRAME#一个或多个时钟，并且驱动一个START值到LAD[3:0]信号线上。一旦发现LFRAME#信号有效后，所有的外设将停止驱动LAD[3:0],即使此时数据正在传输中。

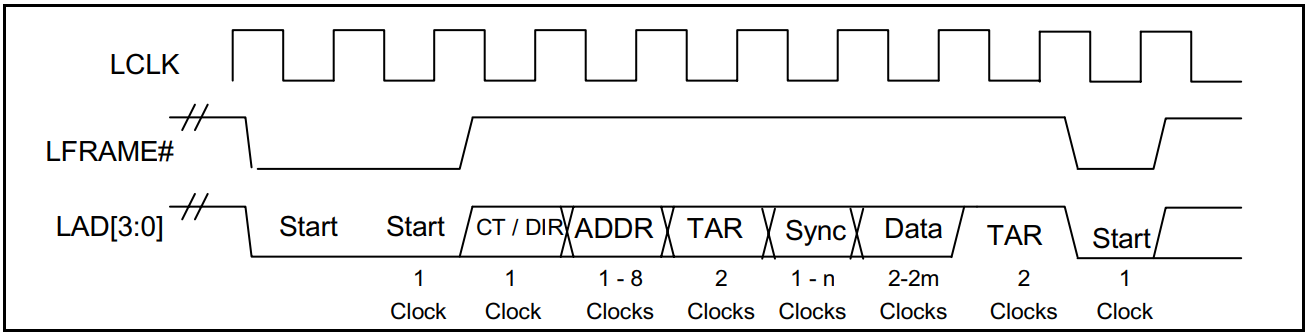
在Cycle的开始阶段，Host有可能保持FRAME#信号有效超一个时钟周期，START值也有可能发生变化。因此，外设必须总是使用最后一个值。比如，假如FRAME#有效两个时钟周期，那么外设应该忽略第一个时钟时的值而使用第二个时钟周期的值。

外设监视LAD[3:0]值并在LFRAME#有效时得到相应的START值，假如外设支持些种类型的Cycle，它应该试图解析Cycle余下的部分。假如不支持这个特定的类型，它将忽略Cycle余下的部分，直到FRAME#再次有效。

当最后一个START值被驱动后，Host就准备开始一个Cycle，并无效FRAME#信号。外设则根据START值开始进入工作状态。



典型的FRAME#时序

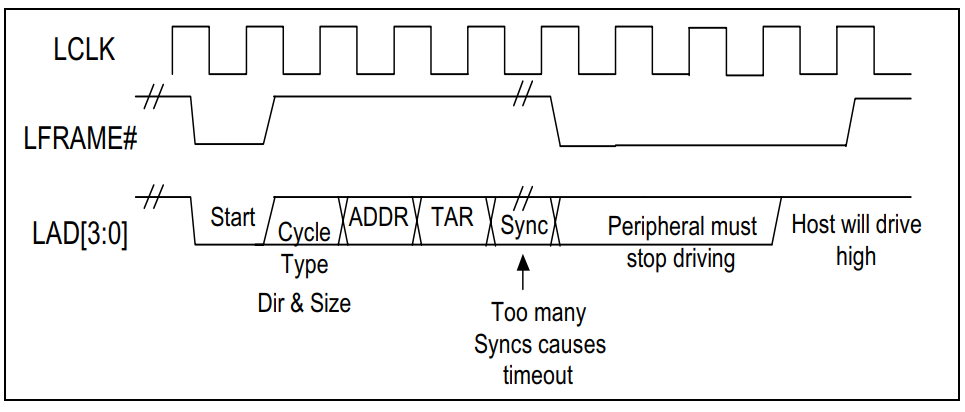


拓展的FRAME#时序

### Abort机制

FRAME#信号用来将一个外设kick出总线接口.Host驱动LFRAME#信号并驱动一个START值，’1111b’来产生一个Abort。因为有效LFRAME#通常表示一个Cycle的开始，所以即使当一个外设正在进行一个Cycle时，它必须认为Host正在取消当前的Cycle并且立刻停止驱动LAD[3:0]信号。为了确保一个Abort被正确识别，Host需要保持LFRAME#有效至少4个连续的时钟周期并且在第4个时钟内将LAD[3:0]驱动为’1111b'. Abort完成后，LFRAME#应被驱动为无效至少一个时钟周期。

Abort 通常发生在SYNC超时，Cycle 无响应或者一个设备驱动一个保留SYNC字的情况下。Abort被用来结束当前的Cycle以保证所有的设备进入下一个Cycle的准备状态。Abort也可以用来当作软件复位来使用。在使用长等待SYNC并不建议使用Abort机制。



Abort 机制

### 内存读写位域定义

在这些情况下，内存读取或写入周期用于内存映射的设备。 同步时间将取决于设备的速度。

|  |  |  |
| --- | --- | --- |
| **Field** | **# Clocks** | **Comment** |
| START | 1 | **Start of Cycle:** ‘0000b’ to indicate a start of a cycle. |
| CYCTYPE + DIR | 1 | **Cycle Type:** Indicates the type of cycle.Bits 3:2 must be ‘01b’ for memory cycle.Bit 1 indicates the direction of the transfer: ‘0b’ for read, ‘1b’ for write.Bit 0 is reserved. |
| ADDR | 8 | **Address Phase for Memory Cycle:** This is the 32-bit memory address.It is transferred with the most significant nibble first. |
| TAR | 2 | **Turn-Around Time:** The last component driving LAD[3:0] will drive it to “1111b” during the first clock, and tri-state it during the second clock. |
| SYNC | N | **Sync:** Allows peripheral or host to synchronize (add wait-states). Generally, the peripheral or host drives 0101 or 0110 until no more wait states are needed.At that point it will drive 0000.All other combinations are reserved.If the host sees a reserved combination, it is allowed to abortthe transfer. |
|  |  | |  |  | | --- | --- | | **Bits** | **Indication** | | 0000 | Sync Achieved with no error. | | 0101 | Indicates that Sync not Achieved yet, but the part is driving the bus. | | 0110 | Indicates that Sync not Achieved yet, but the part is driving the bus, and expects a long Sync. | | 1010 | Special Case: peripheral indicating errors.See Section 4.2.1.10 for details. | |
| Data | 2(1 byte) | **Data Phase:** The data byte is transferred least significant nibble first (D[3:0] on LAD[3:0], then D[7:4] on LAD[3:0]). |

### 主机启动内存读

|  |  |  |
| --- | --- | --- |
| **Memory Read** | **Driven By** | **Clocks** |
| START | Host | 1 |
| CYCTYPE + DIR | Host | 1 |
| ADDR | Host | 8 |
| TAR | Host | 2 |
| SYNC | Peripheral | 5 |
| DATA | Peripheral | 2 |
| TAR | Peripheral | 2 |
| **Total Clocks** |  | **21** |

在以上示例中，选择了5个时钟的SYNC值来读取第一个字节。 该值基于对EPROM等存储组件的已知访问时间，典型访问时间为120ns。

### 主机启动内存写

|  |  |  |
| --- | --- | --- |
| **Memory Read** | **Driven By** | **Clocks** |
| START | Host | 1 |
| CYCTYPE + DIR | Host | 1 |
| ADDR | Host | 8 |
| DATA | Host | 2 |
| TAR | Host | 5 |
| SYNC | Peripheral | 2 |
| TAR | Peripheral | 2 |
| **Total Clocks** |  | **17** |

在上面的示例中，假定外围设备不需要等待状态，因为存储设备将数据发布。 因此，只需准备就绪同步指示器

### IO读写域定义

在这些情况下，I / O读或写周期用于外设。 这些通常用于寄存器或FIFO访问，并且通常具有最小的同步时间。 字节之间的最小等待状态数为1。增强的并行端口周期将取决于连接器的速度。

|  |  |  |
| --- | --- | --- |
| START | 1 | **Start of Cycle:** ‘0000b’ to indicate a start of a cycle. |
| CYCTYPE +DIR | 1 | **Cycle Type:** Indicates the type of cycle.Bits 3:2 must be ‘00b’ for I/O cycle.Bit 1 indicates the direction of the transfer: ‘0b’ for read, ‘1b’ for write.Bit 0 is reserved and must be ignored by the peripheral. |
| ADDR | 4 | **Address Phase for I/O Cycle:** 16 bit I/O address transferred with the most significant nibble first. |
| TAR | 2 | **Turn-Around Time:** The last component driving LAD[3:0] will drive it to ‘1111b’ during the first clock, and tri-state it during the second clock. |
| Sync | N | **Synchronize:** Allows peripheral add wait-states.The peripheral drives ‘0101b’ or ‘0110b’ until no more wait-states are needed.At that point it will drive ‘0000b’.All other combinations are reserved. |
|  |  | |  |  | | --- | --- | | **Bits** | **Indication** | | 0000 | Sync Achieved with no error. | | 0101 | Indicates that Sync not Achieved yet, but the part is driving the bus. | | 0110 | Indicates that Sync not achieved yet, but the part is driving the bus, and expects a long Sync (probably due to EPP cycle). | | 1010 | Special Case: peripheral indicating errors.See Section 4.2.1.10for details. | |
| Data | 2 (1 byte) | **Data Phase:** The data byte is transferred with the least significant nibble first: (Data[3:0] on LAD[3:0], then Data[7:4] on LAD[3:0] ). |

### 主机启动IO读操作

|  |  |  |
| --- | --- | --- |
| **Memory Read** | **Driven By** | **Clocks** |
| START | Host | 1 |
| CYCTYPE + DIR | Host | 1 |
| ADDR | Host | 4 |
| TAR | Host | 2 |
| SYNC | Peripheral | 1 |
| DATA | Peripheral | 2 |
| TAR | Peripheral | 2 |
| **Total Clocks** |  | **13** |

在以上示例中，假定外设没有传递读取数据所需的等待状态，因为它很可能是从内部FIFO中拉出的。

### 主机启动IO写操作

|  |  |  |
| --- | --- | --- |
| **Memory Read** | **Driven By** | **Clocks** |
| START | Host | 1 |
| CYCTYPE + DIR | Host | 1 |
| ADDR | Host | 4 |
| DATA | Host | 2 |
| TAR | Host | 2 |
| SYNC | Peripheral | 1 |
| TAR | Peripheral | 2 |
| **Total Clocks** |  | **13** |

在以上示例中，假定外围设备上不需要等待状态。因此，所必要的是就绪同步指示器。

## Firmware Memory Cycle

本节介绍了用于系统BIOS固件的内存周期类型。

### start

该一个时钟字段指示一个周期的开始。 在最后一个时钟上LFRAME＃被采样为低电平有效。 下表中显示了用于循环的两个开始字段。

|  |  |
| --- | --- |
| AD[3:0] | 描述 |
| 1101 | Fireware memory Read |
| 1110 | Fireware memory Write |

### IDSEL (Device Select)

该一个时钟字段用于指示正在选择多个固件组件中的哪个。 将在此时钟期间通过AD [3：0]传输的四个位与绑定到固件组件引脚上的值进行比较。 如果存在匹配项，则固件组件将继续对cycle进行解码，以确定读取时请求了哪些字节或写入时要更新哪些字节。 如果不匹配，则固件组件可能会丢弃剩余的周期并进入待机电源状态。

### MADDR (Memory Address)

这是一个7时钟字段，提供28位存储器地址。 每个存储设备最多可容纳256MB，总共4GB的可寻址空间,先传高位。

### MSIZE (Memory Size)

下表中显示了此字段的编码。所有支持固件存储周期的设备都需要单字节传输。 多字节传输是可选的，主机和设备都需要一种机制来通知软件可用的支持（即功能寄存器位）。 注意，此机制的定义超出了本规范的范围。对于多字节写入，FLASH存储设备可能需要增加的编程电压（Vpp）才能执行4字节存储写入。如果没有更高的编程电压，但外设需要支持更高的编程电压以支持4字节存储器写，则应使用1或2字节存储器写。

|  |  |  |
| --- | --- | --- |
| Bits | Direction | Size of Transfer |
| 0000 | R/W | 1 byte |
| 0001 | R/W | 2bytes(可选)，访问必须与WORD边界对齐 |
| 0010 | R/W | 4bytes(可选)，访问必须与WORD边界对齐 |
| 0011 |  | Reserved |
| 0100 | R | 16 bytes,访问必须与16 bytes边界对齐 |
| 0101-0110 |  | Reserved |
| 0111 | R | 128 bytes,访问必须与128 bytes边界对齐 |
| 1000-1111 |  | reserved |

### TAR

TAR 场占用两个时钟宽度。Host驱动该场将总线控制权利移交给外部设备（进行数据读）；而外设驱动该场将总线控制权移交回来。

在第一个时钟相内，外设或Host驱动LAD[3:0]为1111b,在第二个时钟相内，外设或Host将LAD[3:0]置为高阻态。

与2.3.4描述一致。

### SYNC

SYNC场用来加入等待状态。它占用时间为时钟周期的整数倍.在target或者DMA传输操作时，该场由外设驱动:在bus master操作时，由Host驱动。可能的组合见表

|  |  |
| --- | --- |
| Bits[3:0] | 定义 |
| 0000 | 准备 |
| 0001-0100 | 保留 |
| 0101 | 短等待 |
| 0110 | 长等待 |
| 0111-1000 | 保留 |
| 1001 | Ready More(DMA only) |
| 1010 | 错误 |
| 1011-1111 | 保留 |

当设备需要插入等待周期时，应先驱动为“0101"(短时等待)或者“0110"(长等待)，等到Ready状态来到时，设备或选择驱动为“0000"(准备好)，" 1010"(错误)或者“1001”(Ready More)。

与2.3.8描述一致。

### DATA

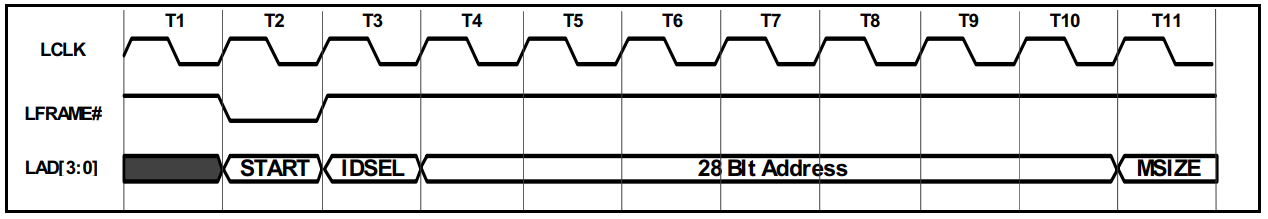
该字段为（2 \* N）个时钟宽度，表示由MSIZE字段确定的“ N”个数据字节的传输。 当数据流向外设时，主机在固件存储周期中驱动它（写周期），当数据流向主机时，则由外设驱动它（读周期）。每个字节的数据低位在前。这意味着对于每个字节，在第一个时钟上驱动Data [3：0]，在第二个时钟上驱动Data [7：4]。 这也意味着每个后续数据字节的地址通过传输顺序递增。

### Protocol

固件存储周期使用一系列事件，这些事件以START字段（LFRAME＃处于活动状态，并带有适当的AD [3：0]组合）开始，并以数据传输结束。

### Preamble

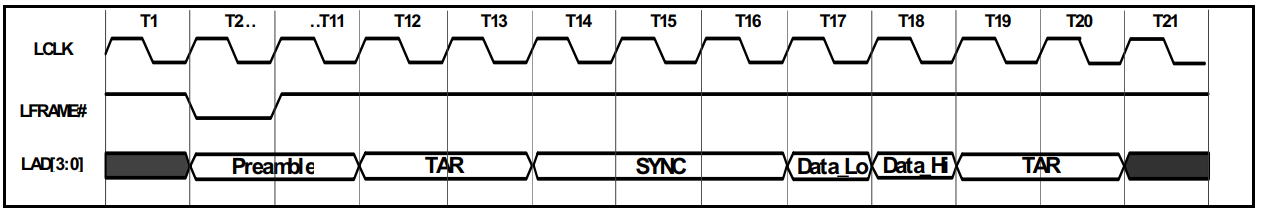
固件存储器周期的初始化如下图所示。固件存储器事务以LFRAME＃变低并在AD [3：0]上驱动START字段开始。 对于固件内存读取周期，START字段必须为“1101b”；对于固件内存写周期，START字段必须为“1110b”。在START字段之后是IDSEL字段。该字段就像片选一样，它指示哪个设备应响应当前事务。接下来的七个时钟是28位地址，从该地址开始在所选器件中进行读取。接下来，MSIZE值指示要传输的字节数。



Firmware Memory Cycle Preamble

### Firmware Memory Read Cycle

对于读取周期在Preamble之后，主机驱动TAR字段以将总线所有权授予固件组件。 在TAR阶段的第二个时钟之后，目标设备采用总线并开始驱动SYNC值。当目标设备准备就绪时，它将驱动数据（首先是最低有效字节），直到传输完所有数据，然后再进行TAR循环，以将控制权交还给主机。

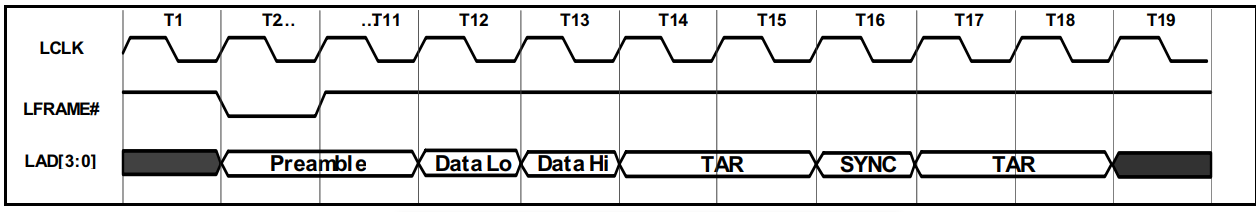


Firmware Memory Cycle Single Byte Read

上图显示了一个设备传输1字节数据并需要3个SYNC时钟来访问数据的过程，因为访问时间可以在地址阶段完成后开始，因此TAR阶段的两个时钟可以被视为设备访问时间的一部分。例如，访问时间为120ns的设备可以为SYNC阶段的时钟1和2设置“0101b”，为SYNC阶段的最后一个时钟设置“ 0000b”。 如果设备在Preamble阶段结束时开始访问，则相当于5个时钟的访问时间。一旦实现了SYNC，设备便会在随后的两个时钟中返回数据，并通过TAR阶段将总线所有权返还给主机。对于多字节读取，附加数据字节以紧接第一个字节之后的顺序传输（即在上图中的时间T18和T19之间），然后是TAR阶段。

### Firmware Memory Write Cycles

对于读取周期在Preamble之后，所有支持固件内存写周期的设备都必须支持单字节写操作。 进一步支持多字节固件存储器写周期是可选的。



Firmware Memory Cycle Single Byte Write

上图显示了一个固件存储器写周期，其中传输了一个字节。 主机将MSIZE值声明为0。在地址传输之后，2时钟数据阶段开始。在数据阶段之后，总线所有权通过TAR周期转移到固件组件。在TAR阶段之后，设备必须声明SYNC值“ 0000b”（就绪）或“ 1010b”（错误），以指示是否已接收到数据。有关可能的错误的说明，下部分有说明错误码。 然后，在另一个TAR阶段将总线所有权交还给主机。 对于多字节写入，附加数据字节紧接在第一个字节之后（即在上图中的时间T13和T14之间）以顺序方式传输，然后是第一个TAR阶段。

固件存储器写入仅允许一个时钟进入SYNC阶段。 固件存储器写周期结束时的TAR + SYNC + TAR阶段必须恰好是5个时钟。

### Error Reporting

固件组件不得通过LPC接口报告错误情况。 它只能报告等待状态和“就绪”状态。 它可以选择在内部记录要调试的错误，但一定不能通过LPC接口本身发出错误信号

### 固件存储器字段定义

固件存储器的读或写周期旨在用于PC系统引导固件，尽管它们可用于任何存储器周期。 同步时间将取决于设备的速度。

ADDR字段为28位，并以最高有效半字节优先发送。 尽管支持完整的28位寻址，但是存储设备可能支持的位数远少于此。

|  |  |  |
| --- | --- | --- |
| **Field** | **# Clocks** | **Comment** |
| START | 1 | **Start of Cycle:** ‘1101b’ to indicate a start of a firmware memory read cycle or ‘1110b’ to indicate start of a firmware memory write cycle. |
| IDSEL | 1 | **ID Select:** Selects the targeted firmware component based on device pin straps. |
| ADDR | 7 | **Address Phase for Firmware Memory Cycle:** This is the 28-bit memory address.It is transferred with the most significant nibble first.The device selected by IDSEL field uses this to address its internal memory array. |
| MSIZE | 1 | **Memory Size:** Indicates the number of bytes (N) to be transferred.See Table 4 above. |
| TAR | 2 | **Turn-Around Time:** The last component driving LAD[3:0] will drive it to “1111b” during the first clock, and tri-state it during the second clock. |
| SYNC | N | **Sync:** Allows peripheral or host to synchronize (add wait-states). Generally, the peripheral or host drives 0101 or 0110 until no more wait states are needed.At that point it will drive 0000.All other combinations reserved.If the host sees a reserved combination, it is allowed to abort the transfer. |
|  |  | |  |  | | --- | --- | | **Bits** | **Indication** | | 0000 | Sync Achieved with no error. | | 0101 | Indicates that Sync not Achieved yet, but the part is drivingthe bus | | 0110 | Indicates that Sync not Achieved yet, but the part is drivingthe bus, and expects a long Sync. | |
| Data | 2 \* N (N bytes) | **Data Phase:** The data byte is transferred least significant nibble first (D[3:0] on LAD[3:0], then D[7:4] on LAD[3:0]), and so on. |

### 主机启动固件存储器读操作

|  |  |  |
| --- | --- | --- |
| **Single Byte Memory Read** | **Driven By** | **Clocks** |
| START | Host | 1 |
| IDSEL | Host | 1 |
| ADDR | Host | 7 |
| MSIZE | Host | 1 |
| TAR | Host | 2 |
| SYNC | Peripheral | 3 |
| DATA | Peripheral | 2 |
| TAR | Peripheral | 2 |
| **Total Clocks** |  | **19** |

|  |  |  |
| --- | --- | --- |
| **128 Byte Memory Read** | **Driven By** | **Clocks** |
| START | Host | 1 |
| IDSEL | Host | 1 |
| ADDR | Host | 7 |
| MSIZE | Host | 1 |
| TAR | Host | 2 |
| SYNC | Peripheral | 3 |
| DATA | Peripheral | 256 |
| TAR | Peripheral | 2 |
| **Total Clocks** |  | **273** |

在上面的示例中，选择了3个时钟的SYNC值来读取第一个字节。

|  |  |  |
| --- | --- | --- |
| **4 Byte Memory Write** | **Driven By** | **Clocks** |
| START | Host | 1 |
| IDSEL | Host | 1 |
| ADDR | Host | 7 |
| MSIZE | Host | 1 |
| DATA | Host | 8 |
| TAR | Host | 2 |
| SYNC | Peripheral | 1 |
| TAR | Peripheral | 2 |
| **Total Clocks** |  | **23** |

### 主机启动固件存储器写操作

|  |  |  |
| --- | --- | --- |
| **Single Byte Memory Write** | **Driven By** | **Clocks** |
| START | Host | 1 |
| IDSEL | Host | 1 |
| ADDR | Host | 7 |
| MSIZE | Host | 1 |
| DATA | Host | 2 |
| TAR | Host | 2 |
| SYNC | Peripheral | 1 |
| TAR | Peripheral | 2 |
| **Total Clocks** |  | **17** |

在以上示例中，假定外围设备上不需要等待状态，因为存储设备将数据发布。 因此，所有必要的是就绪同步指示器。

## DMA

在LPC总线上，允许有8个DMA通道。

### DMA数据请求

LPC上的DMA通过使用来自外设的LDRQ＃线和来自主机的LAD [3：0]上的特殊编码来处理。 LPC接口支持Single, Demand, Verify, and Increment模式。 不支持Block, decrement, and cascade modes模式。 通道的0 -3是8位通道。 频道的5 -7是16位频道。 通道4被保留为通用总线主控器请求.

LPC接口上支持一种新的32位传输模式，该模式可用于根据每个请求从8位或16位通道传输多个字节，以提高吞吐量。

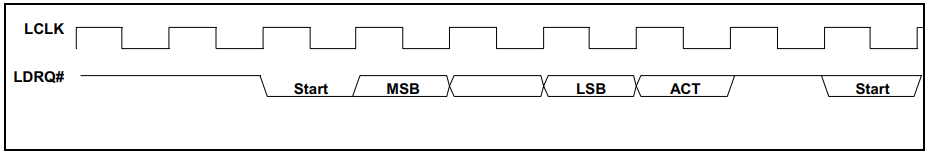
LDRQ＃与LCLK同步。其中LDRQ 接的上拉电阻，所以空闲状态为高电平，外设使用以下串行编码序列：

•通过将LDRQ＃置为低电平（起始位）来启动序列。 在空闲条件下，LDRQ＃为高。

•接下来的3位包含编码的DMA通道号（MSB在前）。

•下一位（ACT）指示对指示的DMA通道的请求是有效还是无效。 ACT位将为1（高）以指示它是否处于活动状态，而为0（低）以指示其是否处于活动状态。 ACT低的情况很少见，仅用于指示该信道的先前请求已被放弃。 有关放弃DMA请求的原因，请参见第6.3节。

•在启用/禁用指示之后，LDRQ＃信号必须至少在1个时钟周期内变为高电平。 在一个时钟之后，可以将LDRQ＃信号拉低到下一个编码序列。



DMA Request Assertion through LDRQ#

### 取消DMA请求

可以通过两种方式取消激活DMA请求：在错误情况下，通过将“ ACT”位设置为“ 0”来发送LDRQ＃消息，或者通常在DMA传输期间通过SYNC字段。

### DMA 传输定义

基本DMA传输的一般流程如下：

1.主机通过声明LFRAME＃在LAD [3：0]上声明“ 0000b”来开始传输。

2.Host根据DMA传输方向声明DMA的“周期类型”。

3.主机声明频道号，如果适用，还声明终端数。

4.主机指示传输的大小：8位，16位或32位。

5，如果DMA读取：

•主机驱动数据的前8位并调转总线。

•外设使用有效的SYNC确认数据。

•如果进行16位传输，则对接下来的8位重复该过程。

•如果是32位传输，则每8位数据重复该过程两次。

6，如果是DMA写：

•主机扭转总线并等待数据。

•外设通过SYNC指示数据准备就绪，并传输第一个字节。

•如果进行16位传输，则外设指示数据就绪并传输下一个字节。

•如果是32位传输，则外设再重复SYNC +数据传输两次。

7.外围设备绕过总线。

上述DMA传输中使用的字段显示为：

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| START | 1 | | **Start of Cycle:** ‘0000b’ for DMA.The start condition is the last clock ofLFRAME# active. | | | | |
| CYCTYPE +DIR | 1 | | **Cycle Type:** Bits [3:2] are ‘10b’ to indicate DMA.Bit 2 indicates the transfer direction: ‘0’ for DMA read (host to peripheral), and ‘1’ for DMA write (peripheral to host).Bit 0 is reserved and must be ignored by the peripheral. | | | | |
| SIZE | 1 | | **Size of Transfer:** Bits [3:2] are reserved and must be ignored by the peripheral. | | | | |
|  | | | LAD[1:0] | | Transfer size | | |
| **00** | | **8 bit** | | |
| **01** | | **16 bit** | | |
| **10** | | **Reserved** | | |
| **11** | | **32 bit** | | |
| 32 bit transfers are optional.If the host drives a size field of ‘10b’, the peripheral must ignore the transfer. | | | | |
| TAR | | 1 | Channel #: Used only for DMA cycles to indicate channel # being granted.The LAD[2:0] bits indicate the channel number being granted, and LAD[3] indicates the TC bit. See Section 6.4.1 for a description of terminal count.The encoding on LAD[2:0] for channel number is as follows: | | | | |
|  | | | Bits | Indication | Bits | | Indication |
| 000 | Channel 0 | 100 | | Channel 4 |
| 001 | Channel 1 | 101 | | Channel 5 |
| 010 | Channel 2 | 110 | | Channel 6 |
| 011 | Channel 3 | 111 | | Channel 7 |
| If a peripheral sees an encoding for a DMA channel that it did not request, or an encoding for channel 4, it must ignore the cycle | | | | |
| SYNC | | 1 - N | Sync: Allows peripheral or host to synchronize (add wait-states).Generally,the peripheral or host drives ‘0101b’ or ‘0110b’ until no more wait-states areneeded.At that point it will drive ‘0000b’.All other combinations arereserved | | | | |
|  | | | Bits | | | Indication | |
| 0000 | | | Sync achieved with no error.Also indicates no more transfers desired for that channel, and DMA request is de-asserted. | |
| 0101 | | | Part indicating wait states. | |
| 0110 | | | Part indicating wait states, and many wait states will be added. | |
| 1010 | | | Sync achieved with error.Also indicates no more transfers desired for that channel, and DMA request is de-asserted. | |
| 1001 | | | Sync achieved with no error and more DMA transfers desired to continue after this transfer. | |
| If the host sees a SYNC value that is not one of the above combinations, it is allowed to abort the transfer. | | | | |
| DATA | | 1, 2, 4 bytes | Data Phase: Data bytes transferred with the least significant nibble first (D[3:0] on LAD[3:0], then D[7:4] on LAD[3:0]).For transfers greater than 1 byte, the bytes are sent with least significant byte first. | | | | |

### Terminal Count

终端计数通过LAD [3]在与DMA通道在LAD [2：0]上进行通信的同一时钟上进行通信。 此字段是“频道”字段。 终端计数根据传输的大小指示传输的最后一个字节。

### 取消传输

传输结束消息通过外设发送的特殊SYNC字段传送到主机。 LPC设备禁止通过取消置位LDRQ＃来尝试表示传输结束。

DMA代理在要传输的每个数据字节上使用SYNC编码，它向主机指示这是传输的最后一个字节还是请求更多的字节。 为了指示传输的最后一个字节，外设使用SYNC值“ 0000b”（就绪）或“ 1010b”（错误）。 这些编码告诉主机这是在DMA读取（主机到外围设备）上传输的最后一段数据，或者后面的字节是在DMA写入（外围设备到主机）上传输的最后一段数据。

当主机看到这两种编码中的一种时，它将在该字节之后结束DMA传输，并将DMA请求置为无效。 因此，如果主机指示16位传输，则外设可以通过将SYNC值指示为“ 0000b”或“ 1010b”来结束一个字节的传输。 主机将不会尝试传输第二个字节，并将在内部取消声明DMA请求。 对于32位传输中的任何字节也是如此。 因此，这使外设可以终止DMA传输。

如果外设希望保持DMA请求处于活动状态，则它使用SYNC值“ 1001b”（就绪以及更多数据）。这告诉8237控制器，在传输了当前字节之后，将请求更多数据字节，因此主机会将DMA请求保持对8237控制器的激活状态。 因此，在8位传输大小上，如果外设向主机指示SYNC值为“ 1001b”，则数据将被传输，并且DMA请求将对8237控制器保持有效。 稍后，主机将返回另一个START –>CYCTYPE-> CHANNEL-> SIZE等组合，以发起另一次到外围设备的传输。

### SYNC field / LDRQ# Rules

由于LPC上的DMA传输是通过LDRQ＃断言消息请求的，并且在DMA传输过程中通过SYNC字段结束，因此外设在从DMA通道启动背对背传输时必须遵循以下规则。

### DMA读操作

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **DMA Read** | **Driven By** | **8 Bit** | **16 Bit** | **32 Bit** |
| START | Host | 1 | 1 | 1 |
| CYCTYPE + DIR | Host | 1 | 1 | 1 |
| CHANNEL | Host | 1 | 1 | 1 |
| SIZE | Host | 1 | 1 | 1 |
| DATA | Host | 2 | 4 | 8 |
| TAR | Host | 2 | 4 | 8 |
| SYNC | Peripheral | 1 | 2 | 4 |
| TAR | Peripheral | 2 | 4 | 8 |
| **Total Clocks** | | **11** | **18** | **32** |

在上面的示例中，假定当主机将数据传输到外围设备时，它已准备好立即接收数据，而不必添加等待状态。 每个字节都有一个SYNC-> TAR。 该图未显示主机从主内存中获取数据的额外延迟。因此，有效带宽将小于所显示的带宽，并减少一个由总体系统延迟确定的因素。

### DMA写操作

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **DMA Read** | **Driven By** | **8 Bit** | **16 Bit** | **32 Bit** |
| START | Host | 1 | 1 | 1 |
| CYCTYPE + DIR | Host | 1 | 1 | 1 |
| CHANNEL | Host | 1 | 1 | 1 |
| SIZE | Host | 1 | 1 | 1 |
| TAR | Host | 2 | 2 | 2 |
| SYNC | Peripheral | 1 | 2 | 4 |
| DATA | Peripheral | 2 | 4 | 8 |
| TAR | Peripheral | 2 | 2 | 2 |
| **Total Clocks** | | **11** | **14** | **20** |

在上面的示例中，假定外围设备具有执行传输所需的所有数据，因此不需要添加等待状态。 此外，DMA写操作假定主机有足够的空间来容纳请求的数据，否则主机将不会断言传输要开始的宽度。例如，如果只有空间进行16位传输，则不会要求进行32位传输。

因此，外设无需在每个字节之间切换总线，而无需查看主机是否可以接受更多的传输。 这样可以在16位和32位传输时显着增加整体带宽。

### 关于16和32位DMA的其他说明

在默认操作下，主机将仅在8位通道上执行8位传输，而在16位通道上执行16位传输。为了在8位通道上启用16位和32位传输，并在16位通道上启用32位传输，外设必须与系统BIOS通信，以允许更大的传输大小。如果主机具有此功能，则BIOS将对主机进行编程以尝试更大的传输大小。

如果主机可以执行更大的传输大小，则它将在所有情况下尝试执行以下操作：

•对于8位通道（0-3），如果缓冲区不是在32位边界上启动，则主机将执行8位传输（1、2或3次），直到达到32位边界。届时它将开始尝试32位传输。这是为了使其内部缓冲区与32位内存对齐。

•对于16位通道（5-7），如果缓冲区不是在32位边界上启动的，则主机将执行16位传输，然后继续进行32位传输。

•对于8位通道（0-3），如果在终端计数之前剩余一个字节，则主机将不会尝试16位传输。相反，它将执行8位传输。

•对于8位通道（0-3），如果在终端计数之前剩余三个字节，则主机将不会尝试执行32位传输。相反，它将执行三个8位传输。这些8位传输中的最后一个将设置TC。

•对于16位通道（5-7），如果在达到终端计数之前仅剩下两个字节，则主机将不会尝试执行32位传输。相反，它将使用TC设置执行一次16位传输

## Bus Master Protocol

LPC主机和外围设备均可选，但强烈建议主机使用

总线主控器访问通过LDRQ＃信号线“ 100b”上的保留编码来执行。 通过使用这种保留的编码，外围设备可以创建任意数量的总线主控，而不仅限于系统中DMA通道的数量。

### 周期格式和时间

总线主站START字段与总线主站0（'0010b'）或总线主站1（'0011b'）相关联。 目前，LPC接口上仅支持两个总线主控。 发送此字段后，主机执行TAR将控制权转移到外围设备。

### Bus Master Cycle 字段定义

|  |  |  |  |
| --- | --- | --- | --- |
| **Field** | **# Clocks** | **Comment** | |
| START | 1 | **Start of Cycle:** ‘0010b’ or ‘0011b’ to indicate a start of a cycle for one of the two supported bus masters. | |
| CYCTYPE + DIR | 1 | **Cycle Type:** Indicates the type of cycle.Bits (3:2) must be ‘01b’ for memory cycle or ‘00b’ for I/O cycle.Bit 1 indicates the direction of the transfer: ‘0b’ for read, ‘1b’ for write.Bit 0 is reserved and must be ignored. | |
| SIZE | 1 | **Size of Transfer:** Indicates the size of the transfer.Bits (3:2) are reserved and must be ignored by the host. | |
|  | | LAD[1:0] | Transfer size |
| 00 | 8 bit |
| 01 | 16 bit |
| 10 | Reserved |
| 11 | 32 bit |
| TAR | 2 | Turn-Around Time: The last component driving LAD[3:0] will drive it to‘1111b’ during the first clock, and tri-state it during the second clock. | |
| ADDR | 4 OR 8 | Address Phase for I/O or Memory Cycle: This is either the 16- bit I/O address or the 32-bit memory address.It is transferred with the most significant nibble first.Note that the address must be aligned to the size of the data transfer.Example: | |
|  | | Transfer Size | Address[1:0] |
| 8 ibt | XX (all combinations allowed) |
| 16 bit | x0 (bit 0 must be 0) |
| 32 bit | 00 (bits 1 and 0 must be 0 |
| The examples above state that a 16-bit transfer must be 16-bit aligned, and a 32-bit transfer must be 32 bit aligned | |
| SYNC | N | Sync: Allows host to add wait-states.The host drives ‘0110b’until no more wait-states are needed.At that point it will drive‘0000b’.All other combinations reserved. | |
|  | | Bits | Inducation |
| 0000 | Sync Achieved with no error. |
| 0110 | Indicates that Sync not Achieved yet, but the host is driving the bus, and expects a long Sync. |
| 1010 | Special Case: peripheral indicating errors. |
| DATA | 1,2, or 4 bytes | Data Phase: Data bytes transferred with the least significant nibble first (D[3:0] on LAD[3:0], then D[7:4] on LAD[3:0]).For transfers greater than 1 byte, the bytes are sent with the least significant byte first. | |

### 外设启动内存读操作

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Memory Read Cycle** | **Driven By** | **8 Bit** | **16 Bit** | **32 Bit** |
| START | Host | 1 | 1 | 1 |
| TAR | Host | 2 | 2 | 2 |
| CYCTYPE + DIR | Peripheral | 1 | 1 | 1 |
| ADDR | Peripheral | 8 | 8 | 8 |
| SIZE | Peripheral | 1 | 1 | 1 |
| TAR | Peripheral | 2 | 2 | 2 |
| SYNC | Host | 6 | 6 | 6 |
| DATA | Host | 2 | 4 | 8 |
| TAR | Host | 2 | 2 | 2 |
| **Total Clocks** |  | **25** | **27** | **31** |

在上面的示例中，选择了6个时钟作为主机启动的等待状态。 该假设基于合理的时间，以将地址传送到PCI总线并接收读取响应。 在负载较重的系统中，此长度可能会更长，并且肯定不会缩短。

### 外设启动内存写操作

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Memory Write Cycle** | **Driven By** | **8 Bit** | **16 Bit** | **32 Bit** |
| START | Host | 1 | 1 | 1 |
| TAR | Host | 2 | 2 | 2 |
| CYCTYPE + DIR | Peripheral | 1 | 1 | 1 |
| ADDR | Peripheral | 8 | 8 | 8 |
| SIZE | Peripheral | 1 | 1 | 1 |
| DATA | Peripheral | 2 | 4 | 8 |
| TAR | Peripheral | 2 | 2 | 2 |
| SYNC | Host | 6 | 6 | 6 |
| TAR | Host | 2 | 2 | 2 |
| **Total Clocks** |  | **25** | **27** | **31** |

### 外设启动IO读操作

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **I/O Read Cycle** | **Driven By** | **8 Bit** | **16 Bit** | **32 Bit** |
| START | Host | 1 | 1 | 1 |
| TAR | Host | 2 | 2 | 2 |
| CYCTYPE + DIR | Peripheral | 1 | 1 | 1 |
| ADDR | Peripheral | 4 | 4 | 4 |
| SIZE | Peripheral | 1 | 1 | 1 |
| TAR | Peripheral | 2 | 2 | 2 |
| SYNC | Host | 6 | 6 | 6 |
| DATA | Host | 2 | 4 | 8 |
| TAR | Host | 2 | 2 | 2 |
| **Total Clocks** |  | **21** | **23** | **27** |

### 外设启动IO写操作

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **I/O Write Cycle** | **Driven By** | **8 Bit** | **16 Bit** | **32 Bit** |
| START | Host | 1 | 1 | 1 |
| TAR | Host | 2 | 2 | 2 |
| CYCTYPE + DIR | Peripheral | 1 | 1 | 1 |
| ADDR | Peripheral | 4 | 4 | 4 |
| SIZE | Peripheral | 1 | 1 | 1 |
| DATA | Peripheral | 2 | 4 | 8 |
| TAR | Peripheral | 2 | 2 | 2 |
| SYNC | Host | 6 | 6 | 6 |
| TAR | Host | 2 | 2 | 2 |
| **Total Clocks** |  | **21** | **23** | **27** |

### Request Assertion Rules(请求断言规则)

声明总线主控器请求时，外设使用LDRQ＃线并发送编码为“ 100b”。 发送此消息后，除非外设获得总线主控器请求，否则LDRQ＃禁止声明另一个LDRQ＃消息“ 100b”。 它可能仍会发送有关DMA通道的消息。

授予总线主控通道后，它可以发送另一个LDRQ＃消息。 在驱动“ CYCTYPE + DIR”字段后，它仍然可以在LCLK上发送另一条消息。

## 电源管理（PM）

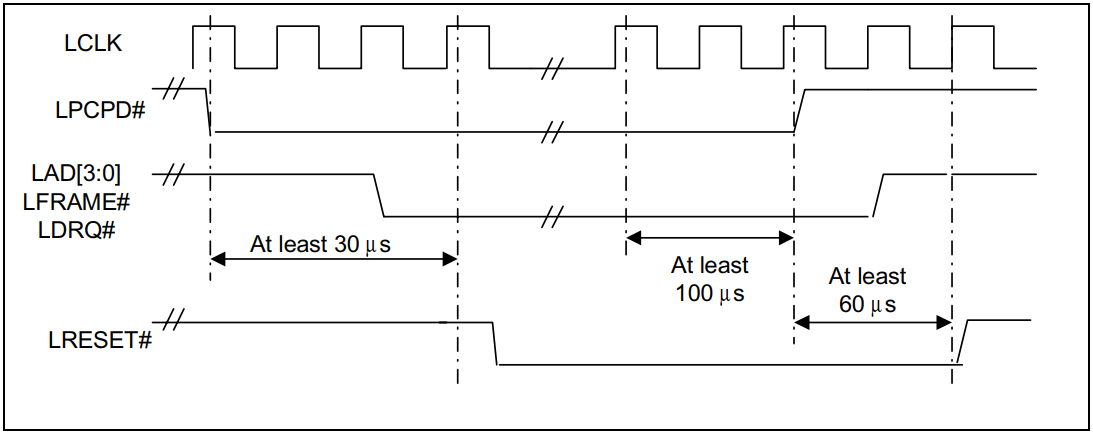
### CLKRUN# Protocol

在某些低功耗状态下，LCLK可能会停止。 要重新启动它，外设应置位PCI CLKRUN＃信号。 这将需要驱动LDRQ＃信号激活。

外设启动LDRQ＃序列后，主机不得取消置位CLKRUN＃导致时钟停止.

### LPCPD# Protocol

进入和退出掉电状态的一般时序如图所示。注意，这些时序仅适用于进入和退出低功耗状态。



Timing for Entering and Exiting the Power Down State

在进入低功耗状态之前，系统将声明LPCPD＃信号。在LCLK＃信号停止为低电平并将其他主机LPC I / F输出信号变为高阻态或驱动为低电平之前，至少要声明30微秒。

识别出已声明的LPCPD＃后，LPC接口上将不再有其他事务。外设应将LDRQ＃信号驱动为低电平或高阻态，直到LPCPD＃无效为止。这是为了防止外设将LPC接口信号驱动到可能掉电的主机中。

识别到LPCPD＃无效后，外设应将其LDRQ＃信号驱动为高电平。

LPCPD＃无效后，可以根据连接到LRESET＃的系统复位信号的特性来复位LPC接口。请注意，如果使用外设中的某些逻辑将系统从低功耗状态唤醒，则不应使用LRESET＃复位该逻辑。相反，如果唤醒逻辑需要某种类型的复位，则应通过软件机制将其复位。

外设必须异步识别LPCPD＃处于活动状态（它可能不符合LCLK的建立时间）。但是，它可以使用LCLK采样，因为它将运行至少30微秒（在LPCPD＃变低之后）。外设必须异步识别LPCPD＃变为非活动状态。但是，它可以使用LCLK采样，因为它将在LPCPD＃变高之前运行30毫秒以上。从LPCPD＃被识别为有效到LPCPD＃被识别为无效，外设应忽略LCLK。

### LPME# Usage

在典型的基于PCI的系统中，不应将LPME＃连接到PCI总线PME＃信号。 这是因为LPC设备通常不实现PCI设备所需的PCI电源管理配置空间。

## 总线复位机制

LPC接口的行为和LRESET＃的时序在一般系统复位方面不同于进入或退出低功耗状态。

主机和外围设备必须遵守以下规则：

1.当LRESET＃无效时，假定时钟正在运行。确切的时钟数将与PCI规范的时钟数相同。

2.当LRESET＃被断言时，主机的行为如下：

•LFRAME＃将被拉高

•LAD [3：0]将为高阻态

•LDRQ [n]＃被忽略

3.声明LRESET＃时，外设的行为如下：

•LFRAME＃可以忽略

•LAD [3：0]将为高阻态

•LDRQ [n]＃将被驱动为高

通用系统复位的LRESET＃断言可以随时发生，并且可以与LCLK异步。进入系统复位条件时，无法保证LPCPD＃与LRESET＃的时序关系。

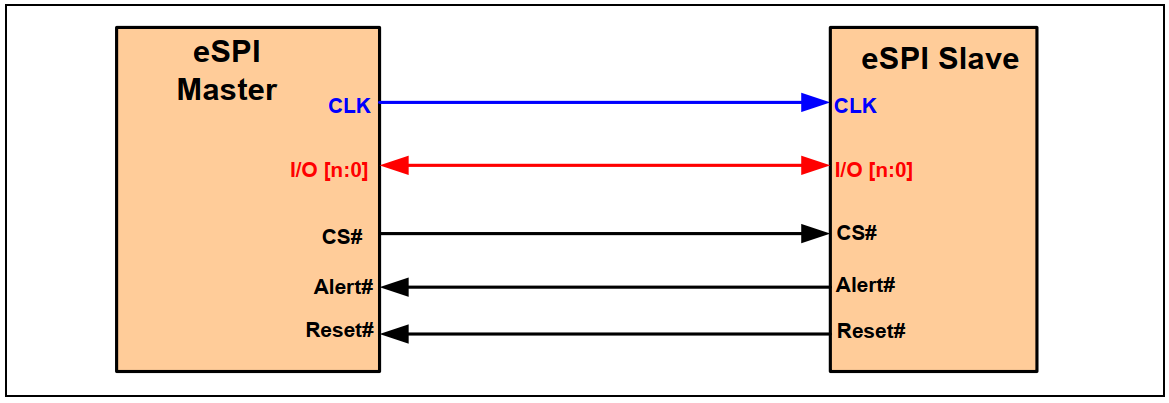
# eSPI 总线

## 物理连接

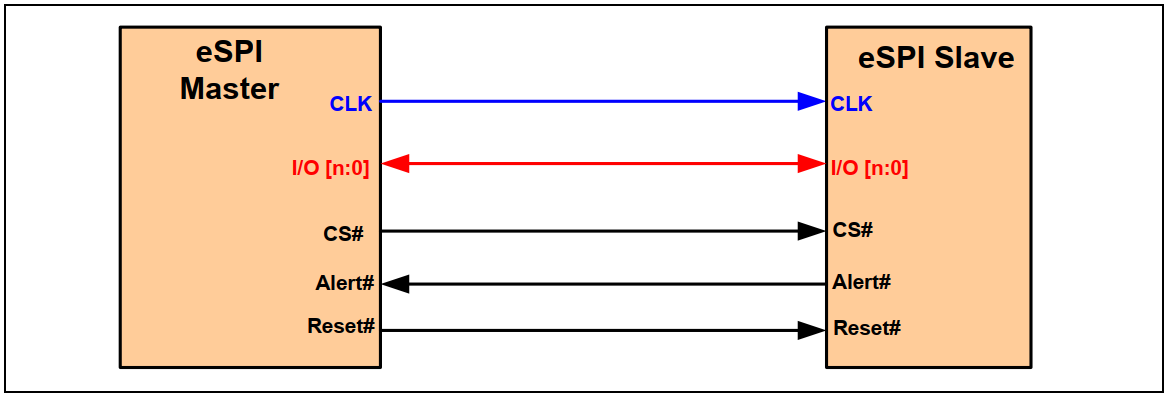
对于eSPI总线，只有一个eSPI主设备和一个或多个eSPI从设备。

|  |  |  |  |
| --- | --- | --- | --- |
| **Pin Name** | **Direction** | **Clock** | **Description** |
| **eSPI Reset#** | Master to Slave1 or Slave to Master2 | Asynchronous | **Reset#:** Reset the eSPI interface for both master and slaves.  **Note:**  1. eSPI Reset# is typically driven from eSPI master to eSPI slaves.  2. eSPI Reset# is generated by eSPI slave, driven from eSPI slave to eSPI master. |
| **Chip Select#** | Master to Slave | Asynchronous | Chip Select#: Driving Chip Select# low selects a particular eSPI slave for the transaction.  Each of the eSPI slaves is connected to a dedicated Chip Select# pin. |
| **Serial Clock** | Master to Slave | - | Clock: This pin provides the reference timing for all the serial input and output operations. |
| **I/O [n:0]** | Bi-directional | Serial Clock | I/O: These are bi-directional input/output pins used to transfer data between master and slaves.  The value of ‘n’ may be 1 or 3 depending on the I/O mode.  In Single I/O mode (n=1), I/O[0] is the eSPI master output/eSPI slave input (MOSI) whereas I/O[1] is the eSPI master input/eSPI slave output (MISO). |
| **Alert#** | Slave to Master | Asynchronous | Alert#: This pin is used by eSPI slave to request service from eSPI master. Alert# is either a driven, or an open drain output from the slave with default as a driven output.  This pin is optional for Single Master Single Slave configuration where I/O[1] can be used to signal the Alert event. |

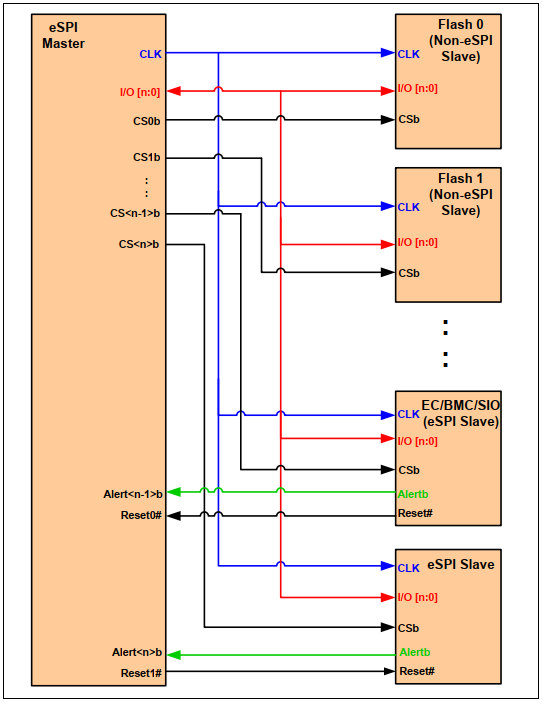
### 连接拓扑图



Single Master-Single Slave with eSPI Reset# from Slave to Master



Single Master-Single Slave with eSPI Reset# from Master to Slave



Single Master-Multiple Slaves with Two eSPI Reset#

时钟和数据引脚可以由多个SPi或者eSPi从机共享，每个从机都有专用的CS＃和Alert＃引脚。

允许诸如Flash和TPM之类的SPI从设备与eSPI从设备共享同一组时钟和数据引脚。这些非eSPI从设备是使用专用的芯片选择＃引脚选择的，它们通过在eSPI总线上运行的SPI特定协议与eSPI主设备进行通信。

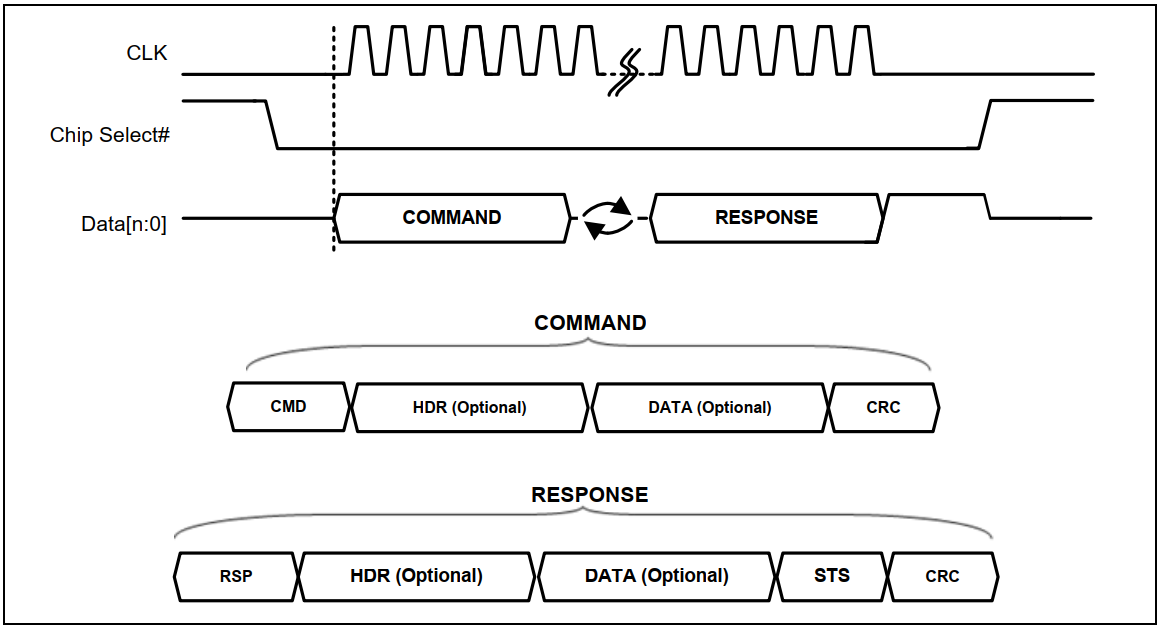
## 电气属性

可以选择将CS#，Alert#以及Reset#信号接弱上拉。因为这几个信号是低电平有效。

## 总线协议

实际上eSPI总线和SPI协议很相似，但是还是具体的内容却大不相同，他们仅仅是相似的时序而已。

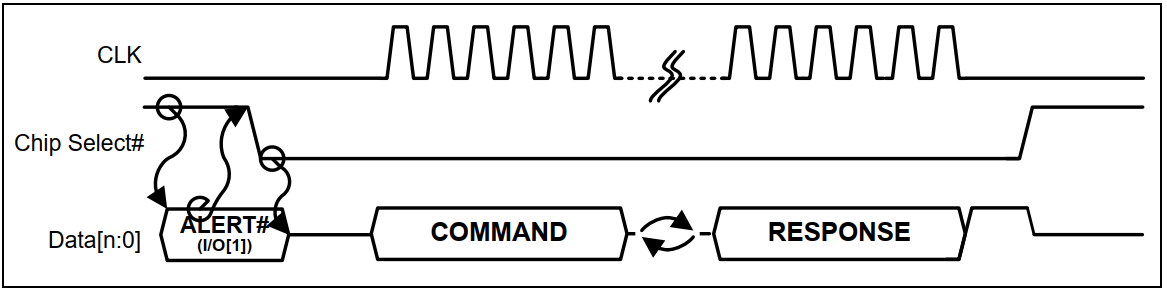
在eSPI传输过程中必须是8位对齐，或者1字节的倍数传输。



Basic eSPI Protocol

eSPI事务包括由主机驱动的命令阶段，Turn-Around（TAR）阶段和由从机驱动的响应阶段。命令阶段包括CMD，可选handler（HDR），可选DATA和CRC。响应阶段包括一个RSP，一个可选的handler（HDR），可选的数据，状态和CRC。对于始终在总线上传输CRC字节的所有eSPI事务，都必须生成CRC。但是，默认情况下，复位后CRC检查默认为禁用，并且由SET CONFIGURATION启用。禁用CRC检查时，接收器将忽略CRC字节。

主机可以通过设置cs＃来启动事务，启动时钟并将命令驱动到数据总线上。时钟保持切换状态，直到从机接收到完整的响应阶段为止。



Slave Triggered Transaction (Single Master-Slave)

从机可以通过向主机发出警报事件来启动事务。警报事件可以通过两种方式发出信号。在单主单从配置中，从机可以使用I / O [1]引脚指示警报事件。在单主多从配置中，需要专用的Alert＃引脚。

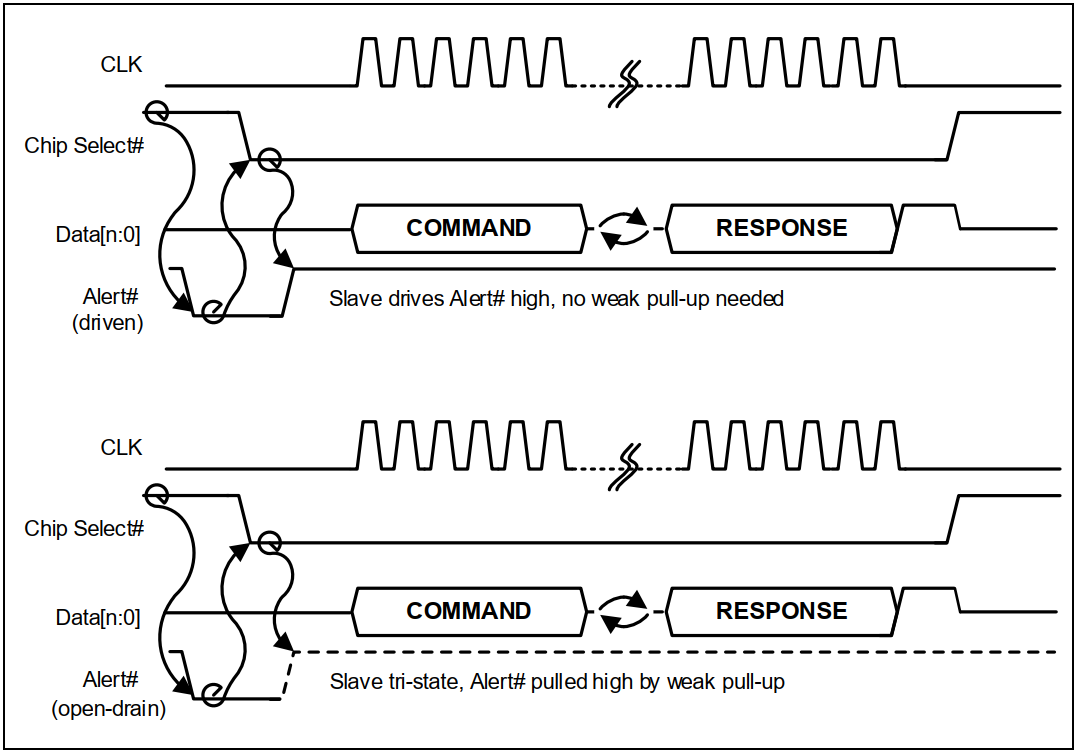
要注意的是当从机的CS＃为高电平时，从机只能发出警报事件。

### Single Master-Single Slave

当I / O [1]用于发出Alert＃事件的信号时，当从机决定请求服务时，它会从高阻态切换到低电平。然后，从机保持I / O [1]引脚的状态，直到主机确定片选信号为止。一旦设置CS＃，eSPI从器件就必须通过在tSLAZ时序内使该引脚处于高阻态来释放I / O [1]引脚的所有权，并且该引脚将被弱上拉电路拉高。然后，主机继续发出命令，从设备中找出警报事件的原因，然后为请求提供服务。发送CRC后，在串行时钟的最后一个下降沿，eSPI从设备必须将I / O [n：0]引脚驱动为高电平，直到取消选择CS＃。将其驱动为高电平可确保在取消使CS＃无效时I / O [1]不会产生错误的Alert＃事件。在CS＃的边沿时，这些I / O [n：0]引脚被从机设为高阻态，满足tSHQZ输出禁用时序，其中弱上拉将这些引脚保持在高电平，而主机继续为高阻态。为了在CS＃置为无效后发出警报事件，仅允许从设备在tSHAA时序后重新置位I / O [1]引脚

当Alert＃引脚用于发出Alert＃事件信号时，从机将其从高电平切换为低电平或从高阻态切换为低电平。当从机决定请求服务时，I / O [n：0]引脚保持从机状态为高阻态。然后，从机将保持Alert＃引脚的状态，直到主机选择了CS＃。设置CS＃时，从机必须将Alert＃引脚驱动为高电平，或通过使该引脚处于高阻态来释放该引脚的所有权。然后，主机继续发出命令，从设备中找出警报事件的原因，然后为请求提供服务。在发送CRC之后，串行时钟的最后一个下降沿，eSPI从机必须将I / O [n：0]引脚驱动为高电平，直到CS＃引脚变为高电平为止。CS＃无效后，这些I / O [n：0]引脚在满足tSHQZ输出禁用时序（弱上拉使这些引脚保持为高电平，而主机继续进入高阻态）之后被从机置于高阻态。 tSHAA时序不适用于Alert＃引脚。但是，当Alert＃引脚配置为漏极开路并置为有效时，该引脚上的弱上拉必须使CS＃的有效时间最短（使从机将Alert＃置于高阻态）。

### Single Master-Multiple Slaves



Slave Triggered Transaction (Multiple Slave)

该规范不会阻止将Alert＃引脚用于单主/单从配置。

在Alert事件设置与CS＃边缘情况下，从机仍将I / O [1]引脚设为高阻态或将Alert＃引脚驱动为高电平或高阻态。状态将在响应阶段返回，然后主机知道需要服务于从机的未完成请求。要注意的是，引脚上发出的警报事件与串行时钟异步。

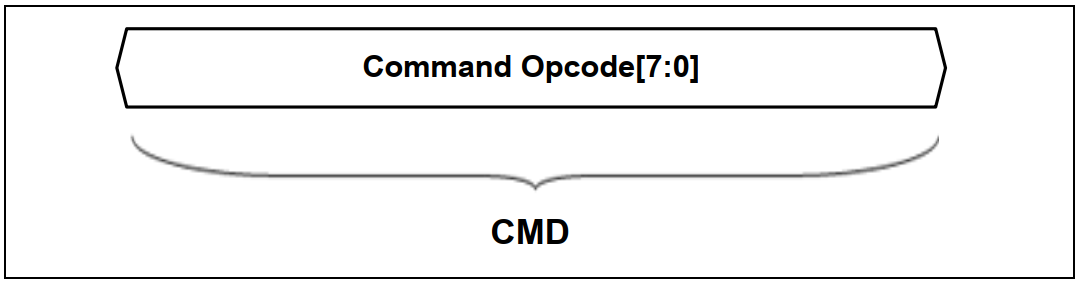
eSPI从机必须支持两种类型的警报机制。确定对每个eSPI从设备使用哪种Alert机制是实现特定的方法。

eSPI被定义为使用基于数据包的拆分事务协议。在发送端，基于要发送的事务在传输层中形成数据包。链路层使用CRC字节扩展数据包。

同样，在接收端，启用CRC校验后，会在接收链路层检查CRC。一旦数据包通过了CRC校验，该数据包便被发送到“事务层”，在此进行解码并采取行动。

### 指令域（CMD）

eSPI主设备使用命令阶段来启动到从设备的事务，或响应从设备的警报事件。 它由CMD，可选的标头（HDR），可选的DATA和CRC组成，CMD字段由命令操作码组成。



Command Opcode

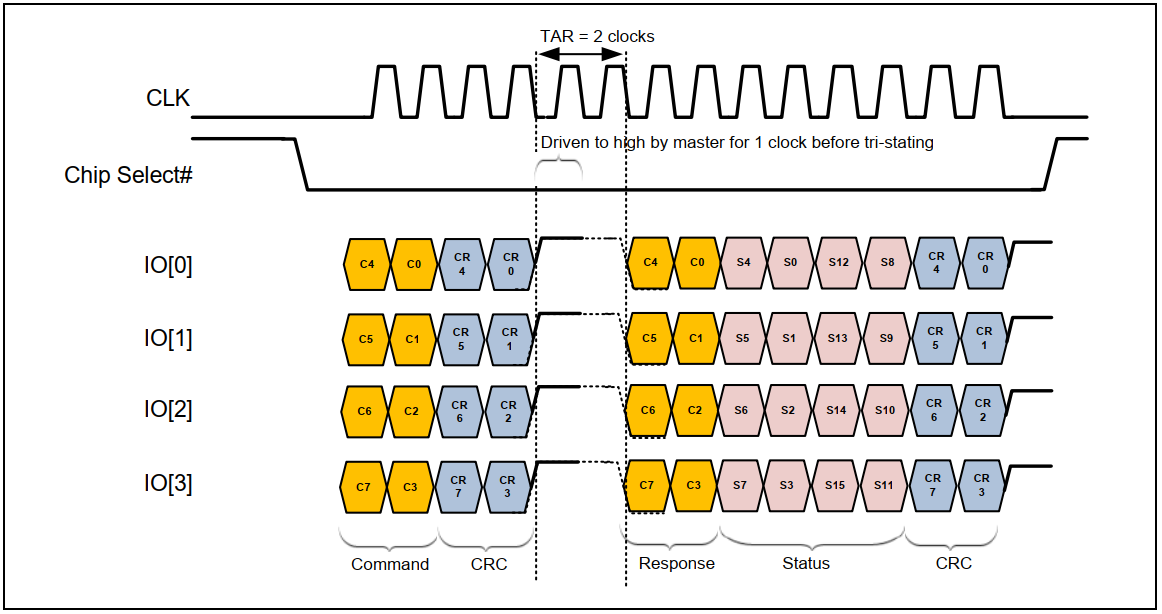
命令操作码为8位宽，Command Opcode用于指示特定于通道的命令并传达链接管理事件，如果从设备收到带有无效指令操作码的数据包（本规范未定义），则从设备不得响应该事务。 事务将在总线上以默认响应（NO\_RESPONSE）终止。

|  |  |  |  |
| --- | --- | --- | --- |
| 通道范围 | 操作指令 | 编码[7:0] | 描述 |
| **eSPI Peripheral Channel**  编码中的xx如下表示：  XX:  00: 1BYTE  01:2 BYTE  10:RESERVED  11:4BYTE | PUT\_PC | 00000000 | 放置一个已发布posted或hander和data |
| PUT\_NP | 00000010 | 放置未发布的标头和可选数据。 |
| GET\_PC | 00000001 | 获取一个已发布posted或hander和data |
| GET\_NP | 00000011 | 获取未发布的标头和可选数据。 |
| PUT\_IORD\_SHORT | 010000XX | 放置一个 non-posted IO读包指令 |
| PUT\_IOWR\_SHORT | 010001XX | 放置一个 non-posted IO写包指令 |
| PUT\_MEMRD32\_SHORT | 010010XX | 放置一个 non-posted 内存读32个数据包指令 |
| PUT\_MEMWR32\_SHORT | 010011XX | 放置一个 non-posted 内存写32个数据包指令 |
| Virtual  Wire  Channel | PUT\_VWIRE | 00000100 | 放置一个虚拟通道包指令 |
| GET\_VWIRE | 00000101 | 获取一个虚拟通道包指令 |
| OOB  Message  Channel | PUT\_OOB | 00000110 | 放置一个OOB（SMBus 通道）信息指令 |
| GET\_OOB | 00000111 | 获取一个OOB（SMBus 通道）信息指令 |
| Flash 访问通道 | PUT\_FLASH\_C | 00001000 | 设置Flash 访问完成指令。  在主机附加闪存共享模式下使用，主机可以将闪存访问完成返回给从机。 |
| GET\_FLASH\_NP | 00001001 | 获取non-posted Flash 访问请求指令 |
| 独立通道 | GET\_STATUS | 00100101 | 主机发起的命令，用于读取从机的状态寄存器。 |
| SET\_CONFIGURATION | 00100010 | 在初始化过程中设置从机功能的命令。通常在主机发现从机的功能之后执行此操作。 |
| GET\_CONFIGURATION | 00100001 | 在初始化过程中发现从机功能的命令 |
| RESET | 11111111 | 复位指令 |

### 周转域 (TAR)

在数据线上发送命令阶段的最后一位之后，数据线进入“Turn-Around”窗口。 要求eSPI主机在Turn-Around窗口的第一个时钟将所有数据线置1，然后将数据线置于高阻态。周转窗口的时钟数是固定的2个串行时钟，与eSPI I / O模式无关。如果从机需要额外的时间来获取命令并准备响应，则从设备可以在TAR窗口后为任何eSPI事务插入WAIT\_STATE响应指令。

在所有eSPI I / O模式（单，双，四路I / O）的响应阶段之前，eSPI从设备均不得驱动I / O [n：0]。特别是在单I / O模式下，从机必须在响应阶段之前才驱动I / O [1]（MISO）。 在周转周期之后，它必须立即在总线上驱动响应阶段，如下图所示



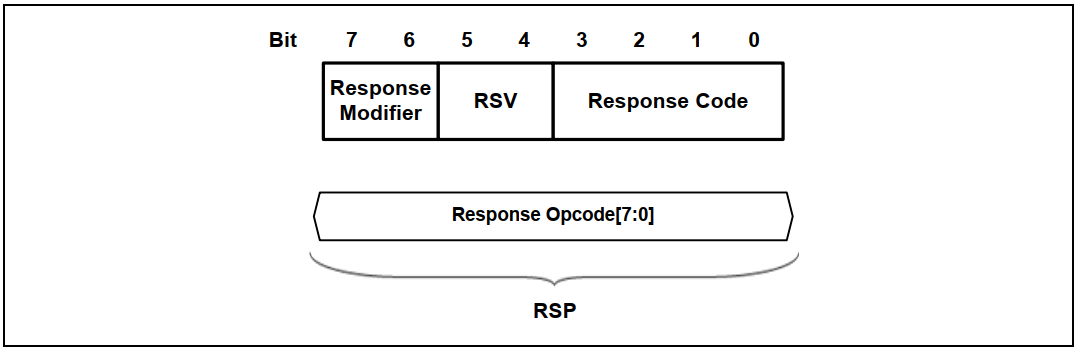
Turn-Around Time (TAR = 2 clock)

### 响应域(RESP)

响应阶段由eSPI从机驱动，以响应eSPI主设备启动的命令。 它由RSP操作码，可选的hander（HDR），可选的数据，STATUS和CRC组成

#### 响应操作码

其中RSP操作码是一个8位字段，由响应代码和响应修饰符组成



Response Field

响应代码表示请求是成功，被推迟还是以错误或等待状态响应。

响应修饰符是为GET\_STATUS定义的2位字段，仅具有ACCEPT响应。对于所有其他响应，它的值必须始终为“ 00”，但NO\_RESPONSE的值为“11”。

响应修饰符字段指示是否将外围设备（通道0），虚拟线路（通道1）数据包或闪存访问（通道3）的GET\_STATUS指令的响应是否完成。仅当支持从属连接的闪存共享并在运行中时，闪存访问（通道3）完成才适用。

默认情况下，“响应修饰符”是禁用的。通过将“通用功能和配置”寄存器中的“响应修饰符启用”位设置为“ 1”来设置SET\_CONFIGURATION。

当从机驱动响应阶段时，必须将RSP操作码的保留（RSV）字段驱动为全0。它保留供规范将来使用。为了向后兼容，主机必须忽略保留（RSV）字段。

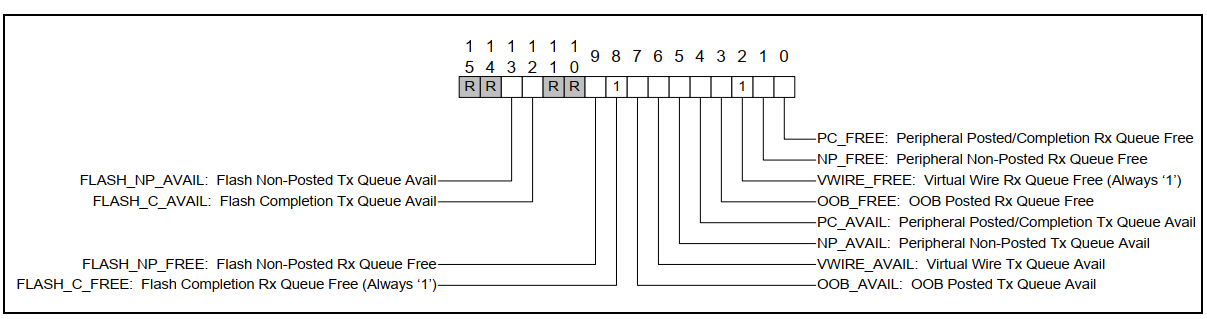
当响应阶段不受任何从机驱动时，默认为NO\_RESPONSE。 eSPI主设备可以在检测到任何时候通过取消置位片选＃来终止传输。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| RESPONSE | 编码 | | | 描述 |
|  | [7:6] | [5:4] | [3:0] |  |
| ACCEPT | XX | RSV | 1000 | 命令已成功接收  如果命令是PUT\_NP，则ACCEPT的响应表示non-posted事务将作为“连接”事务完成。  XX:  00 : no append  01 : append外围设备  10：append虚拟通道  11：append flash访问通道 |
| DEFER | 00 | RSV | 0001 | 仅在响应PUT\_NP时有效。 已成功接收到未发布的命令，并且将完成未发布的事务推迟到以后的拆分完成中。 |
| NON\_FATAL\_ERROR | 00 | RSV | 0010 | 收到一个严重错误但不致命，但是该错误不会影响处理收到的命令 |
| FATAL\_ERROR | 00 | RSV | 0011 | 收到一个致命错误，该错误导致无法成功处理传输层数据包。 致命错误包括错误格式传输，总线没释放，无法获取有效值等等。 |
| WAIT\_STATE | 00 | RSV | 1111 | 响应总线上的事务时，增加一字节的延迟时间 |
| NO\_RESPONSE | 11 | RSV | 1111 | 无响应。 当由于数据线上的弱上拉而导致没有从机出现时，它是对GET\_CONFIGURATION的默认响应。 当在命令包上检测到致命的CRC错误，或者不支持命令操作码并且从站不得驱动响应阶段时，它也是默认响应。 |

#### 状态域

状态码由16位组成，如果通道已启用但尚未就绪，或者不支持的功能的状态位，则这些位无关紧要，必须由eSPI主设备忽略。保留状态位必须由从机设置为0

状态域反映了传输过程中的从机实时状态，在考虑此事务中正在接收或发送的命令之后，AVAIL和FREE反映了队列状态。



Slave’s Status Register Definition

|  |  |  |  |
| --- | --- | --- | --- |
| 域 | Status | Bit Position | 描述 |
| 从机接受队列空闲 | PC\_FREE | 0 | 当为“ 1”时，表示从机可以自由接受至少一个通道0外设posted或完成报头以及最大有效负载大小的数据。 |
| NP\_FREE | 1 | 如果为“ 1”，则表示从机可以自由接受至少一个通道0外围non-posted的报头和1 DW的数据（如果适用） |
| VWIRE\_FREE | 2 | 该位必须始终为“ 1”。 通道1虚拟线的隧道不受流量控制 |
| OOB\_FREE | 3 | 当为“ 1”时，表示从机可以自由接受至少一个CH2 OOB（SMBus）消息，其数据最大为最大有效负载大小。 |
| 从机发送队列有效 | PC\_AVAIL | 4 | When ‘1’, indicates the slave has a channel 0 peripheral posted or completion header and optional data up to maximum payload size available to send |
| NP\_AVAIL | 5 | When ‘1’, indicates the slave has a channel 0 peripheral non-posted header available to send. |
| VWIRE\_AVAIL | 6 | When ‘1’, indicates the slave has a channel 1 tunneled virtual wire available to send. |
| OOB\_AVAIL | 7 | When ‘1’, indicates the slave has a channel 2 OOB (tunneled SMBus) message with data up to maximum payload size available to send. |
| 从机接收队列空闲 | FLASH\_C\_FREE | 8 | 该位始终唯1 |
| FLASH\_NP\_FREE | 9 | 如果为1，则表示从机可以自由接受至少一个通道3 Flash 访问non-posted的标头和最大有效载荷大小的数据。 |
| Reserved | 11:10 | 始终为0 |
| 从机接收队列有效 | FLASH\_C\_AVAIL | 12 | When ‘1’, indicates the slave has a channel 3 Flash Access completion header and data up to maximum payload size available to send. |
| FLASH\_NP\_AVAIL | 13 | When ‘1’, indicates the slave is free to accept at least one channel 3 Flash Access nonposted header and data up to maximum payload size. |
| Reserved | 15:14 | 始终为0 |

### Alert 域

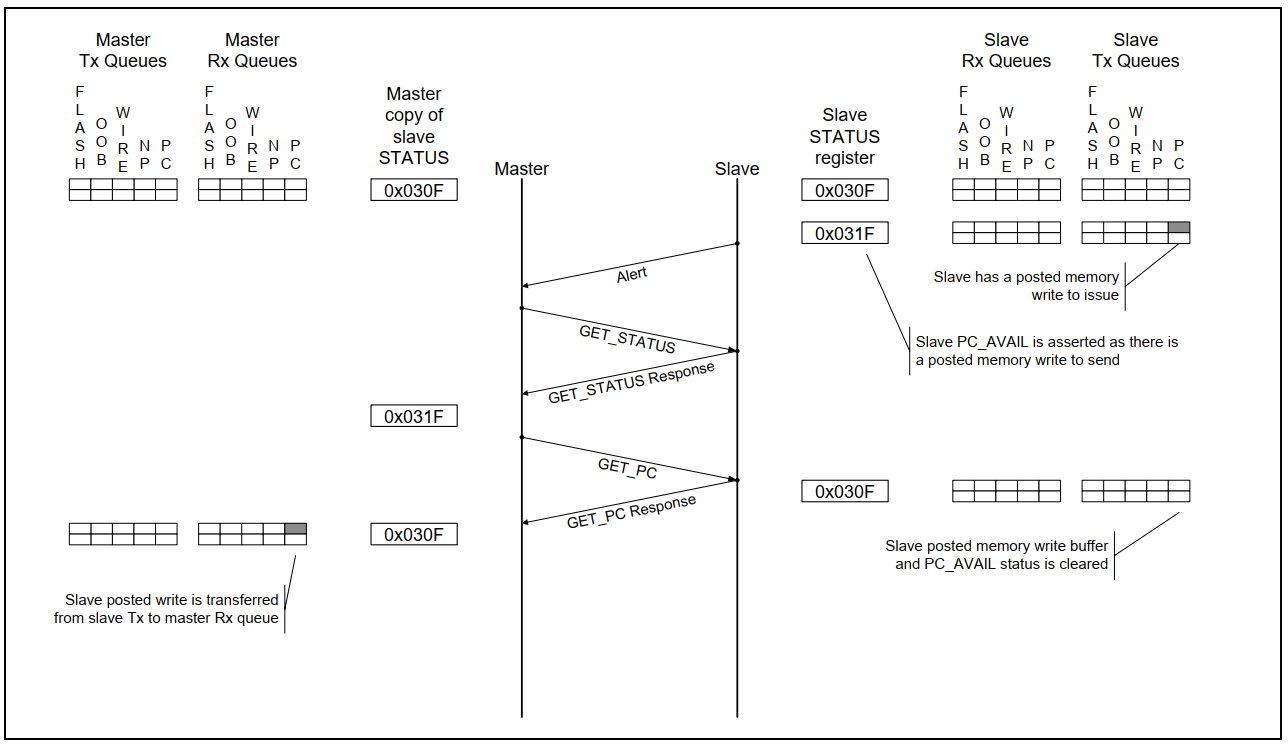
从机发出Alert信号以请求服务。主机可以向相应的从机发出GET\_STATUS命令，以获取Alert事件的原因。

从机可能由于以下任何原因而生成Alert事件：

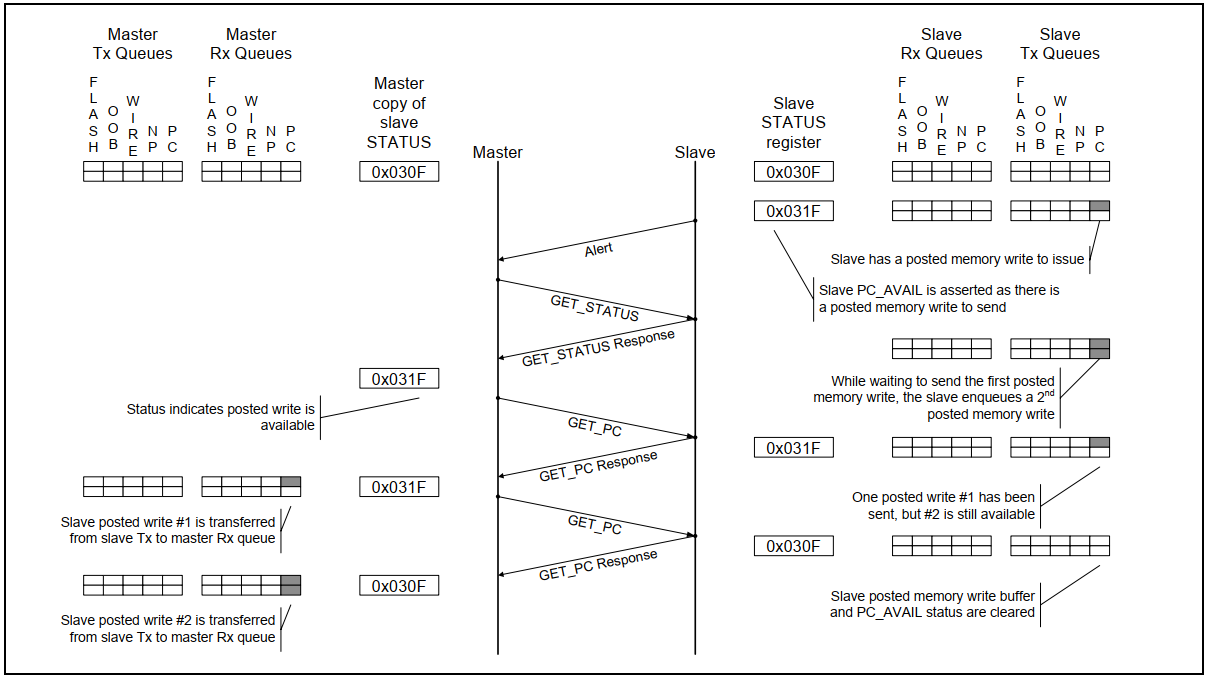
•从机有新请求。这可以是已发布，未发布，延迟完成，虚拟线路消息，OOB消息或Flash访问请求。

•从上次状态更新返回为非空闲以来，从机缓冲区空间已变为空闲。

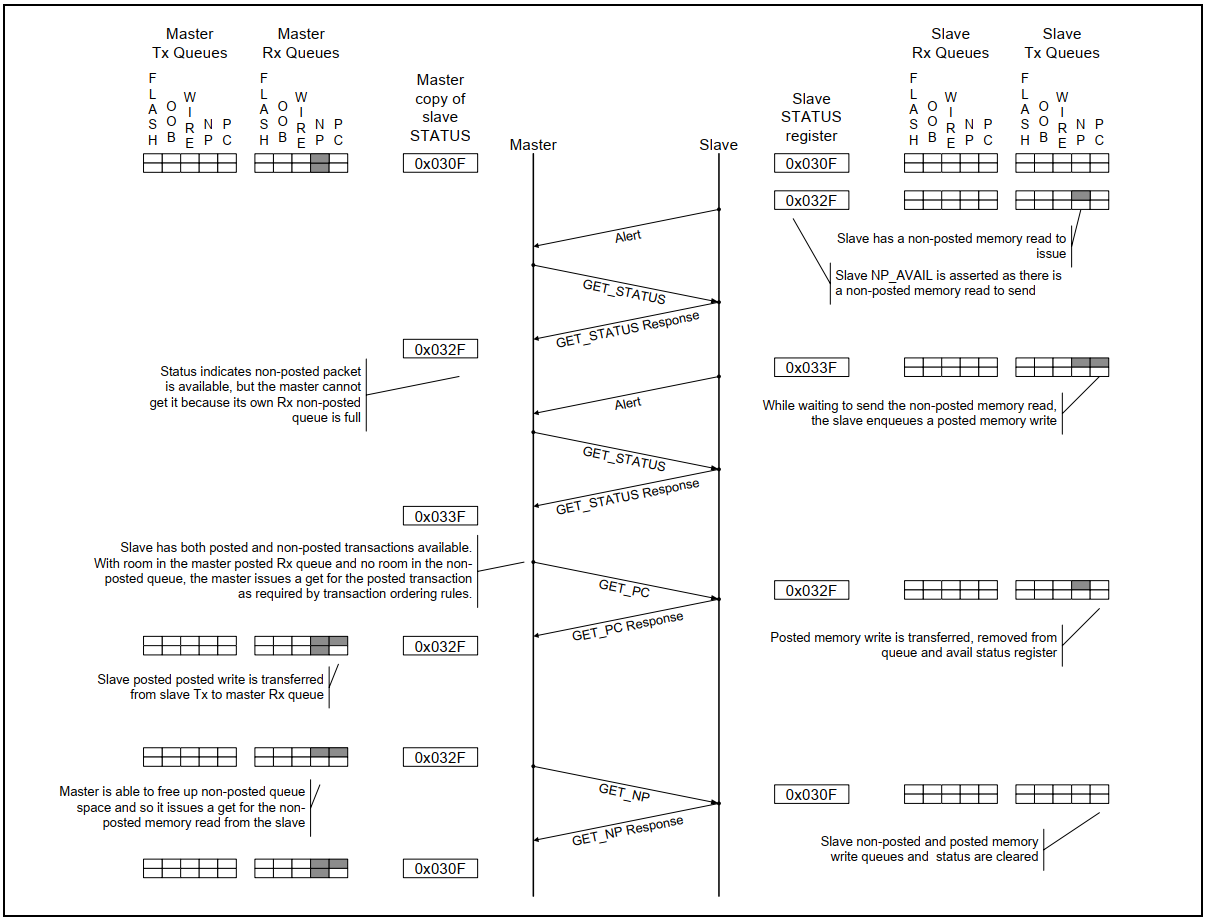
触发Alert事件的每个原因在STATUS寄存器中都有对应的位。当STATUS寄存器的状态不同于在上一个Response阶段返回的STATUS时，从机将生成一个新的Alert事件。 状态寄存器中的差异表示发生了新事件，需要主机提供服务。



从机掌握外围设备的流程图发表于写

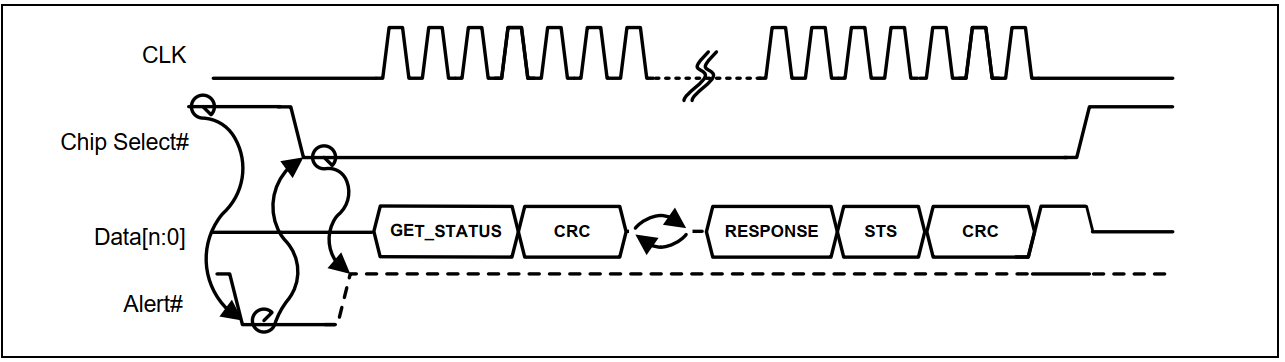


Flow Diagram for a Back-to-back Slave to Master Peripheral Posted Write



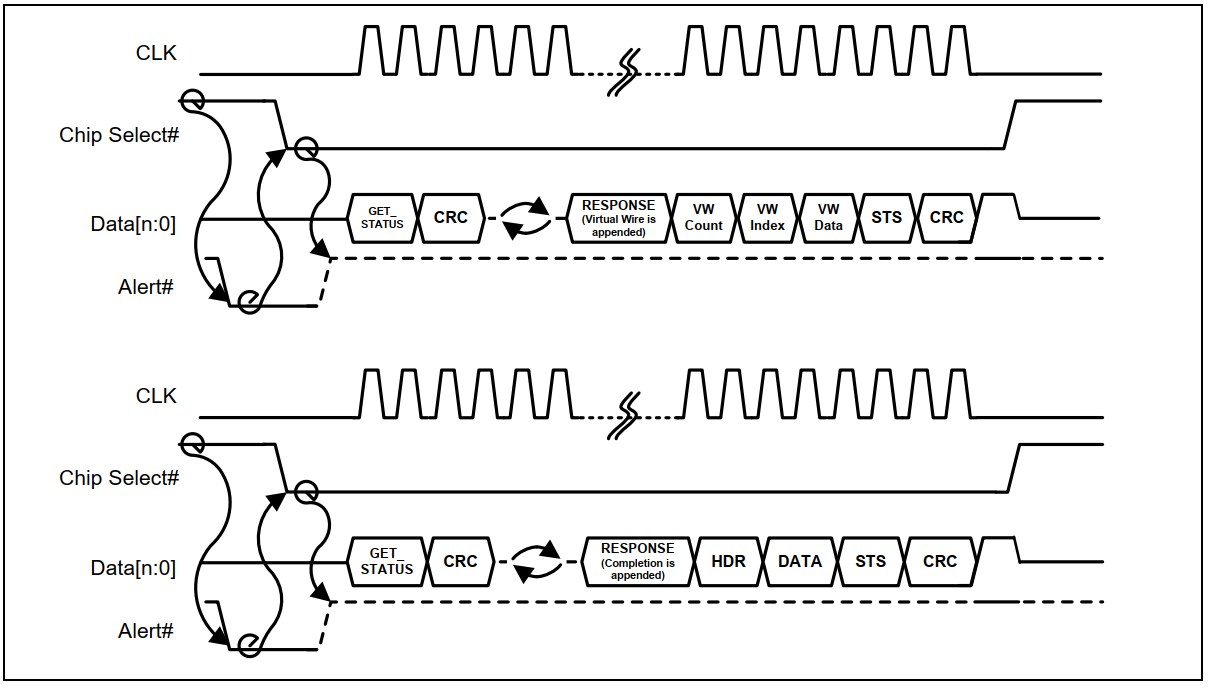
Flow Diagram for a Slave to Master Peripheral Posted Write passes Nonposted

### 状态获取指令域



GET\_STATUS Command

GET\_STATUS是与通道无关的命令，用于查询状态寄存器的内容。 状态寄存器的状态将在响应阶段返回。此命令通常用于响应来自eSPI从设备的Alert事件，以确定Alert事件的原因并随后为Slave服务。



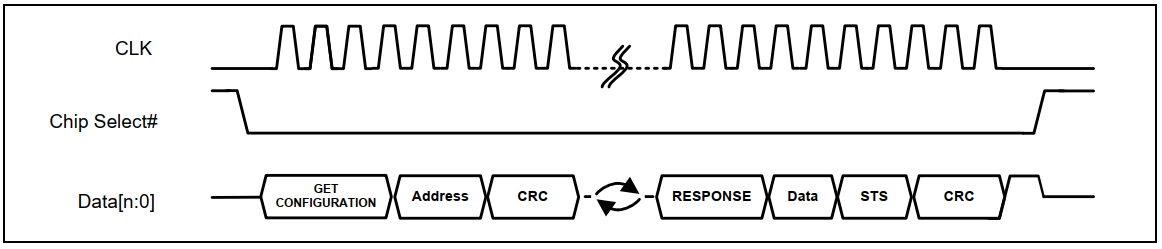
GET\_STATUS Command (with Response Modifier)

### 获取和设置指令域

SET\_CONFIGURATION和GET\_CONFIGURATION命令是与通道无关的命令，用于访问eSPI从设备侧的通道功能和配置寄存器。 仅支持DWord访问。 由于没有启用字节，如果修改少于一个完整的DWord，则需要软件执行读-修改-写访问。

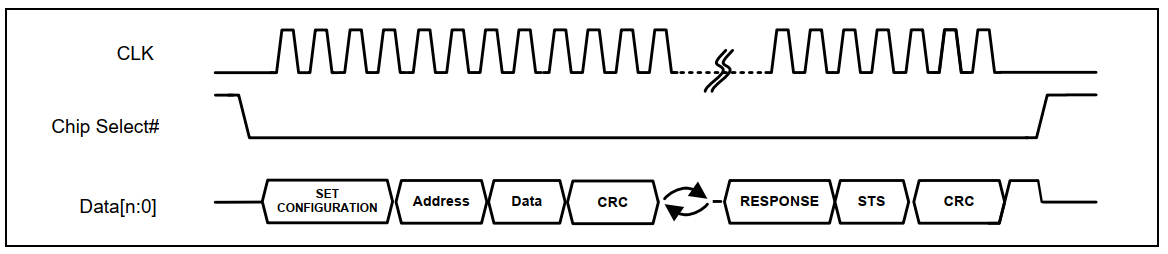
注:DWORD全称Double Word，是指注册表的键值，每个word为2个字节的长度，DWORD 双字即为4个字节，每个字节是8位，共32位

SET\_CONFIGURATION和GET\_CONFIGURATION命令永远不会被推迟，必须在同一周期内完成。



GET\_CONFIGURATION Command

GET\_CONFIGURATION命令用于读取eSPI从设备上的通道功能和配置寄存器。 GET\_CONFIGURATION命令阶段包括一个8位命令操作码，一个16位地址和一个8位CRC。 响应阶段包括8位响应，1 DW数据，16位状态和8位CRC。

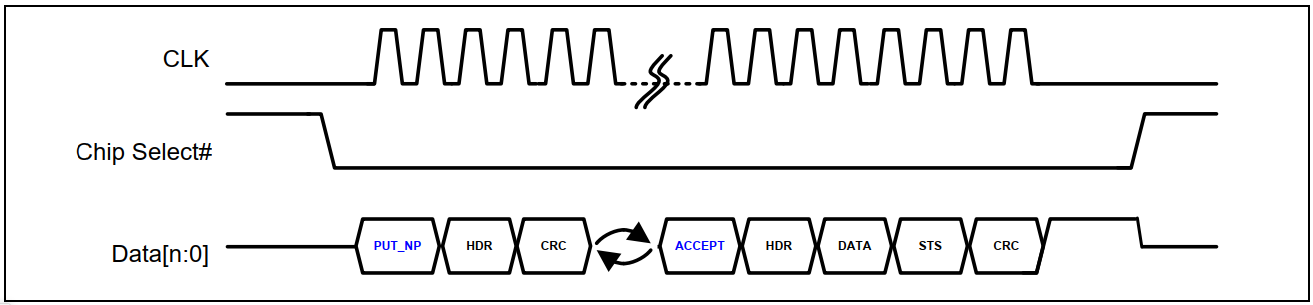


SET\_CONFIGURATION Command

SET\_CONFIGURATION命令用于在eSPI从设备上写入通道功能和配置寄存器。 SET\_CONFIGURATION命令阶段包括一个8位命令操作码，一个16位地址，1个DW数据和一个8位CRC。 响应阶段包括一个8位响应，一个16位状态和一个8位CRC。

Note：从eSPI Reset＃中退出后，eSPI主机可以向特定的eSPI从机启动GET\_CONFIGURATION周期，以确定是否存在eSPI从机。 如果不存在eSPI从机，则在Turn-Around时间后eSPI数据线仍保持上拉状态。 eSPI机可以使用此行为来推断总线上不存在eSPI从机,如果存在eSPI从机，则eSPI从机必须在Turn-Around时间结束后响应。

### Non-Posted 传输

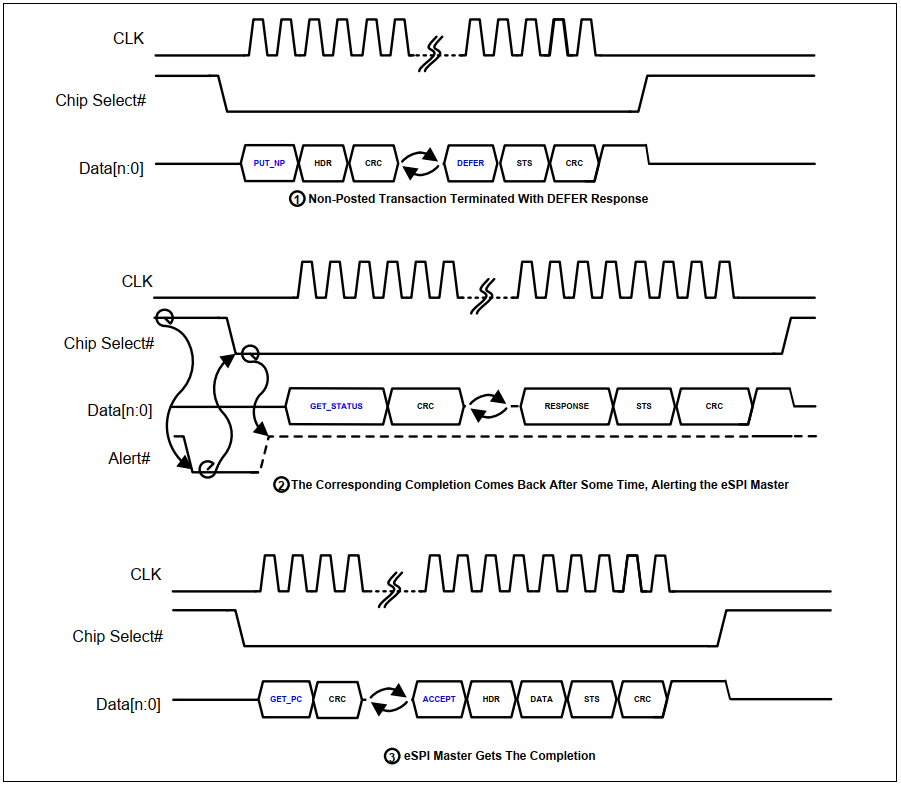


Connected Master Initiated Non-Posted Transaction

如果eSPI主机发起的non-posted传输无法立即获得的数据或其他信息，则non-posted请求将以“ DEFER”响应终止。当数据或信息最终可用时，可以在以后的一段时间内返回延迟的完成。只要保留指令规则，该总线就可以在延迟完成返回之前用于其他事务。

当返回延迟完成，唯一有效的响应是ACCEPT。 对于将以错误终止的non-posted，要求从机在连接时以FATAL ERROR或NONFATAL ERROR响应，而不会延迟事务。

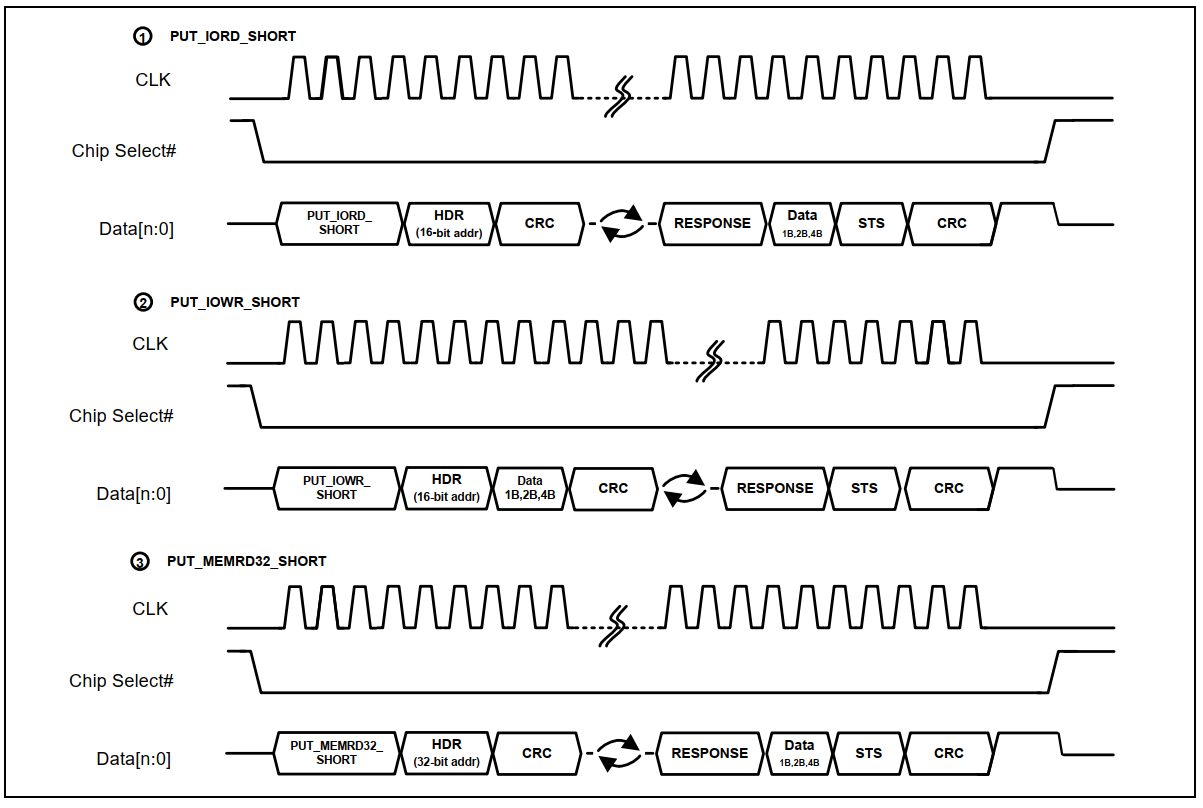
eSPI从机可以通过连接或延迟的多个拆分完成来完成non-posted的命令。 有关分割完成的情况，请参阅第5.1.3节。 如果拆分完成中的一个完成状态不成功，则将不返回其余拆分完成



Deferred Master Initiated Non-Posted Transaction

对于长度为1、2或4个字节的请求，eSPI支持从主机到从机的短时间non-posted的事务，这些事务开销较小，因此效率更高。 唯一的操作码指示non-posted传输的类型和请求长度。 hander仅包含地址，并且操作码隐含事务的地址字节数。 简短的non-posted传输记录没有“标记”字段。 Tag字段隐含为全0，从机将在完成hander中将其返回。

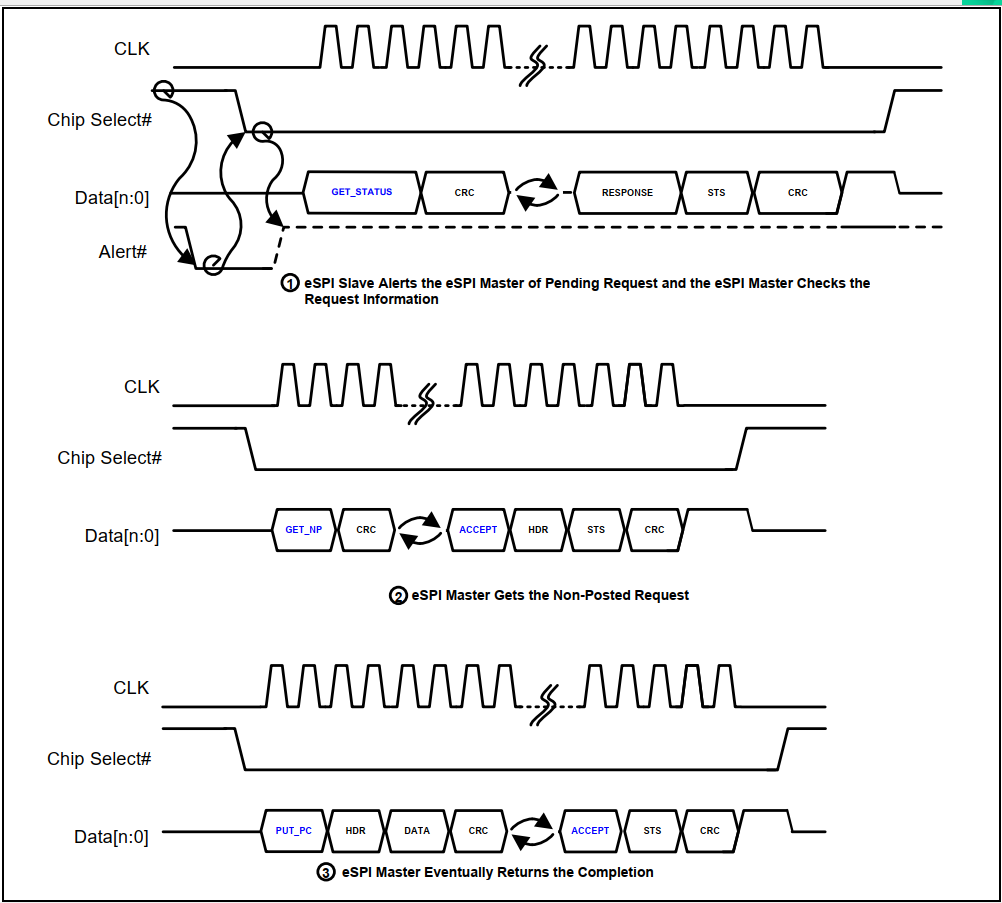
短期non-posted传输可以作为已关联或延迟完成而终止。但是，为了优化短事务的性能，从机应尽可能以在已连接状态完成事务。



Master Initiated Short Non-Posted Transaction

当存在未处理的non-posted传输时，eSPI从机可以生成警报。对此，eSPI主机将发出GET\_STATUS命令以检查待定请求信息

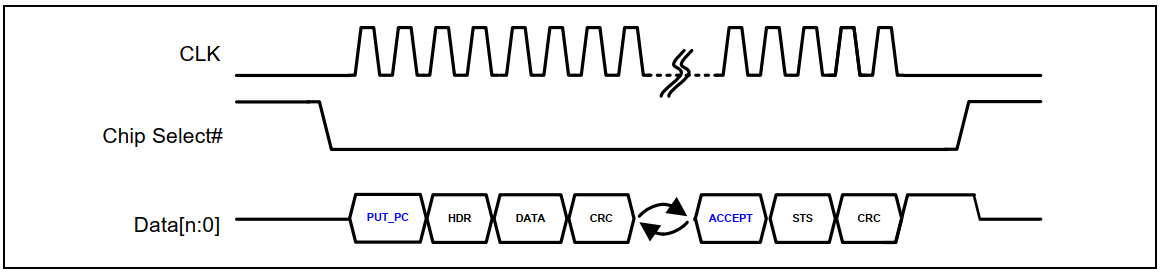
然后，eSPI主机将生成GET\_NP命令以获取non-posted传输。 一旦完成数据和返回响应所需的信息有效，eSPI主机就会将拆分完成内容返回给eSPI从机。由eSPI从机发起的non-posted请求的完成总是被拆分。



Slave Initiated Non-Posted Transaction

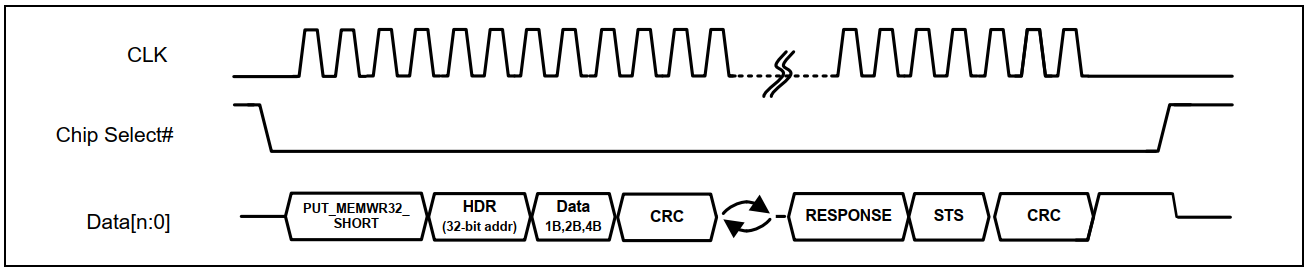
### Posted 传输

由eSPI主设备启动posted传输的有效响应为ACCEPT，致命错误和非致命错误。posted传输的DEFER响应无效。



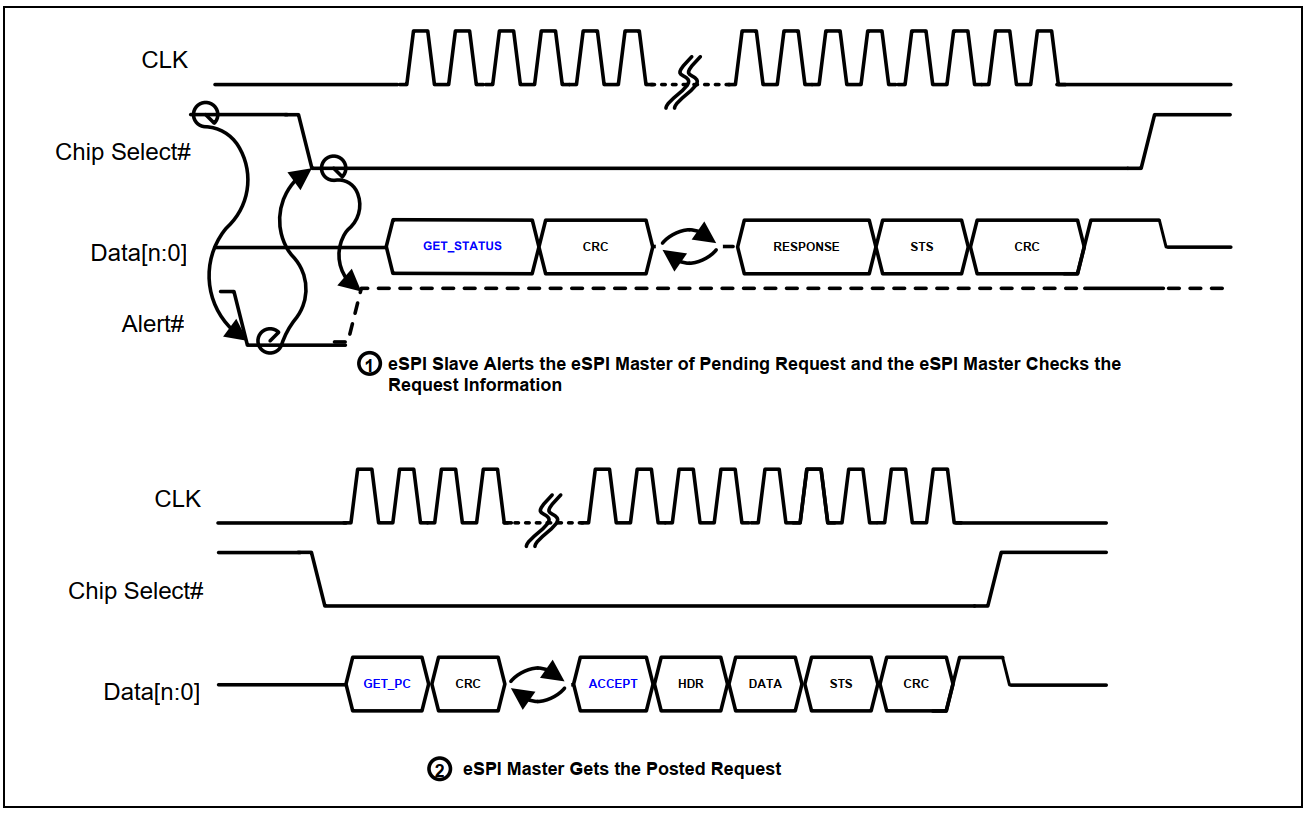
Master Initiated Posted Transaction

对于长度为1、2或4字节的请求，eSPI支持从主机到从机的短时间posted事务，这些事务开销较小，因此效率更高。 唯一的操作码指示短posted 传输和请求长度。 hander仅包含地址，并且操作码隐含事务的地址字节数。

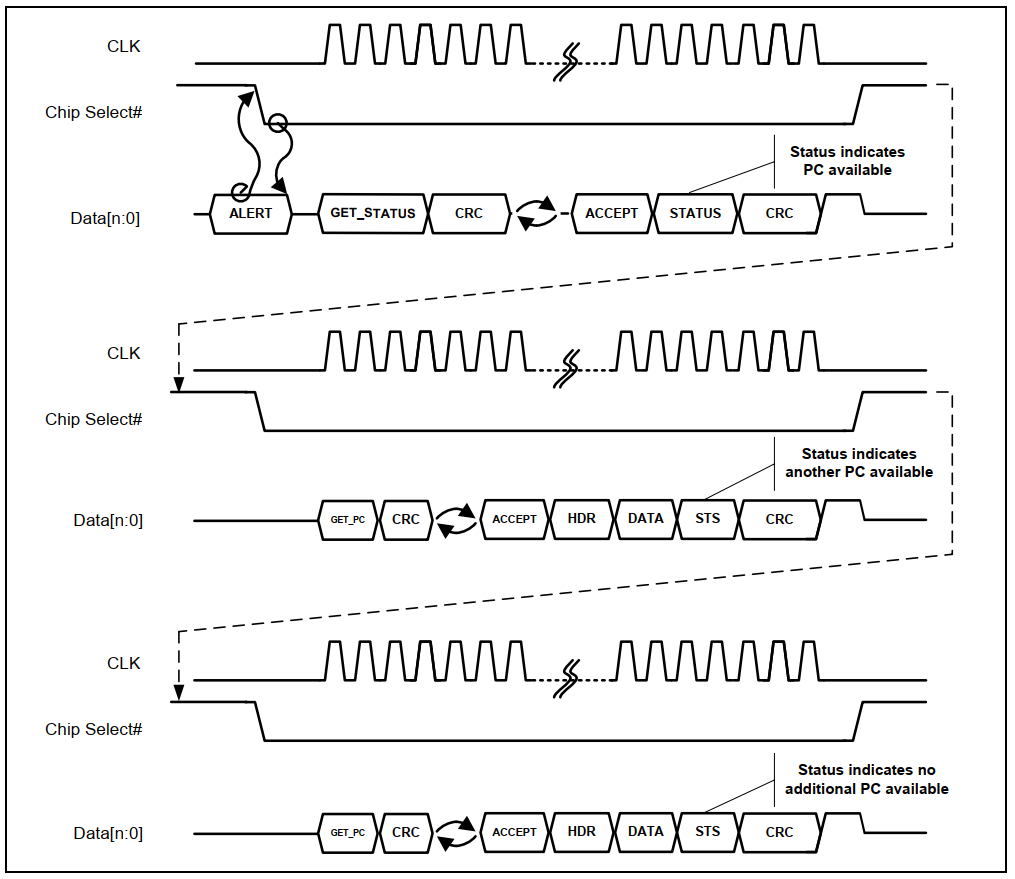


Master Initiated Short Posted Transaction

当有待定的posted传输时，eSPI从机可以生成警报。对此，eSPI主机将发出GET\_STATUS命令以检查pending请求信息.然后，eSPI主机将生成GET\_PC命令以获取posted传输。



Slave Initiated Posted Transaction



Pipelined Back-to-Back Bus Mastering Posted Write Transactions

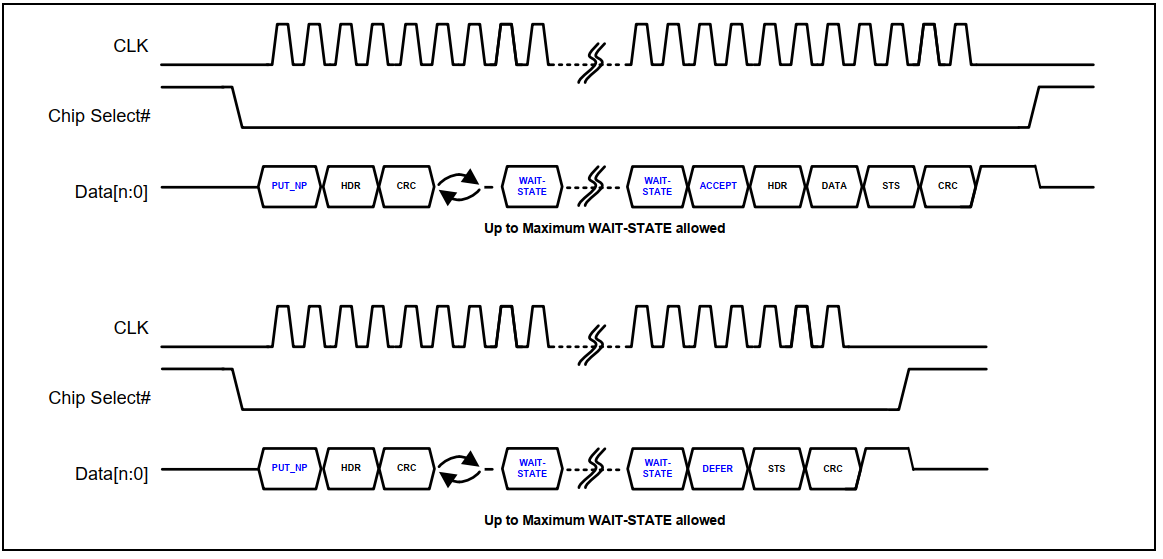
### WAIT STATE

在响应阶段，所有eSPI事务均由eSPI从设备支持WAIT\_STATE。 在2个时钟的Turn-Around（TAR）窗口之后，允许eSPI从设备以WAIT\_STATE响应代码进行响应，然后再以ACCEPT，DEFER，NON-FATAL ERROR或FATAL ERROR终止事务。

eSPI从设备可以在响应阶段开始时插入一个或多个WAIT\_STATE响应代码，直到eSPI主设备配置的最大WAIT\_STATE值为止。

如果从机需要采样命令并准备响应，则WAIT\_STATE功能可提供超出Turn-Around（TAR）窗口之外的时间。当eSPI从机需要超过Turn-Around（TAR）窗口的额外延迟时，它允许主机发起的non-posted事务（否则将立即DEFER响应）在同一事务中完成。 WAIT\_STATE响应码提供的额外延迟是一个字节的时间，分别对应于Single I / O模式下的8个串行时钟，Dual I / O模式下的4个串行时钟或Quad I / O模式下的2个串行时钟。

CRC计算中不包括WAIT\_STATE响应代码。它定义为与所有其他响应编码相比至少具有2位差异码。在接收到WAIT\_STATE响应代码时，要求eSPI主设备处理等待状态。



Master Initiated Non-Posted Transaction Responded with WAIT STATE

## 传输层

## 链路层(Link Layer)

### 1,2,4 I/O模式

无论主机还是从机都必须支持单 IO模式，我们也可以通过配置寄存器设置为单，双，或者四I/O模式。eSPI从机可以独立支持双I / O和四I / O模式。

默认情况下，来自eSPI Reset＃的主机和从机都在Single I / O模式下运行。 主机可以使用SET\_CONFIGURATION命令更改操作模式。SET\_CONFIGURATION以当前的操作模式完成。新的操作模式仅在CS＃的取消激活边缘生效。

在单I / O模式下，I / O [1：0]引脚是单向的。 eSPI主机在命令阶段驱动I / O [0]，而从机的响应在I / O [1]上驱动。 在命令阶段，要求eSPI从机将I / O [1]置于高阻态，因为I / O [1]可以由eSPI主机驱动，例如在启动带内复位命令时。

在双I / O模式下，I / O [1：0]引脚变为双向以形成双向数据总线，并且所有命令和响应阶段都同时在两个双向引脚上传输，从而有效地使了 单I / O模式的传输速率

在四线I / O模式下，I / O [3：0]引脚是双向数据总线，并且所有命令和响应阶段都同时通过四个双向引脚进行传输，相对于双I / O模式，从而有效地使传输速率提高了一倍。

eSPI事务的每个字段都按照定义的顺序相应移出。 对于包含多个字节的字段，在eSPI总线上移出的字节顺序如下：（LSB =最低有效字节，MSB =最高有效字节）

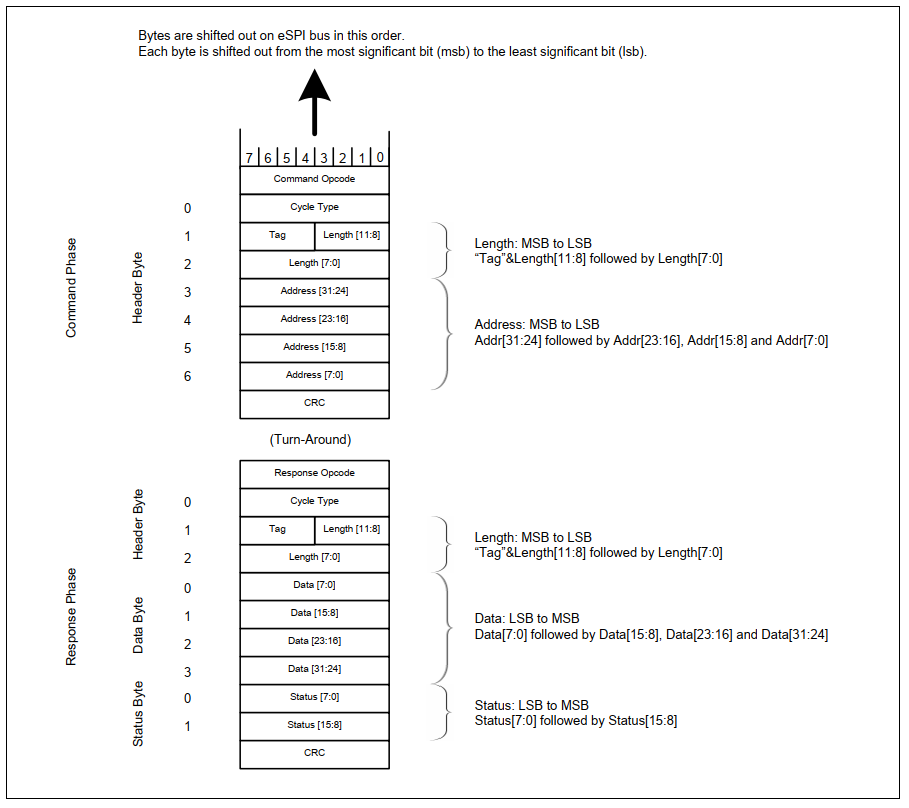
•：Header:

。长度：从MSB（带标签字段）到LSB

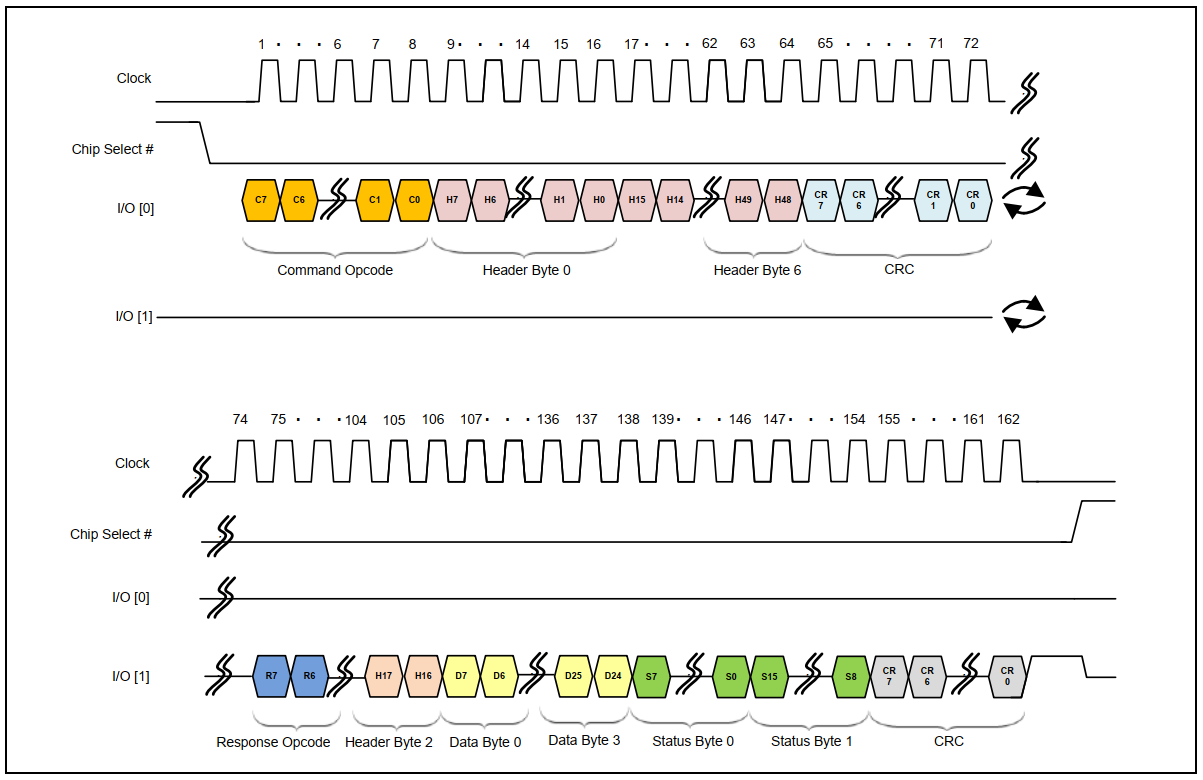
。地址：从MSB到LSB。 这适用于地址为GET\_CONFIGURATION和SET\_CONFIGURATION的eSPI事务。

* Data：从LSB到MSB
* Status从LSB到MSB

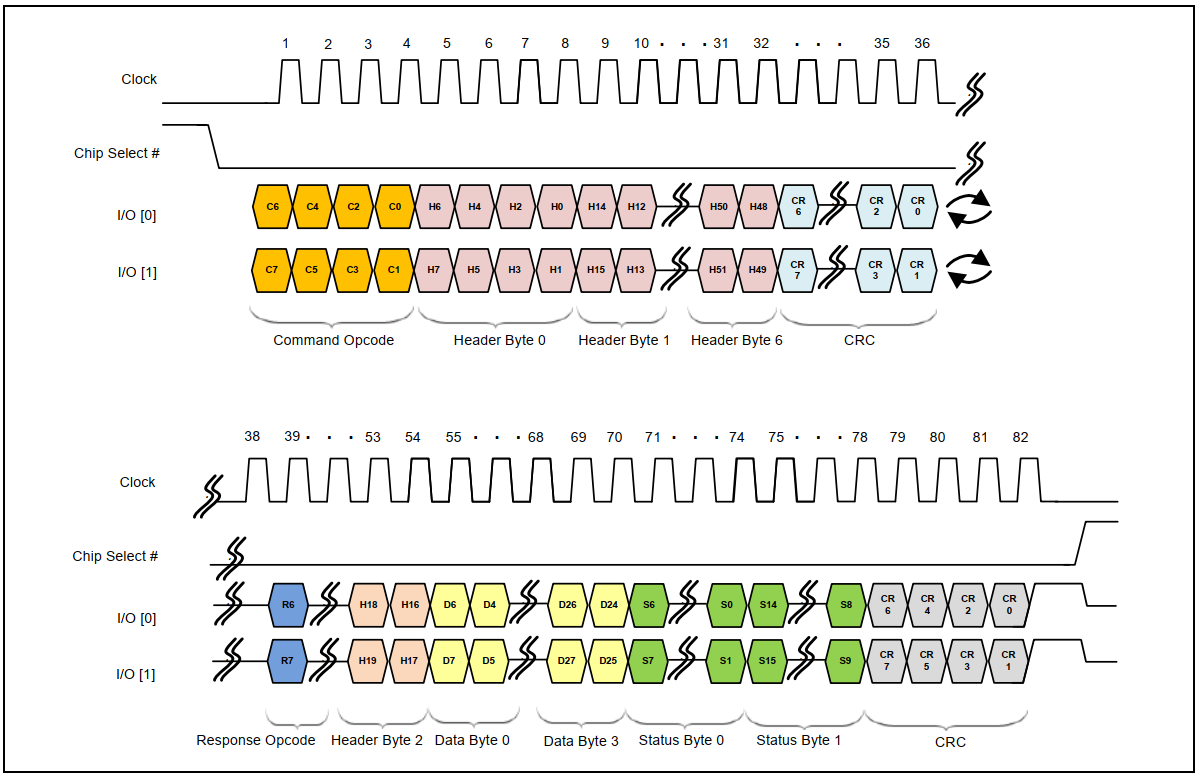
其中每个字节都从最高有效位（位[7]）移到最低有效位（位[0]）



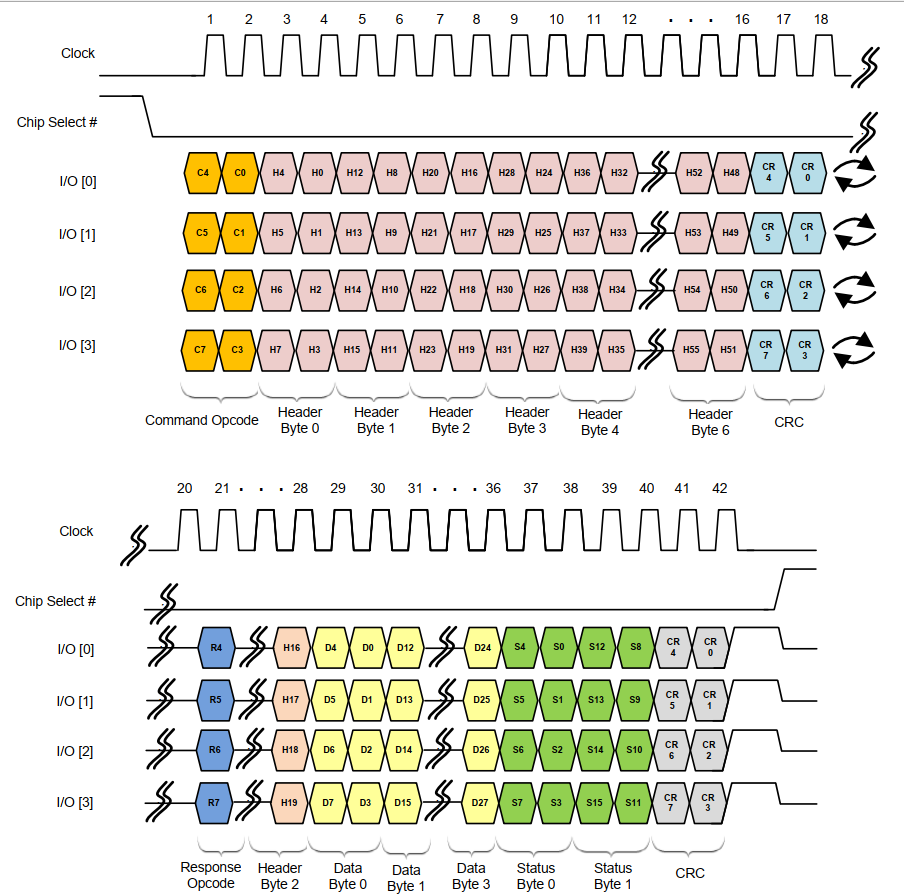
Byte Ordering on the eSPI Bus



Single I/O Mode



Dual I/O Mode



Quad I/O Mode

### CRC

CRC-8用于保护eSPI事务数据包。 命令阶段和响应阶段包含各自的CRC字节。 对于命令阶段，CRC计算包括命令阶段中的所有字节，例如命令操作码，标头（如果存在）和数据（如果存在）。 对于响应阶段，CRC计算包括响应阶段中的所有字节，例如响应代码（不包括在CRC计算中的WAIT\_STATE响应代码），标头（如果存在），数据（如果存在）和状态。

CRC值使用以下规则计算：

•多项式表示为：x8 + x2 + x + 1。

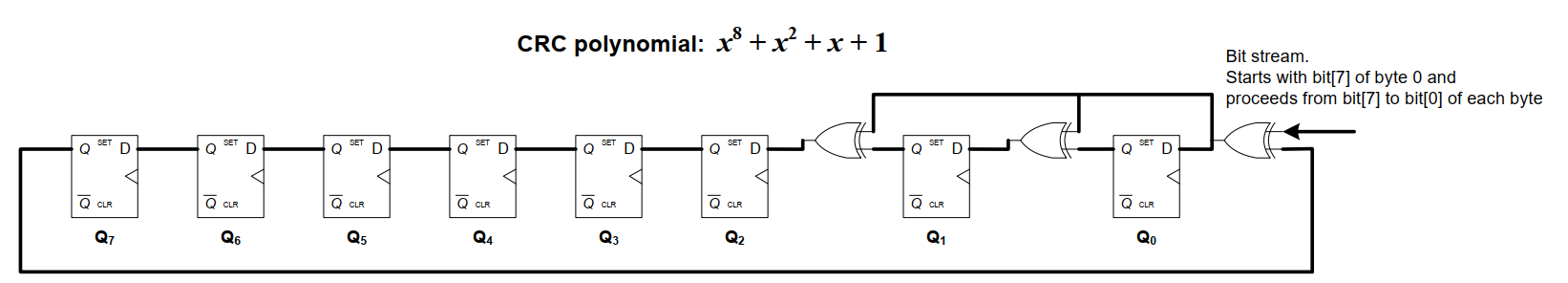
•用于CRC计算的多项式的系数表示为“ 07h”。

•种子值为“ 00h”。 在计算任何CRC字节之前，将CRC存储寄存器复位为初始值00h。

•CRC计算从字节0的位[7]开始，从每个字节的位[7]到位[0]

对于eSPI，必须强制生成CRC。 但是，默认情况下，在eSPI reset＃之后，CRC检查默认为禁用，并通过将CRC检查启用位设置为SET\_CONFIGURATION来启用，从而在成功设置SET\_CONFIGURATION时，将在CS＃的无效沿上在eSPI主机和eSPI从机上启用CRC检查。 eSPI主机和eSPI从机都必须始终能够支持CRC检查，因为平台要求确定是否将为eSPI接口启用CRC检查。禁用CRC检查时，接收器将忽略CRC字节

#### CRC Polynomial Representation



CRC Polynomial Representation

#### CRC Byte with Input Data D7:D0 (⊕ denotes logical XOR)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **1st Clock** | **2nd Clock** | **3rd Clock** | **4th Clock** |
| Q0 | D7 | D6 | D5 | D4 |
| Q1 | D7 | D7⊕D6 | D6⊕D5 | D5⊕D4 |
| Q2 | D7 | D7⊕D6 | D7⊕D6⊕D5 | D6⊕D5⊕D4 |
| Q3 | 0 | D7 | D7⊕D6 | D7⊕D6⊕D5 |
| Q4 | 0 | 0 | D7 | D7⊕D6 |
| Q5 | 0 | 0 | 0 | D7 |
| Q6 | 0 | 0 | 0 | 0 |
| Q7 | 0 | 0 | 0 | 0 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **5th Clock** | **6th Clock** | **7th Clock** | **8th Clock. CRC = Q7:0** |
| Q0 | D3 | D2 | D7⊕D1 | D7⊕D6⊕D0 |
| Q1 | D4⊕D3 | D3⊕D2 | D7⊕D2⊕D1 | D6⊕D1⊕D0 |
| Q2 | D5⊕D4⊕D3 | D4⊕D3⊕D2 | D7⊕D3⊕D2⊕D1 | D6⊕D2⊕D1⊕D0 |
| Q3 | D6⊕D5⊕D4 | D5⊕D4⊕D3 | D4⊕D3⊕D2 | D7⊕D3⊕D2⊕D1 |
| Q4 | D7⊕D6⊕D5 | D6⊕D5⊕D4 | D5⊕D4⊕D3 | D4⊕D3⊕D2 |
| Q5 | D7⊕D6 | D7⊕D6⊕D5 | D6⊕D5⊕D4 | D5⊕D4⊕D3 |
| Q6 | D7 | D7⊕D6 | D7⊕D6⊕D5 | D6⊕D5⊕D4 |
| Q7 | 0 | D7 | D7⊕D6 | D7⊕D6⊕D5 |

**注: 具体的计算方法可参考附录二。**

## 从机寄存器配置

增强型串行外设接口（eSPI）定义了一组从寄存器。 这些寄存器是枚举，配置和为eSPI总线定义的各个独立通道的正常运行所必需的。

#### 状态寄存器

状态寄存器位通过eSPI reset＃复位。状态寄存器的在响应阶段的相应状态字段中返回。

关于状态寄存器的编码在之前介绍过，在3.3.5 响应域中的状态域。

#### 功能和配置寄存器

功能和配置寄存器位通过eSPI Reset＃重置。 此外，可以通过相应寄存器部分中所述的其他复位来复位寄存器。

GET\_CONFIGURATION和SET\_CONFIGURATION命令用于访问这些寄存器。 只能以DWord宽度访问寄存器。当使用SET\_CONFIGURATION命令配置寄存器时，从机的新寄存器值仅在片选＃的置低沿生效。 因此，SET\_CONFIGURATION命令基于当前的预配置设置在eSPI总线上运行。

从偏移量800h到FFFh的寄存器保留为特定于平台的。 这为平台特定的应用程序提供了2KB的寄存器空间。

**Table 20: Slave Registers**

|  |  |  |
| --- | --- | --- |
| **Start (Hex)** | **End (Hex)** | **Register Name** |
| 000 | 003 | Reserved |
| 004 | 007 | Device Identification |
| 008 | 00B | General Capabilities and Configurations |
| 00C | 00F | Reserved |
| 010 | 013 | Channel 0 Capabilities and Configurations |
| 014 | 01F | Reserved |
| 020 | 023 | Channel 1 Capabilities and Configurations |
| 024 | 02F | Reserved |
| 030 | 033 | Channel 2 Capabilities and Configurations |
| 034 | 03F | Reserved |
| 040 | 043 | Channel 3 Capabilities and Configurations |
| 044 | 7FF | Reserved |
| 800 | FFF | Platform Specific registers |

##### Device Identification

|  |  |  |  |
| --- | --- | --- | --- |
| **Bit** | **Type** | **Default** | **Description** |
| 31:8 | RO | 0 | **Reserved.** |
| 7:0 | RO | 01h | **Version ID：**固定为0x01 |

##### General Capabilities and Configurations

|  |  |  |  |
| --- | --- | --- | --- |
| Bit | Type | Default | Description |
| 31 | RW | 0b | 启用CRC校验：eSPI主设备将该位置1，以启用eSPI总线上的CRC校验。默认情况下，CRC校验被禁用。  0 :禁能CRC校验 1：使能CRC校验 |
| 30 | RW | 0b | 响应修饰符使能：此位设置为1，以允许eSPI从设备使用响应修饰符来附加外设（通道0）完成，虚拟线路（通道1）数据包或闪存访问（通道3）完成 到GET\_STATUS响应阶段。 当该位为0时，eSPI从机只能使用响应修饰符“ 00”，即无附加。 默认情况下，“响应修饰符”是禁用的。 |
| 29 | RO | 0 | Reserved |
| 28 | RW | 0b | Alert模式：该位用于配置从机使用的警报机制，以在eSPI接口上启动事务。  0b：I / O [1]引脚用于指示警报事件。  1b：Alert＃引脚用于发信号通知Alert事件。  Note：在单个主单从拓扑中，该位可设置为0或者1。 对于单主多从拓扑，该位必须设置为“ 1”。  在运行时，在此情况下提供的单个或多个从属拓扑中，警报模式都可以从默认的“ 0”更改为“ 1”，仅启用了一个从属即可生成Alert＃事件。 |
| 27:26 | RW | 00b | I / O模式选择：eSPI主机对该字段进行设置以启用适当的操作模式，该模式将在CS＃的取消置位沿生效。  主机和从机都必须支持在此字段中配置的I / O模式。 默认情况下支持单I / O模式。   |  |  | | --- | --- | | Encoding | Mode | | 00 | Single I/O | | 01 | Dual I/O | | 10 | Quad I/O | | 11 | Reserved. | |
| 25:24 | RO | HwInit | I / O模式支持：此字段指示从机支持的I / O模式。   |  |  | | --- | --- | | Encoding | Mode | | 00 | Single I/O | | 01 | Single I/O and Dual I/O | | 10 | Single I/O and Quad I/O | | 11 | Single ,Dual ,and Quad I/O | |
| 23 | RW | 0 | 漏极开路Alert＃选择：eSPI主机将此位设置为“ 1”，以将Alert＃引脚配置为漏极开路输出。  默认情况下，Alert＃引脚用作驱动输出。 如果从机支持漏极开路Alert＃引脚，则只能将此位编程为1。  当警报模式位为1时，该位必须有效，表示警报＃引脚用于发信号通知警报事件。  0b：Alert＃引脚为驱动输出。  1b：Alert＃引脚为漏极开路输出。 |
| 22:20 | RW | 000b | 工作频率设置   |  |  | | --- | --- | | Bits | Frequency(MHz) | | 000 | 20 | | 001 | 25 | | 010 | 33 | | 011 | 50 | | 100 | 66 | | others | Reserved | |
| 19 | RO | HwInit | 支持漏极开路Alert＃:硬件是否支持开漏输出。  0： 不支持 1： 支持 |
| 18:16 | RO | HwInit | 获取从机支持的最大操作频率   |  |  | | --- | --- | | Bits | Frequency(MHz) | | 000 | 20 | | 001 | 25 | | 010 | 33 | | 011 | 50 | | 100 | 66 | | others | Reserved | |
| 15:12 | RW | 0 | 允许的最大等待状态：eSPI主机设置从机必须允许从机响应的最大等待状态，然后从机必须使用接受，延迟，非致命错误或致命错误响应代码进行响应。  这是字节时间粒度中从1开始的字段。 当为“ 0”时，表示16字节时间。  一个字节时间对应于Single I / O模式下的8个串行时钟，Dual I / O模式下的4个串行时钟或Quad I / O模式下的2个串行时钟。 |
| 11:8 | RO | 0 | Reserved |
| 7:0 | RO | HwInit | 支持的通道：置位时，每个位指示从机支持相应的通道   |  |  | | --- | --- | | Bits | channel | | 0 | Peripheral Channel | | 1 | Virtual Wire Channel | | 2 | OOB Message Channel | | 3 | Flash Access Channel | | 4:7 | Reserved for platform specific channels | |

**HwInit:表示由硬件功能决定。**

##### Channel 0 Capabilities and Configurations

##### Channel 1 Capabilities and Configurations

##### Channel 2 Capabilities and Configurations

##### Channel 3 Capabilities and Configurations

# 附录一：posted与non-posted

Post翻译过来就是邮寄的意思，当我们写了一封信然后丢进邮筒，那就要做好一去不复返遥遥无回应的准备。

按照这样理解的话，如果不需要对方响应的数据传输，就是Posted；如果需要对方立即或者稍后响应响应的就是Non-Post。Non-Posted总线事务是指PCI主设备向PCI目标设备进行数据传送的时候，数据必须到达目的地之后，才能结束当前总线事务。PCI总线在没有结束当前总线事务时必须等待。

PCI总线规定Memory Read, I/O Read/Write, Config Read/Write都只能采用Non-Posted方式传输。

首先读操作肯定得是Non-Posted，读操作需要目标设备返回读回来的数据，如果在返回数据的过程中运行插入其他的操作，这样主设备就很可能接收不到读回来的这笔数据了；其次，IO Write也是需要等待IO设备的响应的，不能允许中间插入其他操作，而Config Read/Write的本质其实是IO Read/Write。这样看来，将Memory Read, I/O Read/Write, Config Read/Write规定为Non-Posted传输就十分容易理解了。

Posted总线事务指PCI主设备向PCI目标设备进行数据传输时，当数据到达PCI桥后，即由PCI桥接管来自上游总线的总线事务，并将其转发到下游总线。采用这种数据传送方式，在数据还没到达目标设备之前，PCI总线就可以结束当前总线事务，进行其他总线事务。很显然，采用Posted传送方式，这个Posted总线事务通过某条PCI总线后，就可以释放PCI总线的资源。PCI总线规定只有Memory Write可以采用Posted传送方式。

相对于Non-Posted传输来说，使用Posted方式的Memory Write显得更为高效些，主设备在发起Memory Write传输后就可以进行下一笔数据传送，无须等待任何回应。这么做有点副作用，那就是无法确认写操作是否真的完成，但是和所提高的总线性能相比，Memory Write牺牲的这点命中率也不足道哉了。

# 附录二 CRC-8 计算方法

**模2除法**

模2除法与算术除法类似，但每一位除的结果不影响其它位，即不向上一位借位，所以实际上就是异或。在循环冗余校验码（CRC）的计算中有应用到模2除法。

例子：

使用多项式：x8+x5+x4+1（二进制为：100110001）

计算一个字节：0x11（二进制为：00010001）

计算步骤：

A、 因为采用顺序异或，所以需要计算的数据左移8位，

移位后数据为：0001 0001 0000 000

B、 先进行高9bit异或（多项式为9bit），0001 0001 0000 0000，因为高9bit的最高bit为0，不需要进行异或，同理，接下来的两bit也是0，也不需要进行异或。 这样处理后数据为：1 0001 0000 0000；

C、 接下来最高位为1，需要进行异或操作了

1 0001 0000 0000 (因为是CRC8 所以data左移8位)

^ 1 0011 0001 0000(这个是 二项式公式参数化，要最高位对齐，后面补0)

---------------------------------------------

0 0010 0001 0000

^ 0 0010 0110 0010

----------------------------------------------

0 0000 0111 0010 (bit7 以前的数为0，结束异或，结果为0x72)

**这里的例子与文档中的二项式不一样，要注意变通。**