**PS/2接口协议解析及应用**

2011-10-13  [DERITA](http://www.360doc.com/userhome/7877870)   阅 250  转 2

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **PS/2接口协议解析及应用**    **ps/2接口标准的发展过程**  随着计算机工业的发展，作为计算机最常用输入设备的键盘也日新月异。1981年IBM推出了IBM pc/XT键盘及其接口标准。该标准定义了83键，采用5脚DIN连接器和简单的串行协议。实际上，第一套键盘扫描码集并没有主机到键盘的命令。为此，1984年IBM推出了IBM AT键盘接口标准。该标准定义了84~101键，采用5脚DIN连接器和双向串行通讯协议，此协议依照第二套键盘扫描码集设有8个主机到键盘的命令。到了1987年，IBM又推出了ps/2键盘接口标准。该标准仍旧定义了84~101键，但是采用6脚mini-DIN连接器，该连接器在封装上更小巧，仍然用双向串行通讯协议并且提供有可选择的第三套键盘扫描码集，同时支持17个主机到键盘的命令。现在，市面上的键盘都和ps/2及AT键盘兼容，只是功能不同而已。    **ps/2接口硬件**  1、            物理连接器  一般，具有五脚连接器的键盘称之为AT键盘，而具有六脚mini-DIN连接器的键盘则称之为ps/2键盘。其实这两种连接器都只有四个脚有意义。它们分别是Clock(时钟脚)、DATA(数据脚)、+5V(电源脚)和Ground(电源地)。在ps/2键盘与pc机的物理连接上只要保证这四根线一一对应就可以了。ps/2键盘靠pc的ps/2端口提供+5V电源，另外两个脚Clock(时钟脚)和DATA(数据脚)都是集电极开路的，所以必须接大阻值的上拉电阻。它们平时保持高电平，有输出时才被拉到低电平，之后自动上浮到高电平。现在比较常用的连接器如图1所示。  2、            电气特性  ps/2 通讯协议是一种双向同步串行通讯协议。通讯的两端通过Clock(时钟脚)同步，并通过DATA(数据脚)交换数据。任何一方如果想抑制另外一方通讯时，只需要把Clock(时钟脚)拉到低电平。如果是pc机和ps/2键盘间的通讯，则pc机必须做主机，也就是说，pc机可以抑制ps/2键盘发送数据，而 ps/2键盘则不会抑制pc机发送数据。一般两设备间传输数据的最大时钟频率是33kHz，大多数ps/2设备工作在10~20kHz。推荐值在 15kHz左右，也就是说，Clock(时钟脚)高、低电平的持续时间都为40μs。每一数据帧包含11~12个位，具体含义如表1所列。  表1 数据帧格式说明   |  |  | | --- | --- | | 1个起始位 | 总是逻辑0 | | 8个数据位 | （LSB）低位在前 | | 1个奇偶校验位 | 奇校验 | | 1个停止位 | 总是逻辑1 | | 1个应答位 | 仅用在主机对设备的通讯中 |   表中，如果数据位中1的个数为偶数，校验位就为1；如果数据位中1的个数为奇数，校验位就为0；总之，数据位中1的个数加上校验位中1的个数总为奇数，因此总进行奇校验。  3、            ps/2设备和pc机的通讯  ps/2 设备的Clock(时钟脚)和DATA(数据脚)　都是集电极开路的，平时都是高电平。当ps/2设备等待发送数据时，它首先检查Clock(时钟脚)以确认其是否为高电平。如果是低电平，则认为是pc机抑制了通讯，此时它必须缓冲需要发送的数据直到重新获得总线的控制权(一般ps/2键盘有16个字节的缓冲区，而ps/2鼠标只有一个缓冲区仅存储最后一个要发送的数据)。如果Clock(时钟脚)为高电平，ps/2设备便开始将数据发送到pc机。一般都是由ps/2设备产生时钟信号。发送时一般都是按照数据帧格式顺序发送。其中数据位在Clock(时钟脚)为高电平时准备好，在Clock(时钟脚)的下降沿被pc机读入。ps/2设备到pc机的通讯时序如图2所示。  当时钟频率为15kHz时，从Clock(时钟脚)的上升沿到数据位转变时间至少要5μｓ。数据变化到Clock(时钟脚)下降沿的时间至少也有5 μｓ，但不能大于25 μｓ，这是由ps/2通讯协议的时序规定的。如果时钟频率是其它值，参数的内容应稍作调整。  上述讨论中传输的数据是指对特定键盘的编码或者对特定命令的编码。一般采用第二套扫描码集所规定的码值来编码。其中键盘码分为通码(make)和断码 (Break)。通码是按键接通时所发送的编码，用两位十六进制数来表示，断码通常是按键断开时所发送的编码，用四位十六进制数来表示。  http://image39.360doc.com/DownloadImg/2011/10/1315/18453017_1.jpg  **ps/2接口通信时序**  ps/2设备主要用于产生同步时钟信号和读写数据。  ps/2向pc机发送一个字节：    从ps/2向pc机发送一个字节可按照下面的步骤进行：  (1)检测时钟线电平，如果时钟线为低，则延时50μｓ；  (2)检测判断时钟信号是否为高，为高，则向下执行，为低，则转到(1)；  (3)检测数据线是否为高，如果为高则继续执行，如果为低，则放弃发送(此时pc机在向ps/2设备发送数据，所以ps/2设备要转移到接收程序处接收数据)；  (4)延时20μｓ(如果此时正在发送起始位，则应延时４0μｓ)；  (5)输出起始位(0)到数据线上。这里要注意的是：在送出每一位后都要检测时钟线，以确保pc机没有抑制ps/2设备，如果有则中止发送；  (6)输出8个数据位到数据线上；  (7)输出校验位；  (8)输出停止位(1)；  (9)延时30μｓ(如果在发送停止位时释放时钟信号则应延时50μｓ)；    通过以下步骤可发送单个位：  (1)准备数据位(将需要发送的数据位放到数据线上)；  (2)延时20μｓ；  (3)把时钟线拉低；  (4)延时４0μｓ；  (5)释放时钟线；  (6)延时20μｓ。    ps/2设备从pc机接收一个字节  由于ps/2设备能提供串行同步时钟，因此，如果pc机发送数据，则pc机要先把时钟线和数据线置为请求发送的状态。pc机通过下拉时钟线大于100μｓ来抑制通讯，并且通过下拉数据线发出请求发送数据的信号，然后释放时钟。当ps/2设备检测到需要接收的数据时，它会产生时钟信号并记录下面8个数据位和一个停止位。主机此时在时钟线变为低时准备数据到数据线，并在时钟上升沿锁存数据。而ps/2设备则要配合pc机才能读到准确的数据。  具体连接步骤如下：  (1)等待时钟线为高电平。  (2)判断数据线是否为低，为高则错误退出，否则继续执行。  (3)读地址线上的数据内容，共8个bit，每读完一个位，都应检测时钟线是否被pc机拉低，如果被拉低则要中止接收。  (4)读地址线上的校验位内容，1个bit。  (5)读停止位。  (6)如果数据线上为0(即还是低电平)，ps/2设备继续产生时钟，直到接收到1且产生出错信号为止(因为停止位是1，如果ps/2设备没有读到停止位，则表明此次传输出错)。  (7) 输出应答位。  (8) 检测奇偶校验位，如果校验失败，则产生错误信号以表明此次传输出现错误。  (9)延时４5 μｓ，以便pc机进行下一次传输。    读数据线的步骤如下：  (1)延时20μｓ；  (2)把时钟线拉低  (3)延时４0μｓ  (4)释放时钟线  (5)延时20μｓ  (6)读数据线。    下面的步骤可用于发出应答位；  (1)延时15μｓ；  (2)把数据线拉低；  (3)延时5μｓ；  (4)把时钟线拉低；  (5)延时４0μｓ；  (6)释放时钟线；  (7)延时5μｓ；  (8)释放数据线。 |