Лабораторна робота №2

Запам'ятовуючі пристрої. Дослідження тригерів.

Група: ІПС – 11, ФКНК

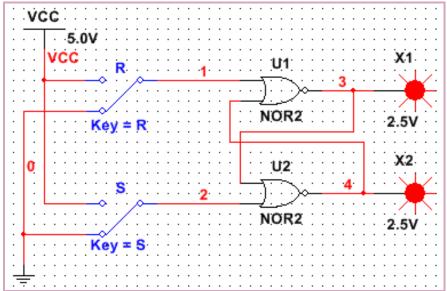
Сенечко Д. В.

Мета роботи:

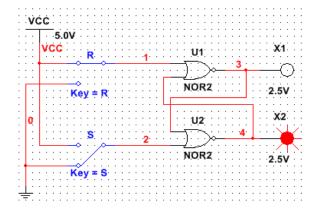
- дослідження структури та алгоритмів роботи асинхронних та синхронних тригерів;
- дослідження функцій переходів та збудження основних типів тригерів;
- дослідження можливості взаємозаміни тригерами різних типів.

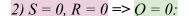
№1. Дослідження RS-тригера.

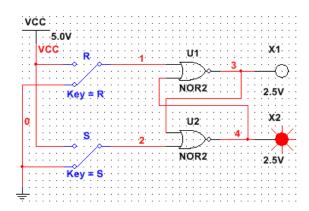
Для початку збираємо схему:



1)
$$S = 0$$
, $R = 1 \Rightarrow Q = 0$:



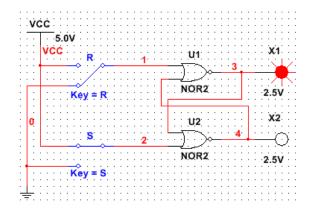


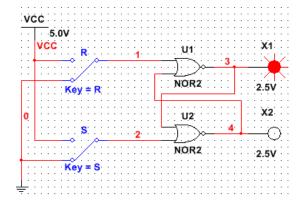


- надходження активного рівня логічного сигналу на вхід скидання, тригер встановлюється в "0";
- при переході до S=0, R=0 тригер зберігає попередній стан Q=0.

3)
$$S = 1$$
, $R = 0 \Rightarrow Q = 1$:

4)
$$S = 0$$
, $R = 0 \Rightarrow Q = 1$:



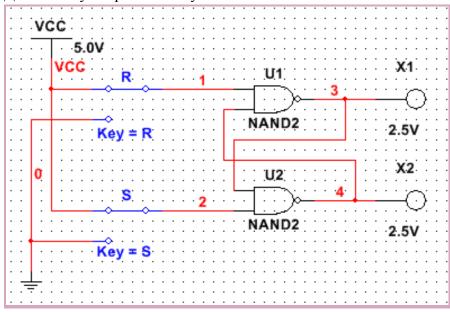


- надходження на вхід установки активного рівня логічного сигналу, тригер встановлюється в "1";
- при переході до S = 0, R = 0 тригер зберігає попередній стан Q = 1.
- заповнюємо таблицю функцій збудження для схеми за результатами експерименту:

S	R	Q
0	1	0
0	0	Qt=0
1	0	1
0	0	Qt=1

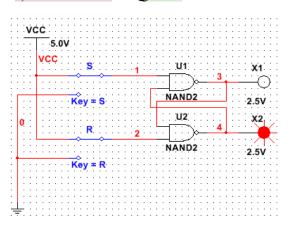
№2. Дослідження \overline{RS} -тригера.

Для початку збираємо схему:



1)
$$S = 1$$
, $R = 0 \Rightarrow Q = 0$:

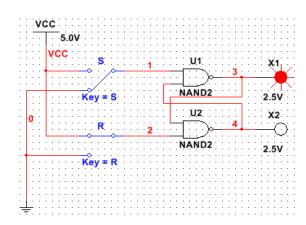
2)
$$S = 1$$
, $R = 1 \Rightarrow Q = 0$:

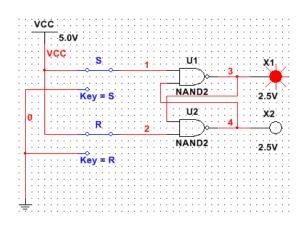


- надходження активного рівня логічного сигналу на вхід скидання, тригер встановлюється в "0";
- при переході до S = 1, R = 1 тригер зберігає попередній стан Q = 0.

3)
$$S = 0$$
, $R = 1 \Rightarrow Q = 1$:

4)
$$S = 1$$
, $R = 1 \Rightarrow Q = 1$:



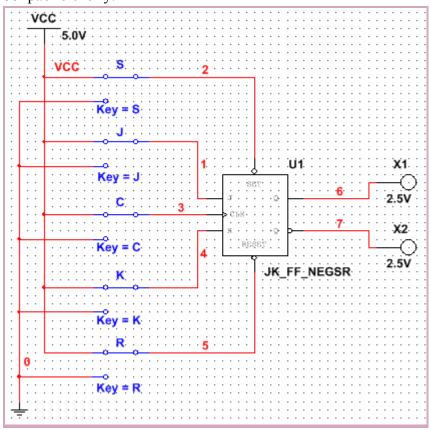


- надходження на вхід установки активного рівня логічного сигналу, тригер встановлюється в "1";
- при переході до S=1, R=1 тригер зберігає попередній стан Q=1.
- заповнюємо таблицю функцій збудження для схеми за результатами експерименту:

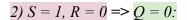
S	R	Q
1	0	0
1	1	Qt=0
0	1	1
1	1	Qt=1

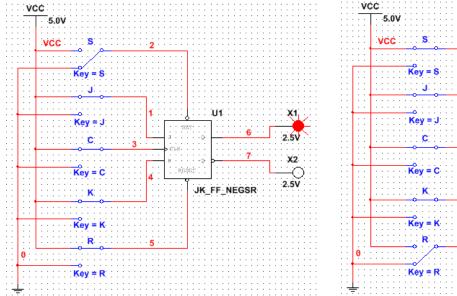
№3. Дослідження ЈК-тригера.

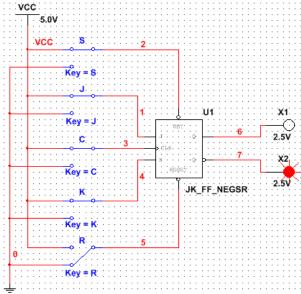
Збираємо схему:



1)
$$S = 0$$
, $R = 1 \Rightarrow Q = 1$:







При S = 0, R = 1 тригер встановлюється в стан Q = 1, а при S = 1, R = 0 тригер встановлюється в стан Q = 0 незалежно від стану інших входів.

Щоб отримати часові діаграми роботи тригера дещо видозмінюємо схему та

вмикаємо Logic Analyzer:

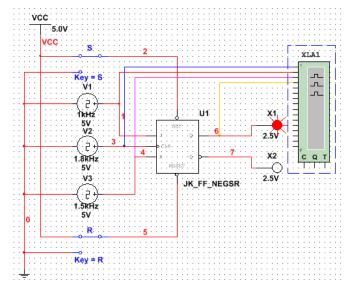
Згідно з побудованою схемою:

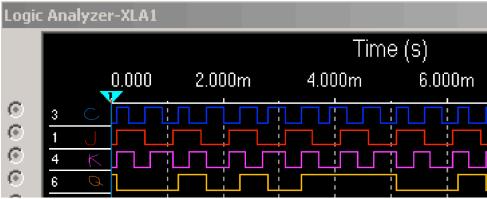
С - синій

К - фіолетовий

J - червоний

Q - жовтий





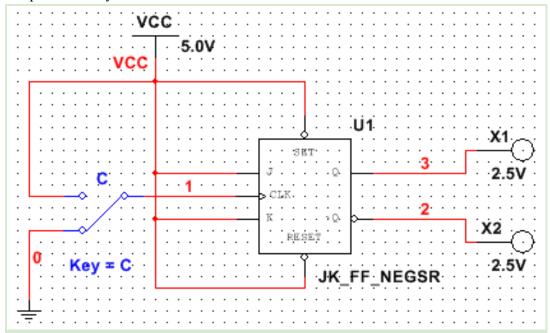
Запустивши схему, бачимо часові діаграми для всіх можливих С, Ј, К, Q.

Складаємо таблицю збуджень тригера:

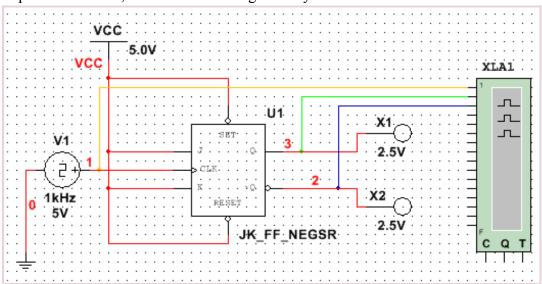
Q_t	Q_{t+1}	J	K
0	0	0	0
0	0	0	1
0	1	1	0
0	1	1	1
1	1	0	0
1	0	0	1
1	1	1	0
1	0	1	1

№4. Дослідження ЈК-тригера в лічильному режимі (Т-тригер).

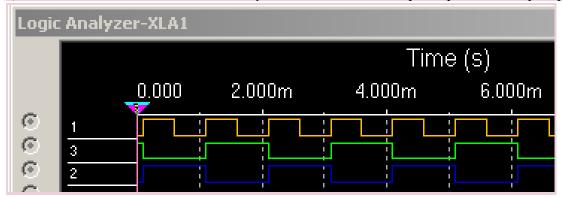
Збираємо схему:



I трохи змінюємо, встановлюємо Logic Analyzer:

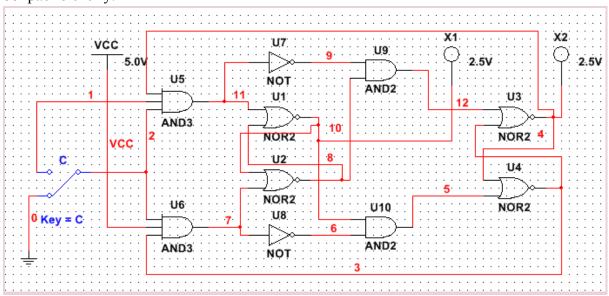


Далі, змінюючи стан лічильного входу, малюємо часові діаграми роботи Т-тригера:

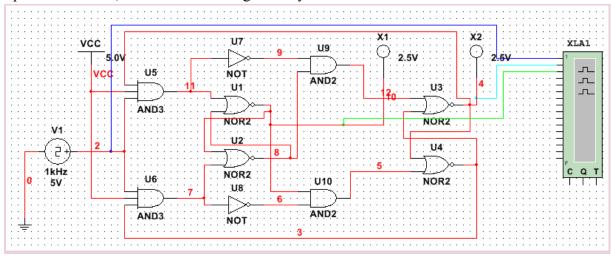


№5. Дослідження ЈК-тригера, побудованого на базі логічних елементів.

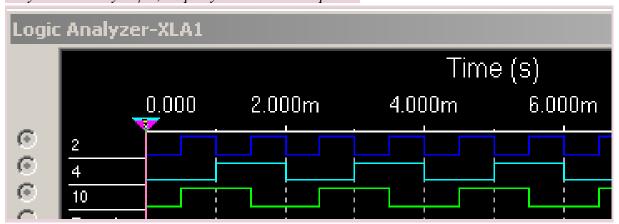
Збираємо схему:



Трохи змінюємо, встановлюємо Logic Analyzer:



Запускаємо симуляцію, отримуємо часові діаграми:



Отже, тригер працю ϵ в лічильному режимі.

Тепер потрібно визначити моменти зміни рівня сигналу на виходах Q1 та Q2 по відношенню до моментів зміни значення рівня сигналу на вході.

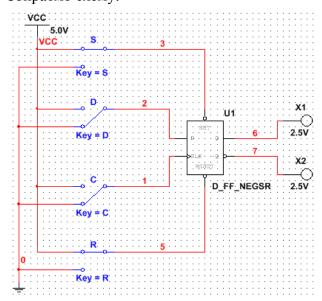
C	1	0	1	0
Q1	1	1	0	0
<i>Q2</i>	0	1	1	0

Проаналізувавши цю таблицю, можемо визначити, що:

- npu C = 1 вихід Q1 змінюється на npomuneжний, Q2 залишається незмінним;
- $npu\ C=0\ вихід\ Q2\ змінюється на <math>npomuneжний,\ Q1\ залишається незмінним.$

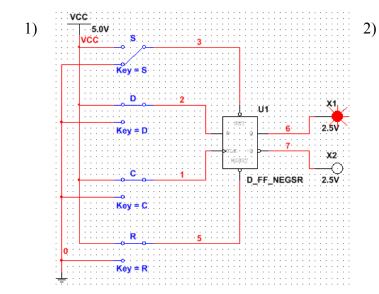
№6. Дослідження D-тригера.

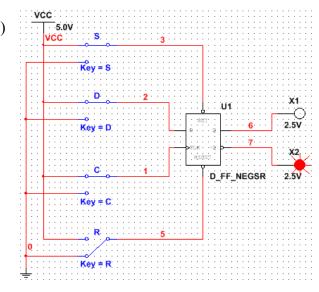
Збираємо схему:



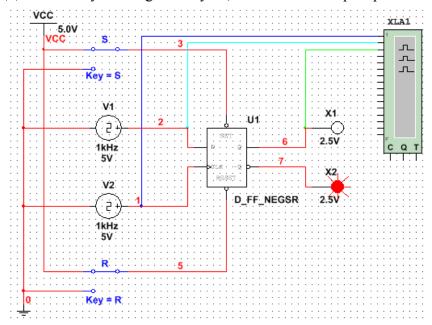
I переконуємося, що:

- 1) при S = 0, R = 1 тригер встановлюється в стан Q = 1 незалежно від стану інших входів;
- 2) при S = I, R = 0 тригер встановлюється в стан Q = 0 незалежно від стану інших входів.

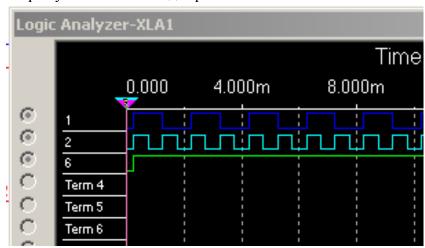




Далі під'єднуємо Logic Analyzer, як і для інших тригерів:



І отримуємо такі часові діаграми:



А далі робимо таблицю:

С	0	0	1	1
D	1	0	0	1
Q	1	1	0	0

№7. Дослідження роботи D-тригера в лічильному режимі.

Складаємо схему:

VCC

5.0V

VCC

U1

X1

SET

D

CLK

RESET

X2

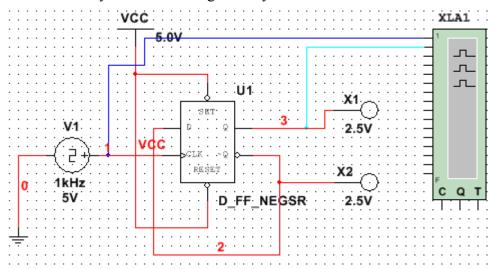
0

Key = C

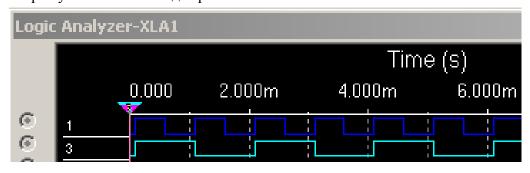
D_FF_NEGSR

2.5V

Міняємо схему та додаємо Logic Analyzer:



І отримуємо такі часові діаграми:



Висновки:

Загальні висновки з лабораторної роботи на тему дослідження тригерів:

1. Дослідження RS-тригера:

- При дослідженні RS-тригера видно, що він має два входи: S set та R reset, які відповідають за встановлення та скидання.
- Під час експерименту перевірено правильність роботи тригера при різних комбінаціях вхідних сигналів.
 - Заповнивши таблицю функцій збудження, систематизовано результати експерименту.

2. Дослідження ЈК-тригера:

- Проведення дослідження JK-тригера дозволило з'ясувати, що він має три входи: J jack та K kill, які відповідають за встановлення та скидання, а також C clock, який відповідає за синхронізацію.
- Перевірено роботу тригера при різних комбінаціях вхідних сигналів, включаючи лічильний режим.
- Складання часових діаграм та таблиці функцій збудження допомогли визначити моменти зміни рівня сигналу на виходах відносно зміни значення на входах.

3. Дослідження D-тригера:

- Дослідження D-тригера показало, що він має один вхід D data, який визначає новий стан тригера.
- Перевірено, як тригер реагує на різні комбінації вхідних сигналів, включаючи лічильний режим.
- Складання таблиці функцій збудження та часових діаграм дозволили з'ясувати, як точно тригер реагує на зміни вхідних сигналів.

У цілому, проведення цих експериментів допомогло краще зрозуміти принципи роботи та особливості кожного типу тригера, що ϵ корисним при проектуванні та реалізації логічних схем.