



UNIVERSITATEA TEHNICĂ
DIN CLUJ-NAPOCA



Facultatea de Electronică,
Telecomunicații și
Tehnologia Informației

Proiect de laborator SCID

Student:

Dura Georgiana- Emanuela

Grupa 2121 sg.1

Cuprins

1.Specificații de proiectare:	2
2.Proiectare pe hârtie.....	3
3.Inversor CMOS	5
3.1. Schema electrică la nivel de tranzistor	5
3.2.Circuitul de test pentru verificarea funcționalității	6
3.3.Măsurarea timpilor de tranziție și a timpului de propagare	7
4.Circuitul combinațional.....	8
4.1. Schema electrică.....	8
4.2. Circuitul de test cu verificarea funcționării	10
5.Circuitul secvențial	11
5.1.Schema electrică.....	11
5.2. Circuitul de test cu verificarea funcționalității	14
6.Implementarea finală	15
6.1Schema finală a automatului.....	15
6.2.Verificarea funcționalității circuitului	16

1.Specificații de proiectare:

12

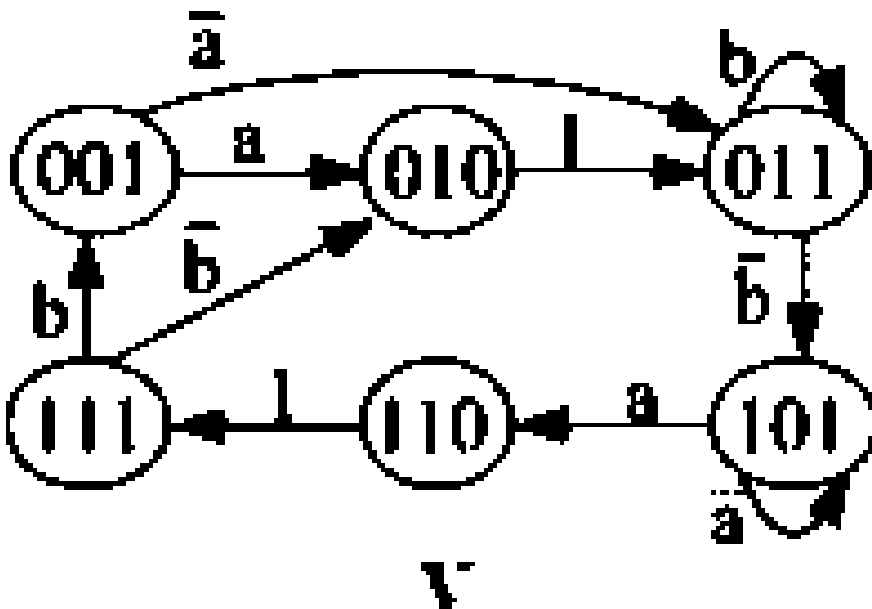
Dura Georgiana Emanuela

II4V

II- Bistabil JK

4- MUX 8:1

V- Diagrama de tranziții



2. Proiectare pe hârtie

Doru Georgiana -
Emmanuel

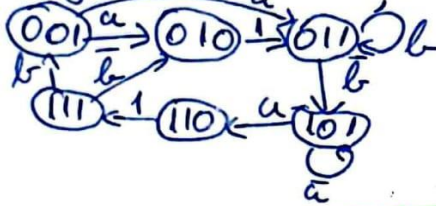
Se va proiecta în Lspice un automat conform diagramei de tranziții pe baza codului alocat.

COD ALOCAT: II 4.V

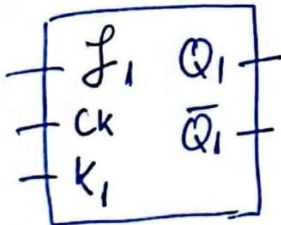
II - BISTABIL JK

4 - MUX 8:1

V - Diagrama de tranziții



Pentru rezolvarea acestei pb. avem nevoie de un tabel pentru bistabilul JK.



Q Q ⁺	J K
0 0	0 x
0 1	1 x
1 0	x 1
1 1	x 0
0 var	var x
1 var	x var

Var - poate înlocui variabilele a și b din diagrama de tranziții

Stare act	Var	Var = 0	Var = 1	Valoare comună	J ₂ K ₂	J ₁ K ₁	J ₀ K ₀
00	0	x	x x x	x x x	x x x	x x	x x
00	1	a	0 1 1	0 1 0	0 1 a	0 x	1 x
01	0	1	x x x	0 1 1	0 1 1	0 x	x 0
01	1	b	1 0 1	0 1 1	b b 1	1 x	x b
10	0	x	x x x	x x x	x x x	x x	x x
10	1	a	1 0 1	1 1 0	1 a a	x 0	a x
11	0	1	x x x	1 1 1	1 1 1	x 0	x 0
11	1	b	0 1 0	0 0 1	0 b b	x 1	x b

Fig. 1. Implementarea pe hârtie a circuitului part.1

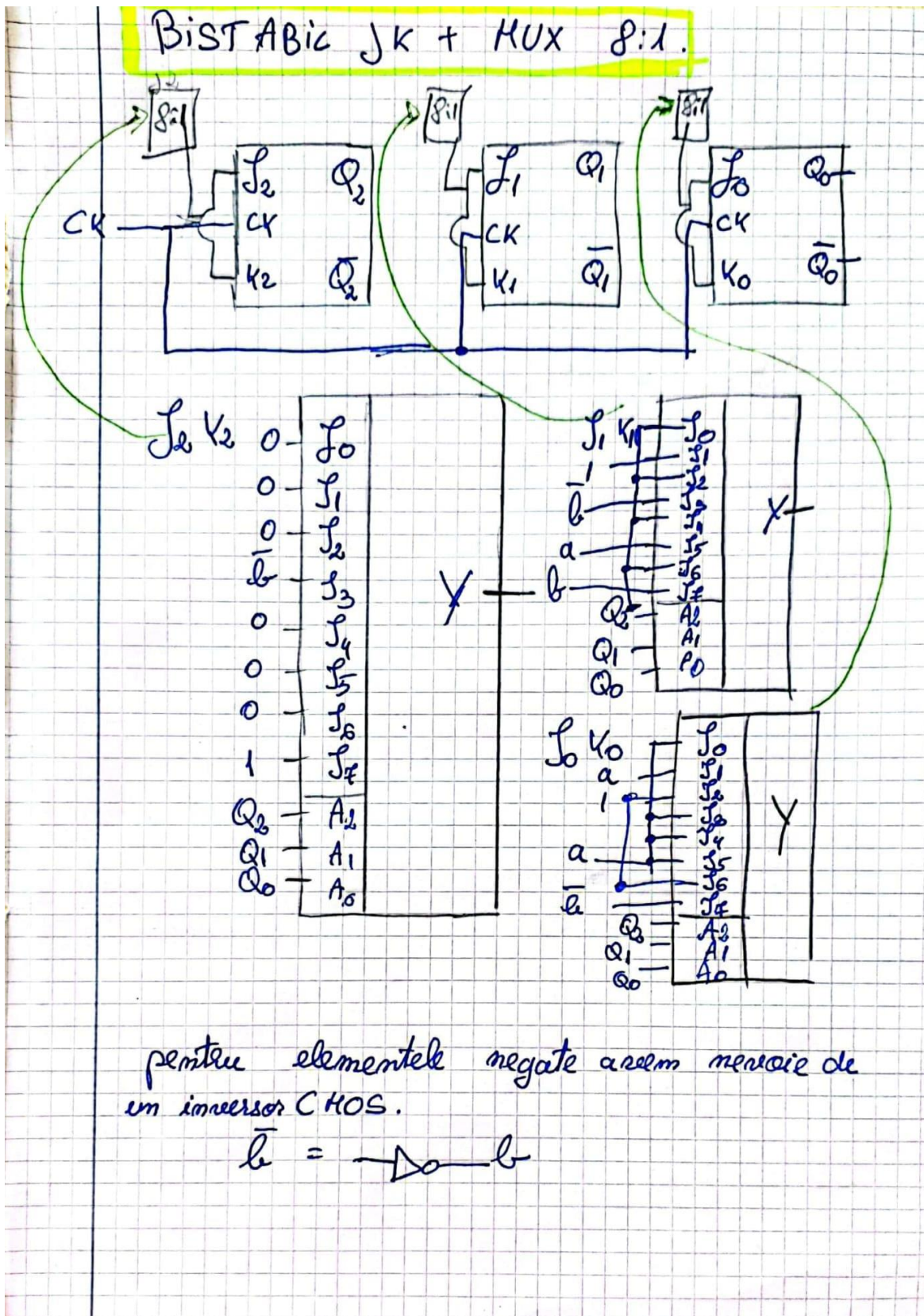


Fig. 2. Implementarea pe hârtie a circuitului part.2

3.Inversor CMOS

3.1. Schema electrică la nivel de tranzistor

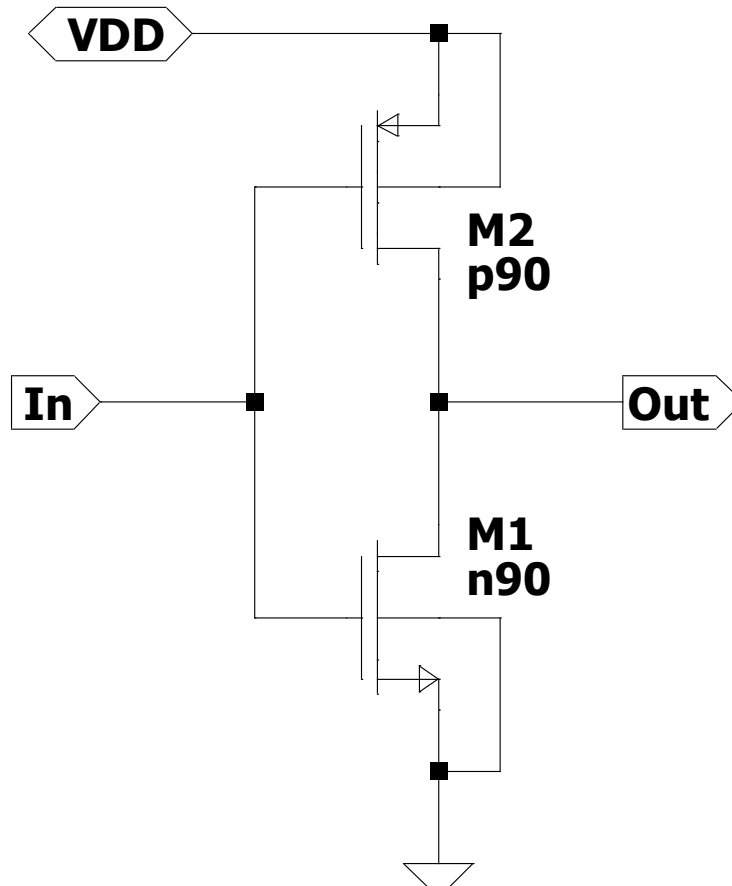


Fig. 3. Schema electrică la nivel de tranzistor a inversorului CMOS

Tranzistor	L[um]	W[um]	AD,AS [fm ²]	PD, PS [um]	m
M1	0.1	0.1	20	0.6	1
M2	0.1	0.2	40	0.8	1

Tabel 1.Parametrii tranzistoarelor inversorului

3.2 Circuitul de test pentru verificarea funcționalității

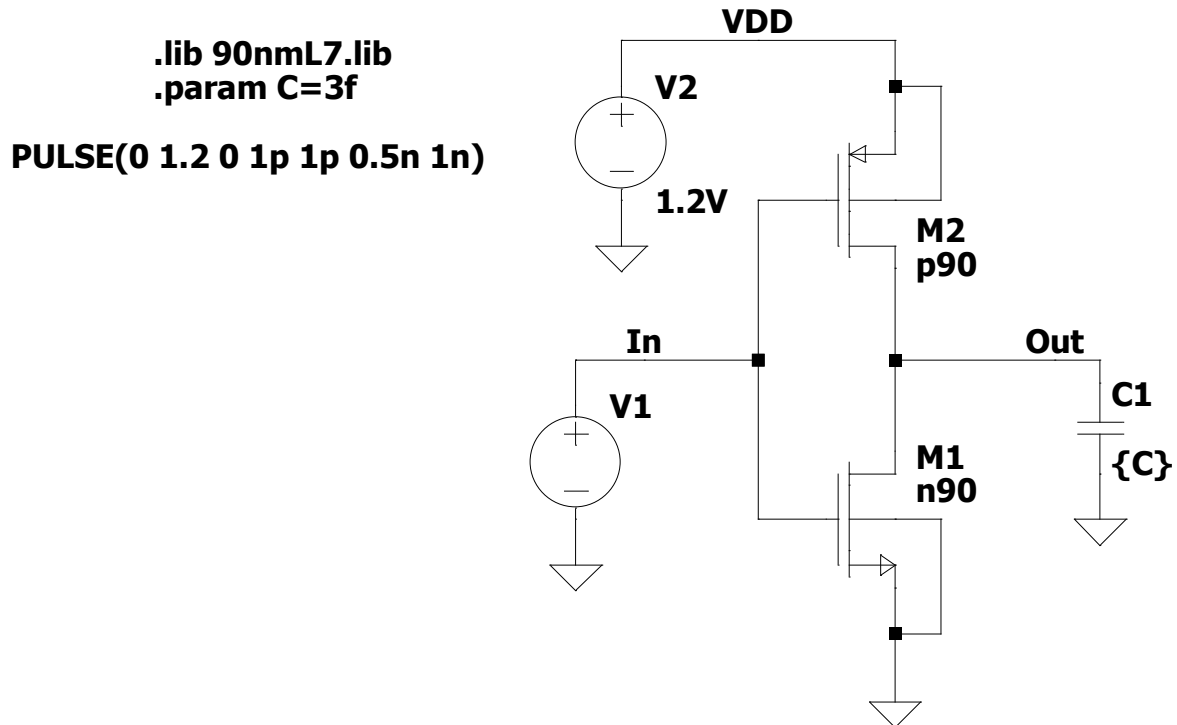


Fig. 4. Schema electrică de test la nivel de tranzistor a inversorului CMOS

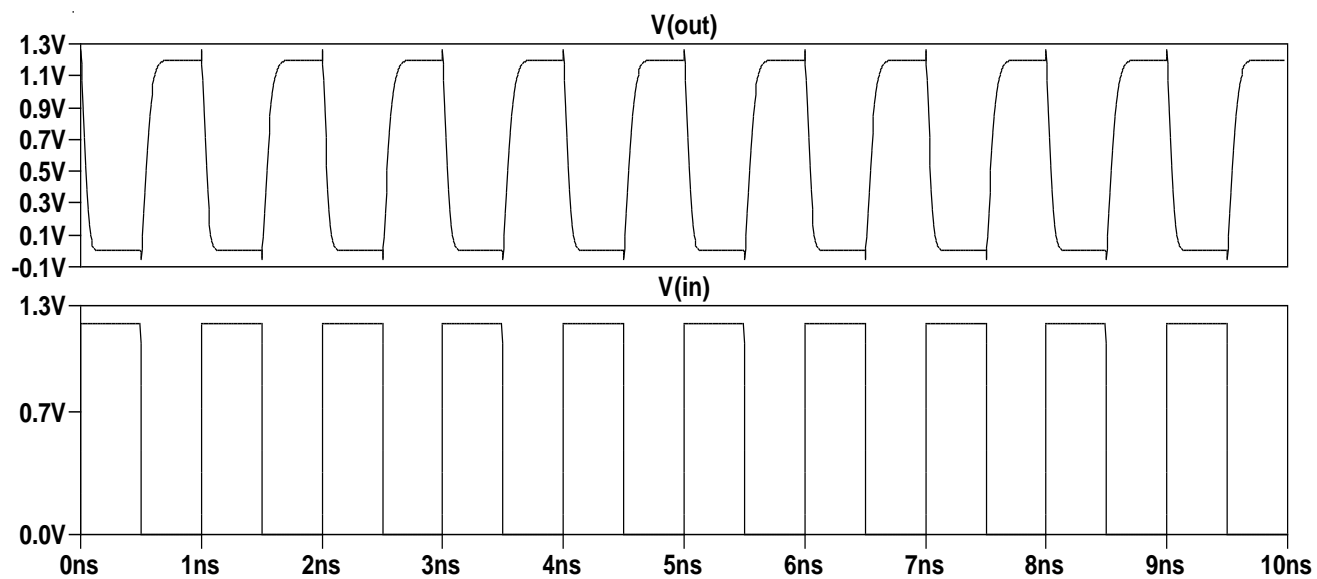


Fig. 5. Formele de unda ale tensiunii de la ieșirea inversorului, respectiv de la intrareag inversorului

În figura de mai sus, se observă faptul că atunci când tensiunea de la intrarea inversorului, $V(in)$, are valoarea „1” logic , tensiunea de la iesirea inversorului, $V(out)$, are valoarea „0” logic , și invers.

3.3.Măsurarea timpilor de tranziție și a timpului de propagare

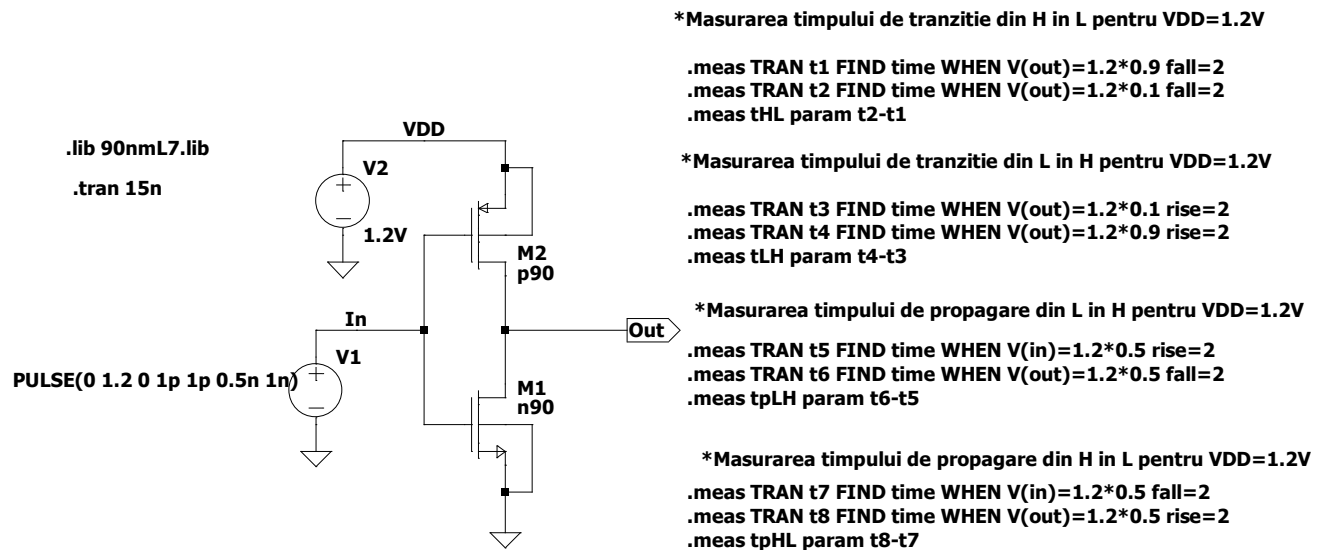


Fig. 6 . Schema de test a inversorului pentru măsurarea timpilor de propagare și tranziție

```
SPICE Error Log: D:\FACULTATE\DOCUMENTE FACULTATE\An 2\Semestrul 2\SCID\Proiect LABORATOR Georgi... X
Circuit: * D:\FACULTATE\DOCUMENTE FACULTATE\An 2\Semestrul 2\SCID\Proiect 1
Direct Newton iteration for .op point succeeded.

t1: time=1.00511e-009 at 1.00511e-009
t2: time=1.0202e-009 at 1.0202e-009
thl: t2-t1=1.50951e-011
t3: time=1.50664e-009 at 1.50664e-009
t4: time=1.52791e-009 at 1.52791e-009
tlh: t4-t3=2.12792e-011
t5: time=1.0005e-009 at 1.0005e-009
t6: time=1.00972e-009 at 1.00972e-009
tplh: t6-t5=9.21545e-012
t7: time=1.5015e-009 at 1.5015e-009
t8: time=1.51234e-009 at 1.51234e-009
tphl: t8-t7=1.08425e-011

Date: Sat May 21 14:09:38 2022
```

Fig. 7. Timpii de propagare și tranziție mășurați

thl -> timpul de descreștere

tlh -> timpul de creștere

tplh -> timpul de propagare Low- High

tphl -> timpul de propagare High- Low

4.Circuitul combinațional

4.1. Schema electrică

Mux 8:1

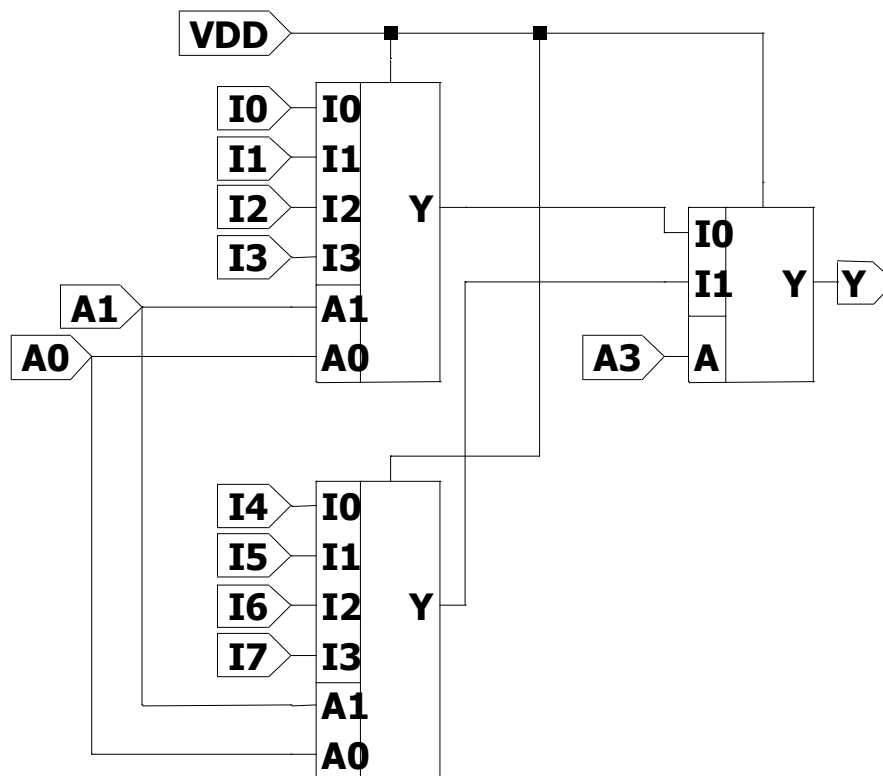


Fig. 8. Schema electrică a MUX 8:1

Se poate observa că pentru crearea acestui multiplexor am unit 2 multiplexoare 4:1.

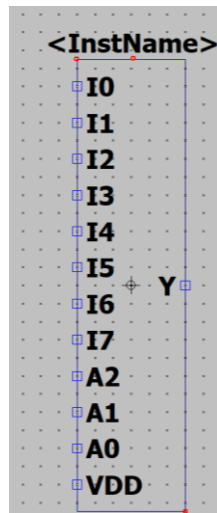


Fig.9. Modelul creat pentru mux 8:1

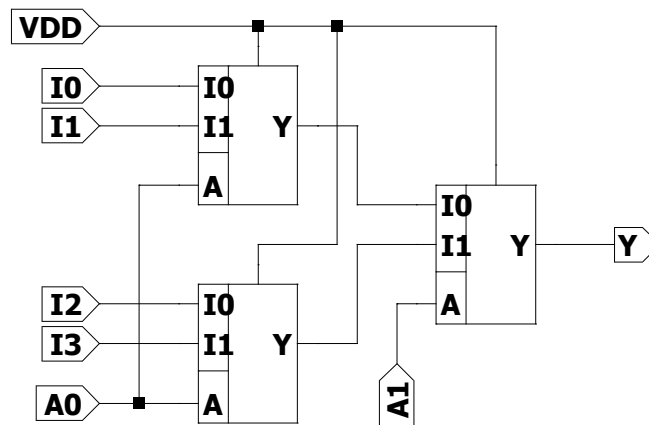


Fig. 10. Schema electrică a MUX 4:1

Se poate observa că pentru crearea acestui multiplexor am unit 2 multiplexoare 2:1.

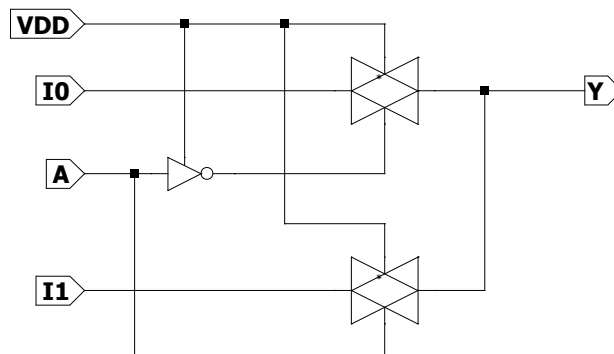


Fig. 11. Schema electrică a MUX 2:1

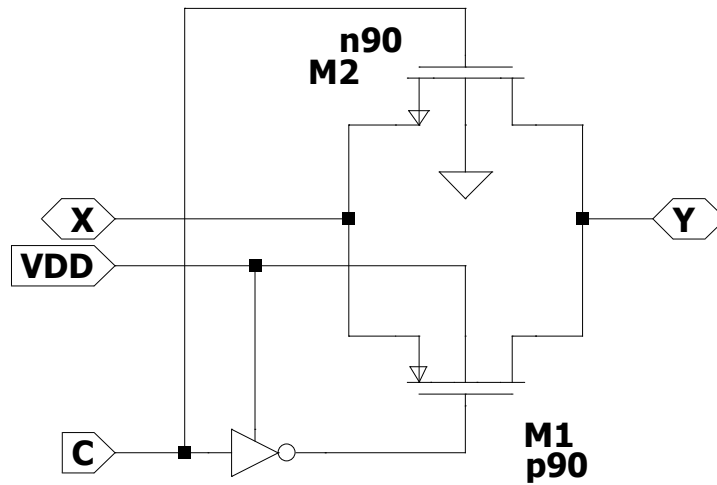


Fig. 12. Schema electrică la nivel de tranzistor a tgate

Se poate observa faptul că prin asamblarea ierarhivată a figurilor: 11,10,9, 7 se obtine modelul de la figura 8 pentru MUX 8:1.

4.2. Circuitul de test cu verificarea funcționării

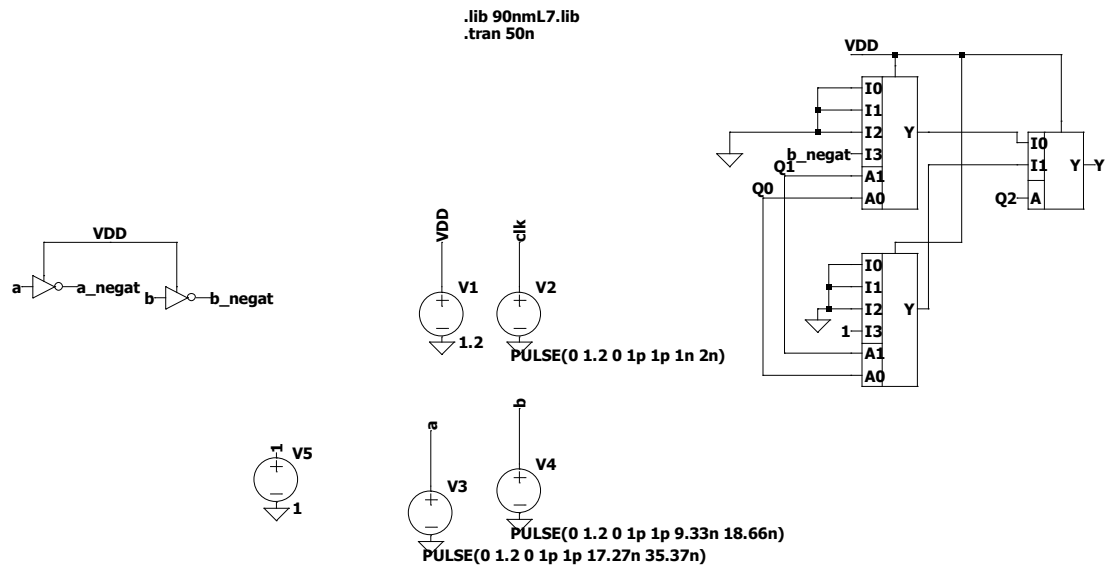


Fig. 13.Circuit de test a multiplexorului

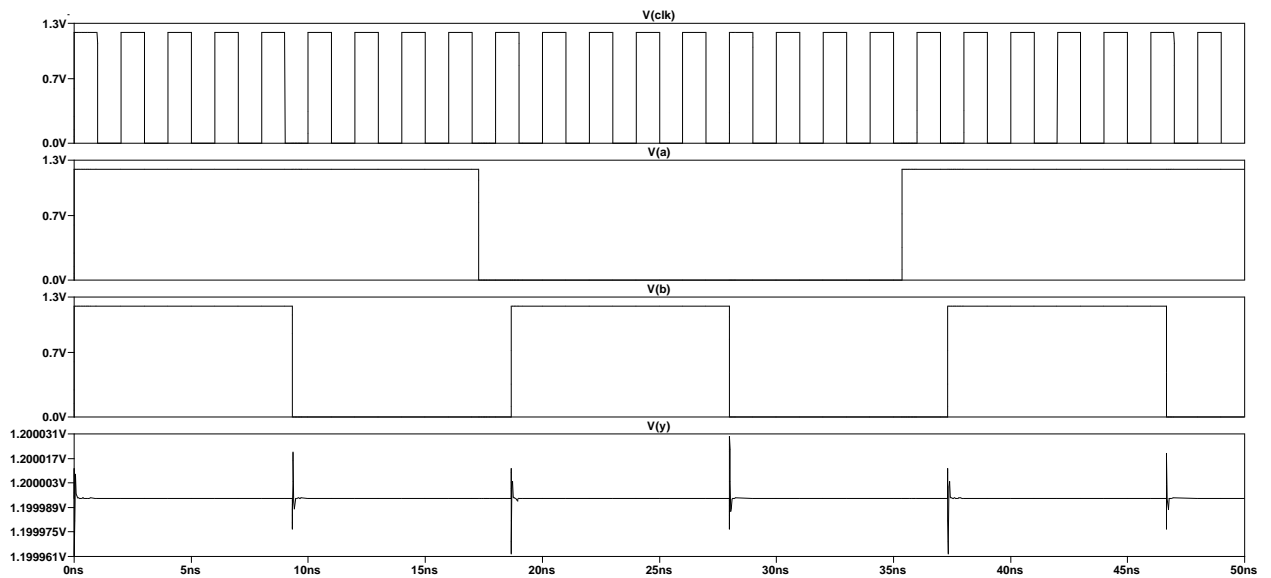


Fig. 14.verificarea funcționalității multiplexorului 8:1

5.Circuitul secvențial

5.1.Schema electrică

Bistrabil JK

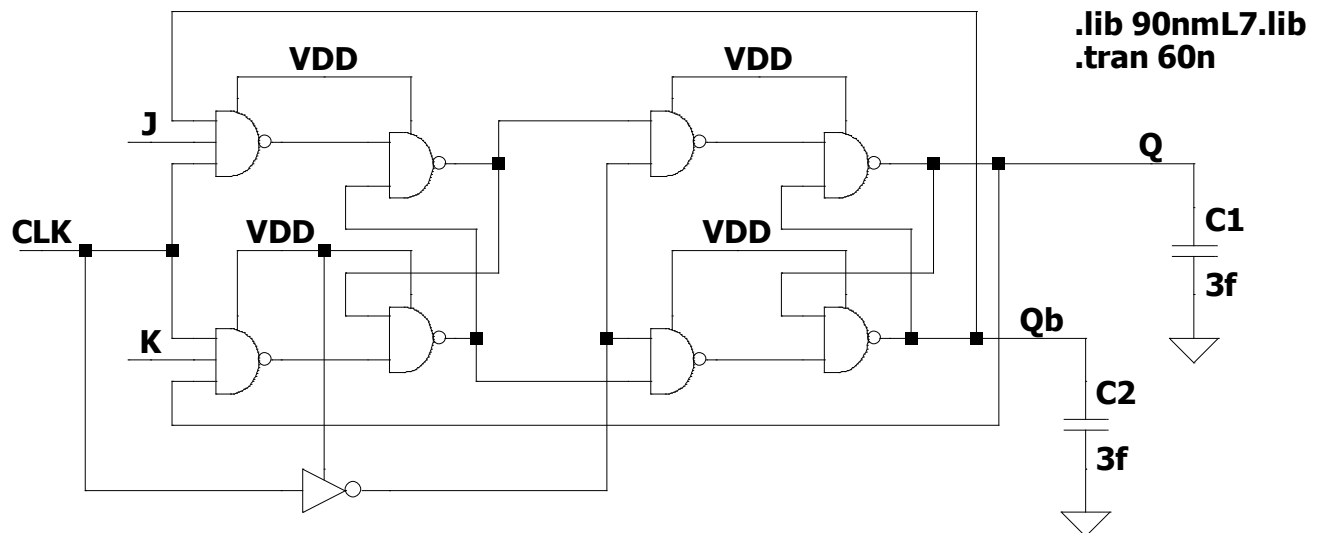


Fig. 15. Schema electrică cu porti a bistrabilului JK

Bistabilul JK este format din 2 porti NAND cu 3 intrari, 6 porti NAND cu 2 intrari si un inversor.

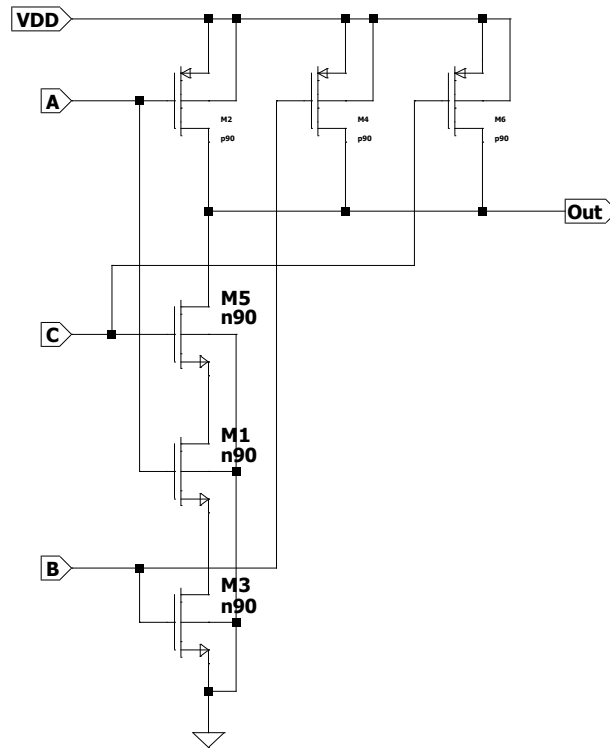


Fig. 16. Schema electrică la nivel de tranzistor a portii SI cu 3 intrări

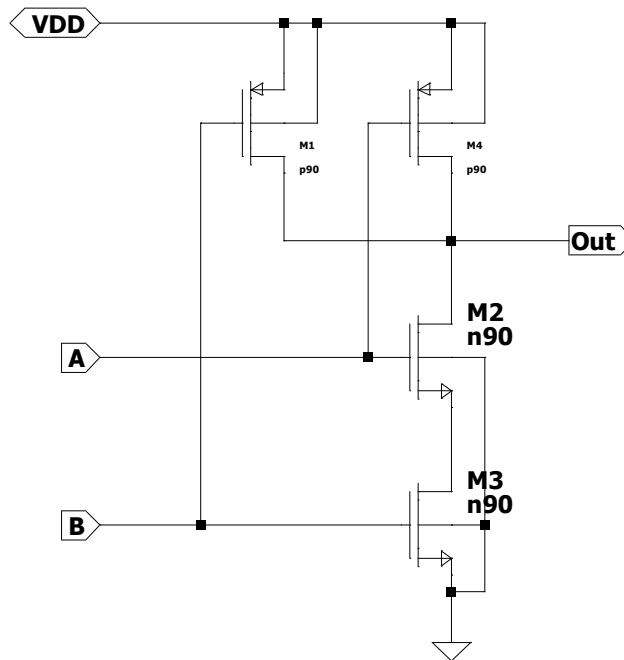


Fig. 17. Schema electrică la nivel de tranzistor a porții SI cu 2 intrări

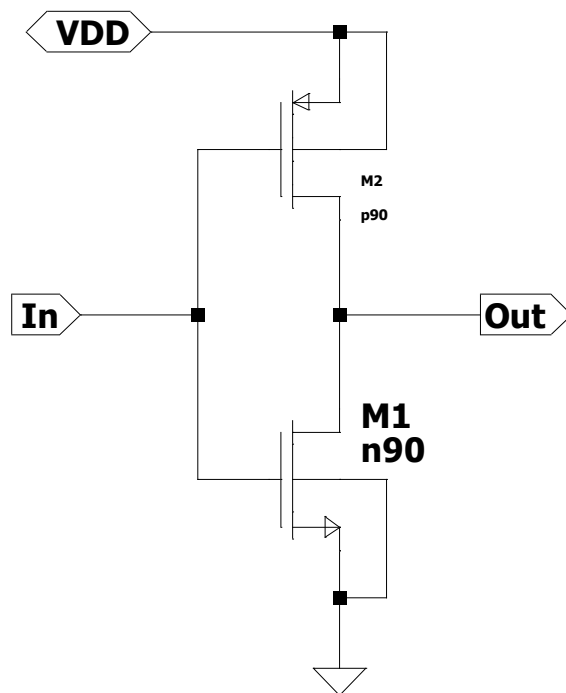


Fig. 18. Schema electrică la nivel de tranzistor a inversorului

Tranzistor /Poarta	L [um]	W [um]	AD,AS [fm ²]	PD, PS [um]	m
NAND2					
M1, M2, M3, M4	0.1	0.2	40	0.8	1
NAND 3					
M1,M5,M6	0.1	0.2	40	0.8	1
M2, M3, M4	0.1	0.3	60	1	1
INVERSOR					
M1	0.1	0.1	20	0.6	1
M2	0.1	0.2	40	0.8	1

Tabel 2 .Parametrii tranzistoarelor ce compun bistabilul JK

5.2. Circuitul de test cu verificarea funcționalității

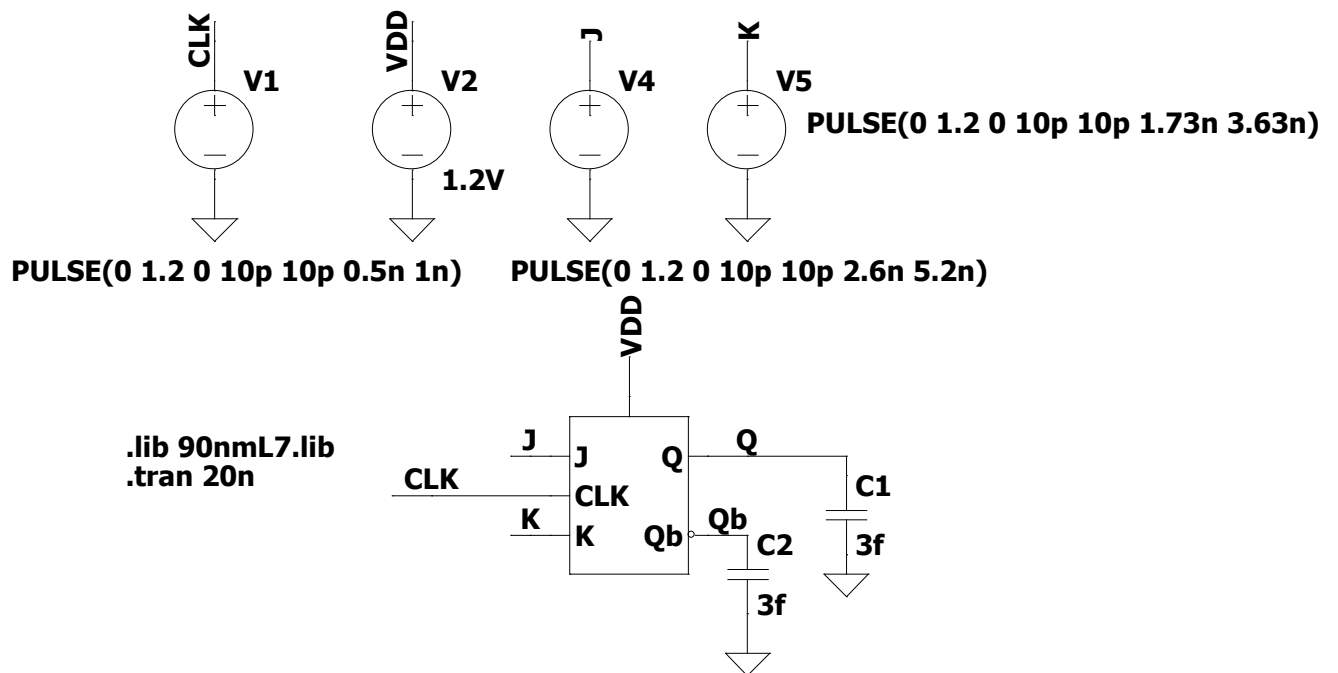


Fig. 19. Schema electrică de test a bistabilului JK

J K Q	Q ⁺		J K	Q ⁺
0 0 0	0	→	0 0	Q
0 0 1	1		0 1	0
0 1 0	0		1 0	1
0 1 1	0		1 1	\bar{Q}
1 0 0	1			
1 0 1	1			
1 1 0	1			
1 1 1	0			

Fig. 20. Tabelul de adevăr pentru bistabilul JK

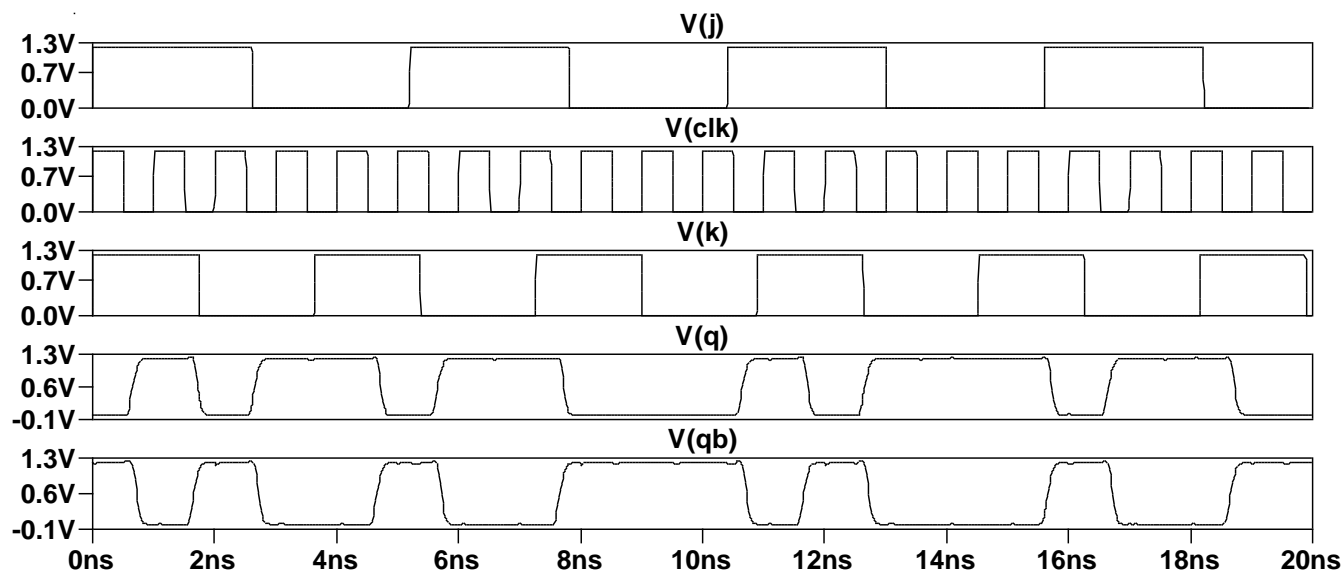


Fig. 21. Formele de undă de la intrarea și ieșirea bistabilului JK

Formele de unda ale bistabilului JK respecta tabelul de adevar.

6.Implementarea finală

6.1Schema finală a automatului

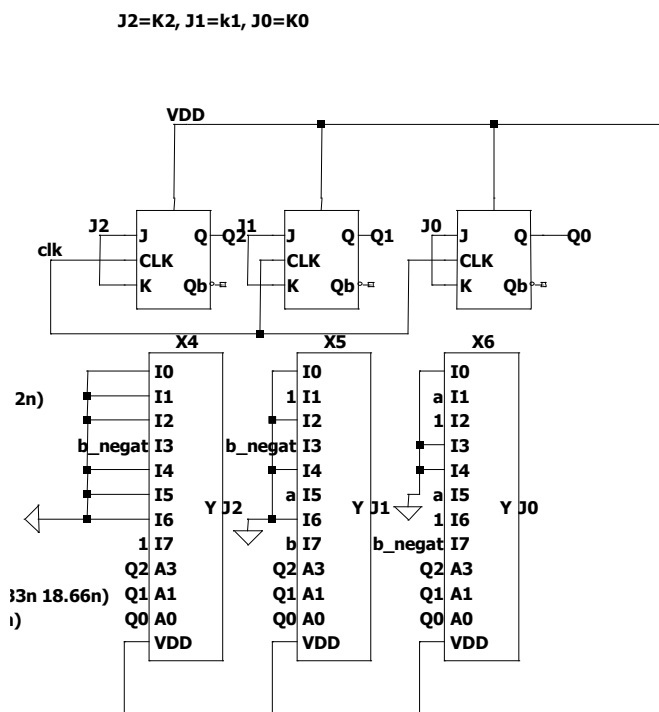


Fig. 22.Schema finală a automatului

6.2.Verificarea funcționalității circuitului

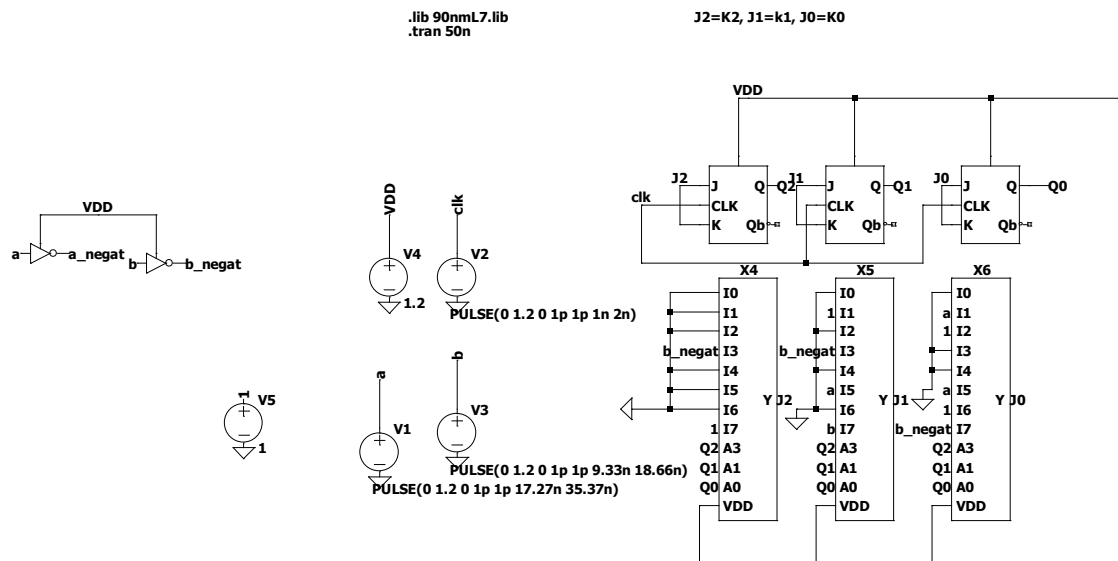


Fig. 23.Schema finală a automatului , circuitul de test

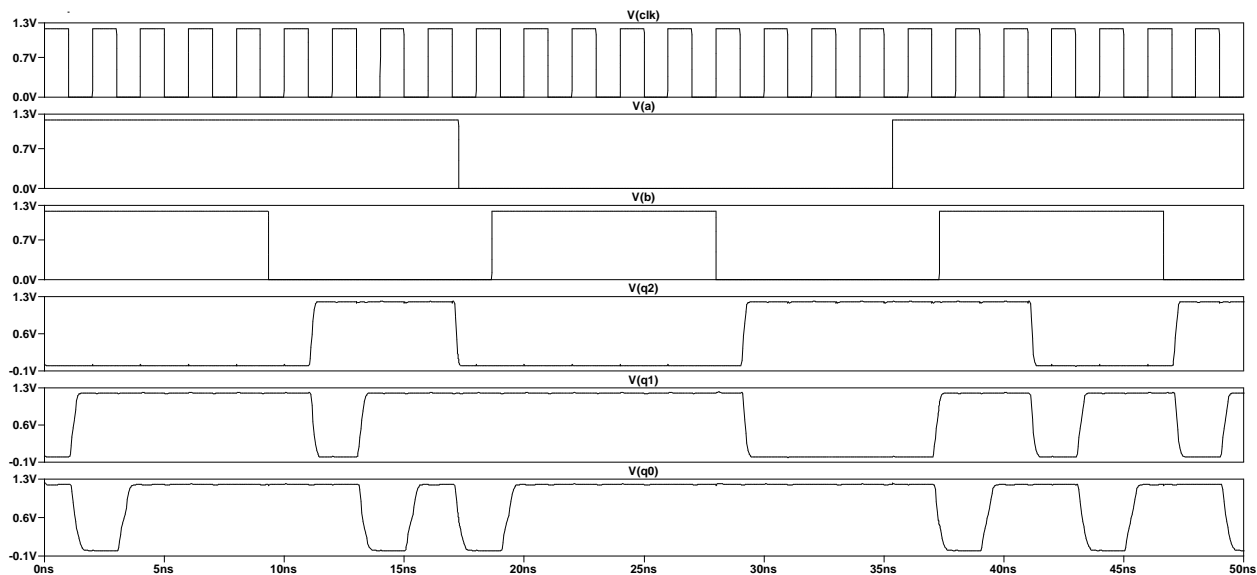


Fig.24. Formele de undă care arată funcționalitatea automatului

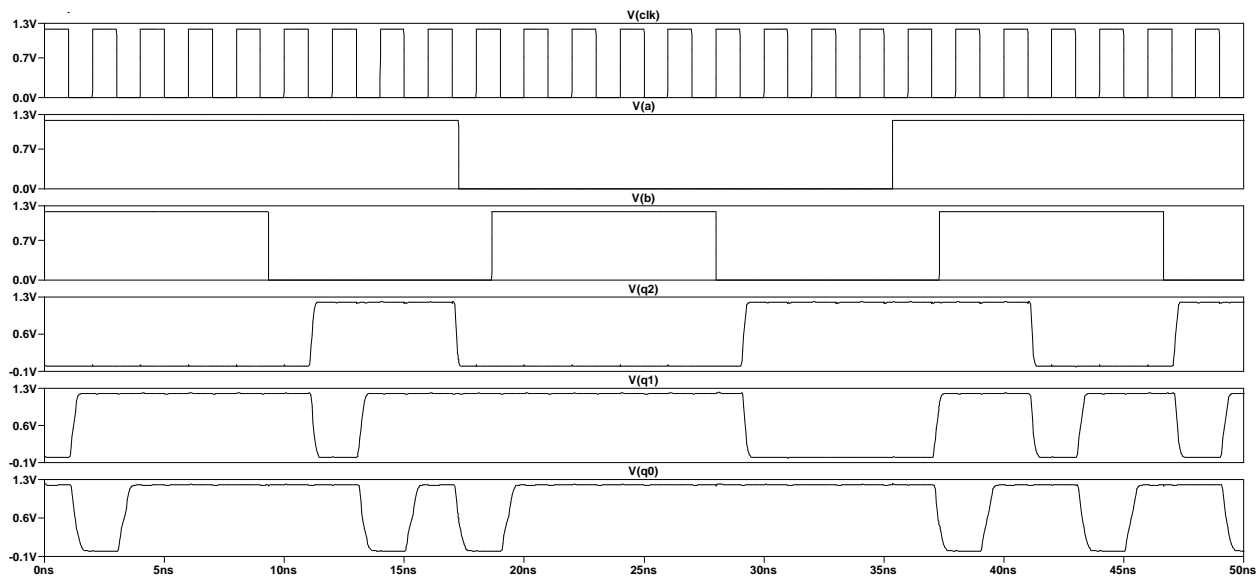
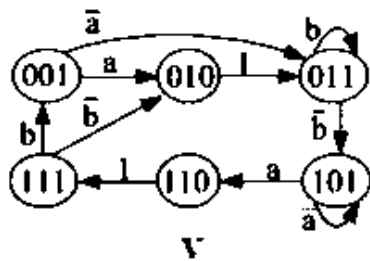


Fig.25. Explicarea funcționalității automatului

În figura de mai sus am arătat stările principale , dar se poate observa că funcționează conform diagramei de tranziții de mai jos.



Din figura anterioară se observă faptul că la fiecare front ascendent de ceas și ținând cont dacă variabilele apar negate sau nu , se realizează parcurgerea diagramei de stări.

În cele ce urmează se urmărește verificarea fiecărei bucle care poate să apară pentru fiecare combinație posibilă de valori a variabilelor .

Pentru a testa acest lucru, modificăm tipul surselor de semnal V1 și V3 (a și b) din semnal de tip PULSE în semnal DC, pentru a arăta faptul că a și b pot să ia valori „0” și „1” logic. (EXISTĂ 4 CAZURI)

✚ Caz 1: $a = „0”$ si $b = „0” \Rightarrow$ Pun la V1 Şi V3 -1,2v

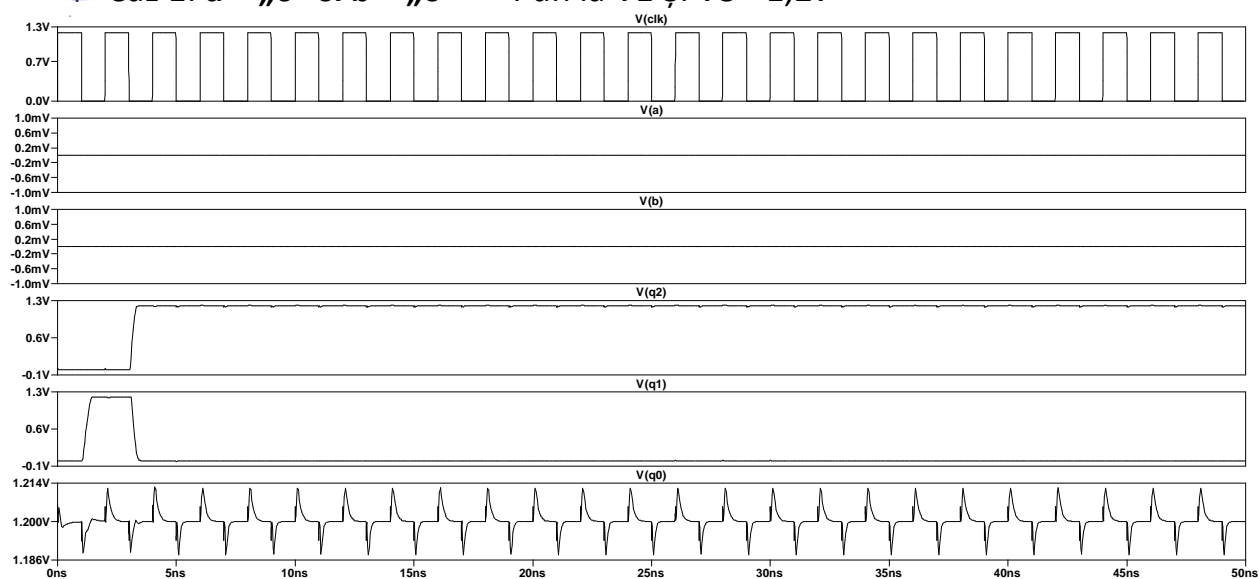


Fig. 26. Formele de undă pentru primul caz

✚ Caz 2: $a = „0”$ si $b = „1” \Rightarrow$ Pun la V1 şi V3 -1,2v şi 1,2v

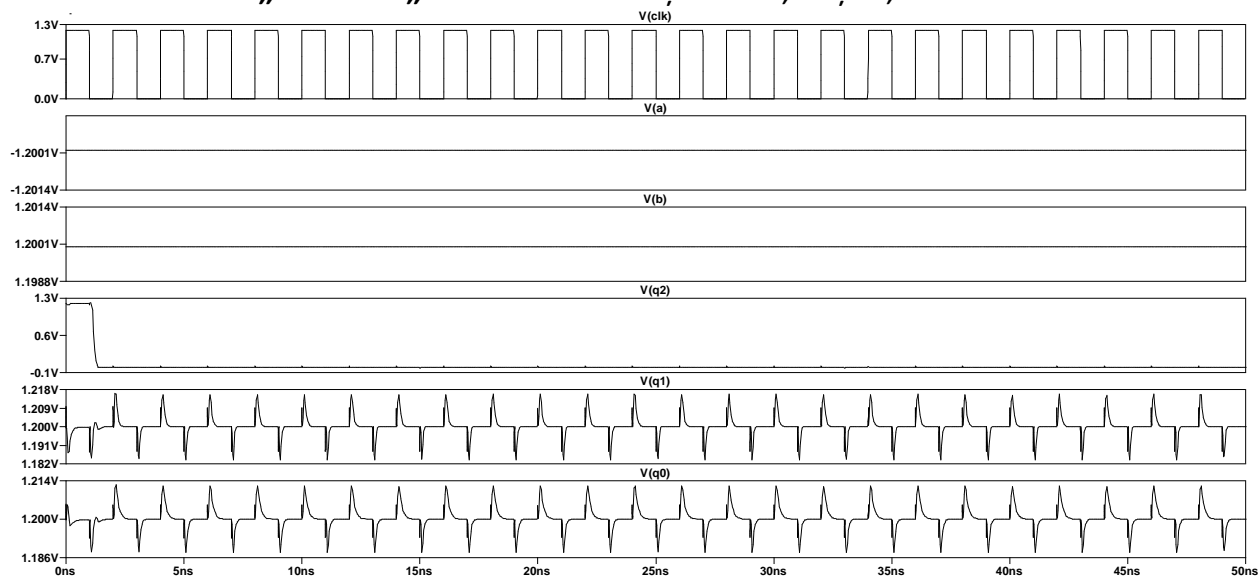



Fig. 27. Formele de undă pentru al doilea caz

 Caz 3: $a = „1”$ si $b = „0” \Rightarrow$ Pun la V1 și V3 1,2v și -1,2v

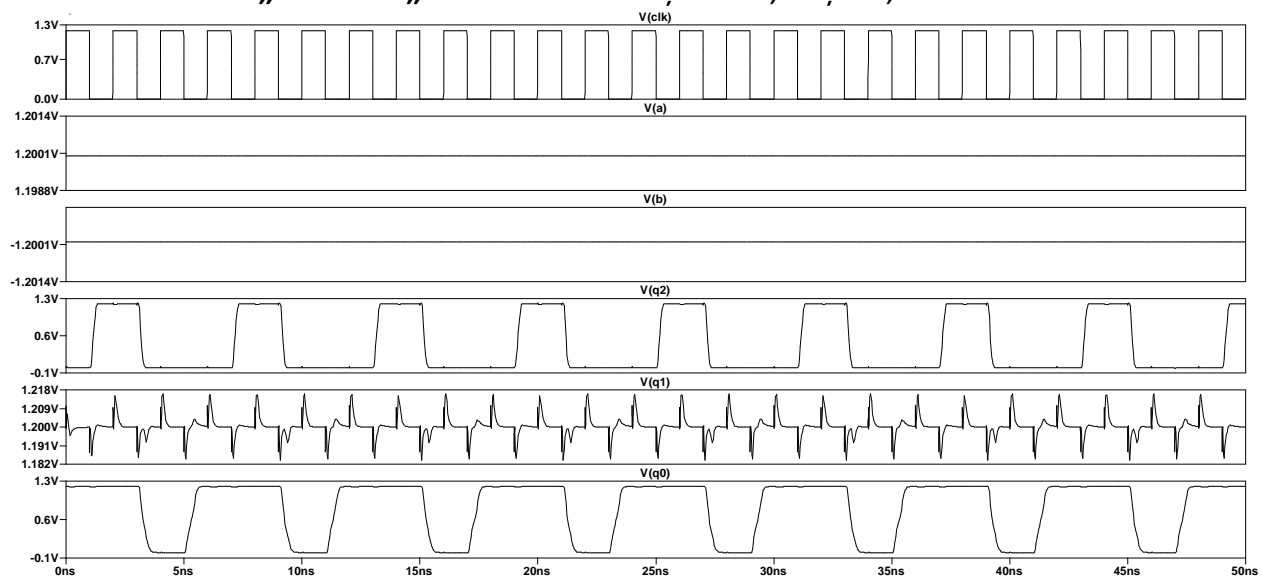



Fig. 28. Formele de undă pentru al treilea caz

 Caz 4: $a = „1”$ si $b = „1” \Rightarrow$ Pun la V1 și V3 1,2v și 1,2v

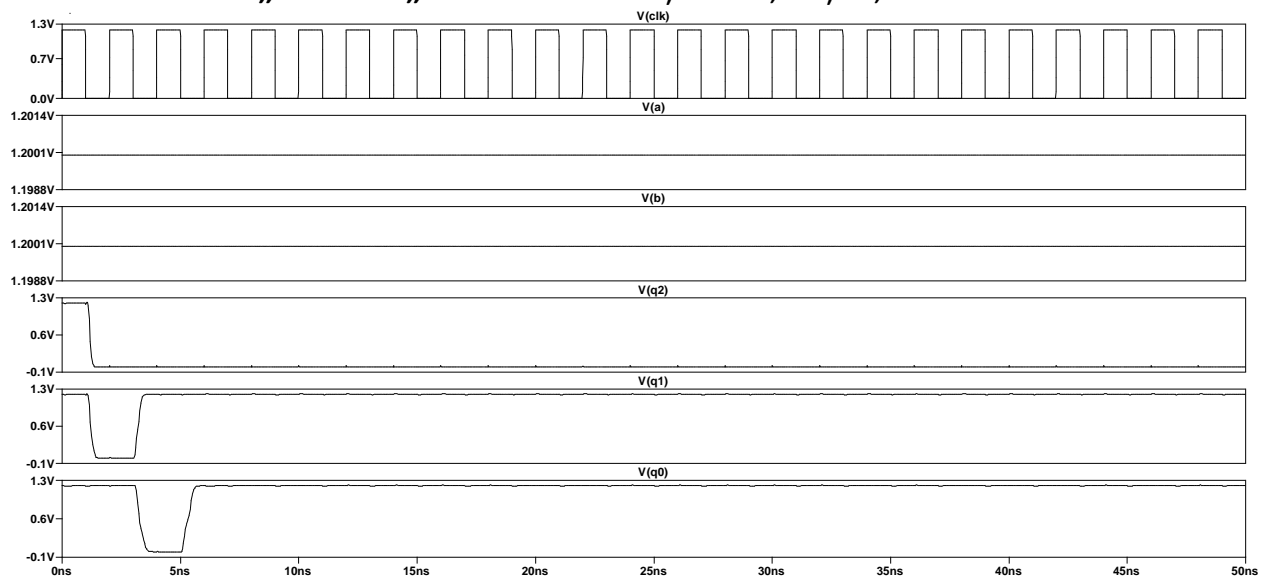


Fig. 29. Formele de undă pentru al patrulea caz