

# 陈胜杰

chenshj35@mail2.sysu.edu.cn

Tel: +86 136-3120-3625

Zhuhai, Guangdong, P.R.China (519000)

TEC Blog: <http://durant35.github.io/>

## 教育背景

**B.E 中山大学移动信息工程学院(保研)**

2012.09-至今

- **主要课程:** 软件设计(C/C++)、离散数学、电路与电子技术、数据结构和算法、数字系统设计、操作系统、计算机组成原理、计算机网络原理、软硬件协同设计、嵌入式系统、实时系统、数据库等。
- **GPA:** 3.77/5.0 (前 12%)

## 专业技能

- **计算机:** 有良好的编程功底, 熟练掌握 C/C++ 语言; 计算机体系结构、操作系统和计算机网络基础扎实; 掌握 STM32 单片机应用和开发, 了解数字系统设计, 具备较强的软硬件协同设计能力; 了解系统级建模、分析和验证; 熟悉网站开发和建设, 熟悉 MySQL 数据库操作和应用, 熟练掌握 Android 基本开发流程。
- **编程语言:** C/C++(熟悉) Java/Verilog(掌握) PHP/JSP/JS/SQL/Matlab/Python(有过使用经验)
- **英语:** CET-4: 599 CET-6: 542

## 实践经历

- **中山大学移动信息工程学院中级实训(团队负责人)** *C、STM32、六轴飞行器* 实训项目  
大二暑假为期一周的实训项目, 围绕以 STM32 搭建的六轴飞行器, 通过开发外围传感器芯片驱动, 在此基础上融合各传感器数据(加速度/角速度/气压计高度等)并结合惯性导航技术获取飞行器姿态, 然后依据 PID 控制算法实现飞行器姿态、高度自动调控。该项目参与本工程嘉年华并获二等奖。
- **Cache based on FreeARM7(个人项目)** *Verilog、FreeARM7、Cache* 课程项目  
本科二年级《计算机组成原理》上完成的一个课程项目, 使用的开发环境是 Xilinx ISE 12.3。基于 FreeARM7 开源项目提供的 ARM 内核构建 32 位处理器。通过 ISE 软件进行 I-Cache 和 D-Cache 的设计、实现、软件仿真与调试。并采用不同的 Cache 映射规则、Cache 替换策略、D-Cache 写策略进行优化。单科成绩进入 Top3。
- **16-bit CPU by 5-stage Pipeline(个人项目)** *Verilog、CPU、Pipeline、Hazard* 课程项目  
本科二年级《数字系统设计》上完成的一个课程项目, 使用的开发环境是 Xilinx ISE 12.3。通过编写 Verilog HDL 设计了一个 5 级流水线的 16 位 CPU, 并通过 ISE 软件进行软件仿真与调试。单科成绩进入 Top5。
- **RFID 三合一设备终端(核心成员)** *天线设计、PCB、C、STM32、RFID* 毕业设计  
集射频模块、一维条码识别、二维条码识别的三合一智能终端。项目任务包括终端硬件设备的设计和搭建; 底层各模块的驱动开发; 终端设备下位机软件开发; PC 端与终端设备的通讯设计与开发; 最后将对整个终端设备的操作进行封装, 以动态链接库的形式提供出来, 作为应用层应用开发的接口。

## 获奖情况

### 比赛获奖

- 工程嘉年华二等奖, 中山大学移动信息工程学院 2014.11

### 奖学金

- 本科一年级获中山大学优秀学生三等奖学金 2012.09-2013.07
- 本科二、三年级连续两年获中山大学优秀学生二等奖学金及国家励志奖学金 2013.09-2015.07

## 其他经历

- 中山大学珠海校区计算机实验中心学生助理 2013.09-2015.07
- 中山大学移动信息工程学院中级工程实训助教 2015.09
- 中山大学移动信息工程学院物联网技术导论课程助教(主讲实验课) 2015.09-2016.01