

Chapter 34 Timer/PWM Module (TPM)

34.1 Introduction

TPM(Timer/PWM 模块)是一个 2 至 8 通道定时器，支持输入捕捉、输出比较和产生 PWM 信号，以控制电机和电源管理应用。

计数器、比较和捕获寄存器由异步时钟提供时钟，在低功耗模式下可以保持使能状态。
AN4631:使用 Kinetis L 系列的异步 DMA 功能中描述了一个将 **TPM 与异步 DMA 结合使用**的示例。

34.1.1 TPM Philosophy

TPM 基于一个非常简单的定时器(HCS08 定时器 PWM 模块-TPM),该定时器在恩智浦 8 位微控制器上使用了多年。TPM 通过从异步时钟为计数器、比较和捕获寄存器提供时钟，扩展了支持低功耗模式下操作的功能，该异步时钟可以在低功耗模式下保持功能。

34.1.2 Features

TPM 特性包括:

- TPM 时钟模式可选
 - 可在异步计数器时钟的每个边沿递增
 - 可在与异步计数器时钟同步的外部时钟输入的上升沿递增
- 预分频器 1、2、4、8、16、32、64 或 128 分频
- TPM 包括一个 **16 位计数器**
 - 它可以是自由运行计数器或模计数器 modulo counter
 - 计数可以是递增或递减
- 包括 4 个通道，可配置为输入捕捉、输出比较、边沿对齐 PWM 模式或中心对齐 PWM 模式

- 在输入捕捉模式下，捕捉可以发生在上升沿、下降沿或两个边沿
- 在输出比较模式下，输出信号可以设置、清除、脉冲化，或在匹配时切换
- 所有通道都可以配置为边沿对齐 PWM 模式或中心对齐 PWM 模式
- 支持每个通道产生一个中断和/或 DMA 请求
- 支持计数器溢出时产生一个中断和/或 DMA 请求
- 支持可选触发输入以选择性复位或使计数器开始递增。
 - 计数器也可以选择在计数器溢出时停止递增
- 支持在计数器溢出时和每个通道产生硬件触发

34.1.3 Modes of operation

在调试 debug 模式下，TPM 可以配置为暂停所有计数，直到内核返回正常用户操作模式或正常运行。当计数器暂停时，触发输入和输入捕获事件被忽略。

在休眠 doze 模式期间，TPM 可以配置为正常运行或在休眠模式期间暂停所有计数。当计数器暂停时，触发输入和输入捕获事件被忽略。

在停止 stop 模式期间，TPM 计数器时钟可以保持正常工作，并且 TPM 可以生成一个异步中断，以从停止模式退出 MCU。

34.1.4 Block diagram

TPM 每个通道使用一个输入/输出(I/O)引脚 CHn (TPM 通道(n))，其中 n 是通道号。

下图显示了 TPM 结构。TPM 的核心组件是具有可编程最终值的 16 位计数器，其计数可以是递增或递减的。

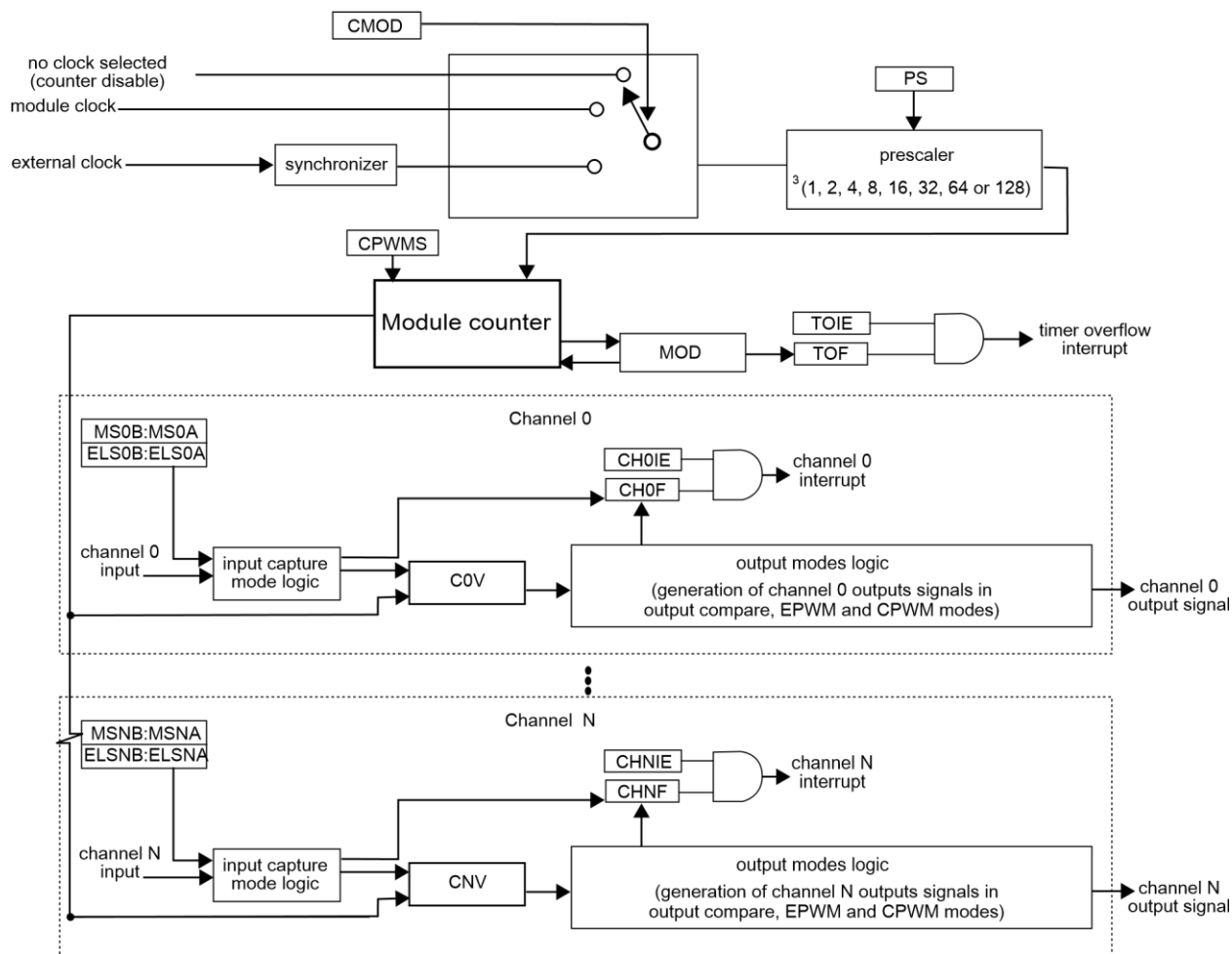


Figure 34-1. TPM block diagram

34.2 TPM Signal Descriptions

表 34-1 显示了 TPM 的用户可访问信号。

Table 34-1. TPM signal descriptions

Signal	Description	I/O
TPM_EXTCLK	外部时钟。 <u>可以选择 TPM 外部时钟，以便在与计数器时钟同步的每个上升沿递增 TPM 计数器。</u>	I
TPM_CHn	<u>TPM 通道(n = 3 到 0)。</u> 在输出比较或 PWM 模式下配置时，TPM 通道引脚配置为输出，TPM 计数器使能，否则 TPM 通道引脚为输入。	I/O

34.2.1 TPM_EXTCLK — TPM External Clock

如果由 SC 寄存器中的 CMOD[1:0] 位选择，外部输入信号的上升沿用于递增 TPM 计数器。该输入信号必须小于 TPM 计数器时钟频率的一半。当选择外部输入时，也使用 TPM 计数器预分频器选择和设置。

34.2.2 TPM_CHn — TPM Channel (n) I/O Pin

每个 TPM 通道都可以配置为输入或输出模式。与每个通道(输入或输出)相关的方向是根据为该通道分配的模式选择的。

34.3 Memory Map and Register Definition

本节提供了所有 TPM 寄存器的详细描述。

试图访问 TPM 内存映射中的保留寄存器位置将产生总线错误。

注意并非所有寄存器都适用于该器件，详情参见特定芯片部分

TPM memory map

Absolute address (hex)	Register name	Width (in bits)	Access	Reset value	Section/ page
4003_8000	Status and Control (TPM0_SC)	32	R/W	0000_0000h	34.3.1/807
4003_8004	Counter (<u>TPM0_CNT</u>)	32	R/W	0000_0000h	34.3.2/808
4003_8008	Modulo (TPM0_MOD)	32	R/W	0000_FFFFh	34.3.3/809
4003_800C	Channel (n) Status and Control (TPM0_C0SC)	32	R/W	0000_0000h	34.3.4/810
4003_8010	Channel (n) Value (TPM0_C0V)	32	R/W	0000_0000h	34.3.5/812
4003_8014	Channel (n) Status and Control (TPM0_C1SC)	32	R/W	0000_0000h	34.3.4/810
4003_8018	Channel (n) Value (TPM0_C1V)	32	R/W	0000_0000h	34.3.5/812

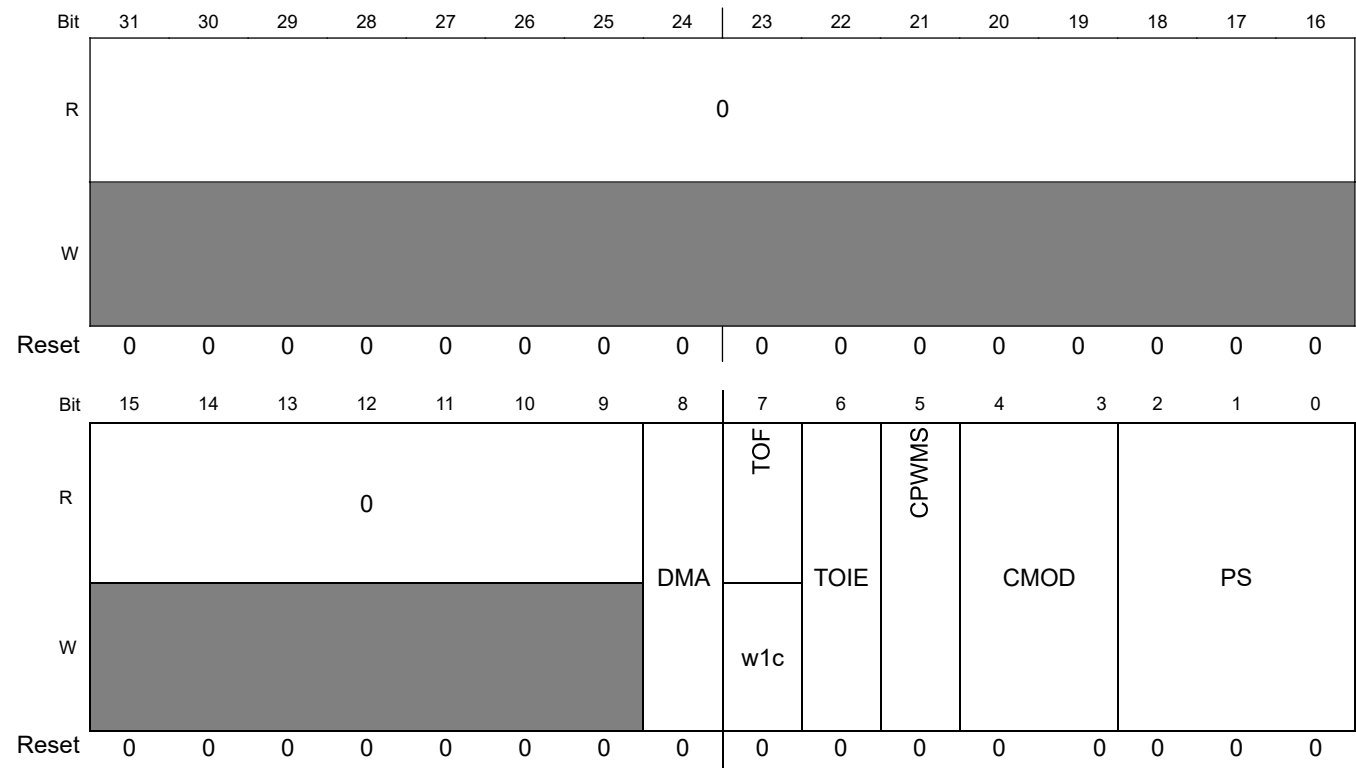
4003_801C	Channel (n) Status and Control (TPM0_C2SC)	32	R/W	0000_0000h	34.3.4/810
4003_8020	Channel (n) Value (TPM0_C2V)	32	R/W	0000_0000h	34.3.5/812
4003_8024	Channel (n) Status and Control (TPM0_C3SC)	32	R/W	0000_0000h	34.3.4/810
4003_8028	Channel (n) Value (TPM0_C3V)	32	R/W	0000_0000h	34.3.5/812
4003_8050	Capture and Compare Status 捕获和比较状态 (TPM0_STATUS)	32	R/W	0000_0000h	34.3.6/812
4003_8064	Combine Channel Register 组合通道寄存器 (TPM0_COMBINE)	32	R/W	0000_0000h	34.3.7/814
4003_8070	Channel Polarity (TPM0_POL)	32	R/W	0000_0000h	34.3.8/815
4003_8078	Filter Control (TPM0_FILTER)	32	R/W	0000_0000h	34.3.9/816
4003_8080	正交解码器控制和状态 Quadrature Decoder Control and Status (TPM0_QDCTRL)	32	R/W	0000_0000h	34.3.10/ 817
4003_8084	Configuration (TPM0_CONF)	32	R/W	0000_0000h	34.3.11/ 818
4003_9000	Status and Control (TPM1_SC)	32	R/W	0000_0000h	34.3.1/807
4003_9004	Counter (TPM1_CNT)	32	R/W	0000_0000h	34.3.2/808
4003_9008	Modulo (TPM1_MOD)	32	R/W	0000_FFFFh	34.3.3/809
4003_900C	Channel (n) Status and Control (TPM1_C0SC)	32	R/W	0000_0000h	34.3.4/810
4003_9010	Channel (n) Value (TPM1_C0V)	32	R/W	0000_0000h	34.3.5/812
4003_9014	Channel (n) Status and Control (TPM1_C1SC)	32	R/W	0000_0000h	34.3.4/810
4003_9018	Channel (n) Value (TPM1_C1V)	32	R/W	0000_0000h	34.3.5/812
4003_901C	Channel (n) Status and Control (TPM1_C2SC)	32	R/W	0000_0000h	34.3.4/810
4003_9020	Channel (n) Value (TPM1_C2V)	32	R/W	0000_0000h	34.3.5/812
4003_9024	Channel (n) Status and Control (TPM1_C3SC)	32	R/W	0000_0000h	34.3.4/810
4003_9028	Channel (n) Value (TPM1_C3V)	32	R/W	0000_0000h	34.3.5/812
4003_9050	Capture and Compare Status (TPM1_STATUS)	32	R/W	0000_0000h	34.3.6/812
4003_9064	Combine Channel Register (TPM1_COMBINE)	32	R/W	0000_0000h	34.3.7/814
4003_9070	Channel Polarity (TPM1_POL)	32	R/W	0000_0000h	34.3.8/815
4003_9078	Filter Control (TPM1_FILTER)	32	R/W	0000_0000h	34.3.9/816
4003_9080	Quadrature Decoder Control and Status (TPM1_QDCTRL)	32	R/W	0000_0000h	34.3.10/ 817
4003_9084	Configuration (TPM1_CONF)	32	R/W	0000_0000h	34.3.11/ 818
4003_A000	Status and Control (TPM2_SC)	32	R/W	0000_0000h	34.3.1/807
4003_A004	Counter (TPM2_CNT)	32	R/W	0000_0000h	34.3.2/808
4003_A008	Modulo (TPM2_MOD)	32	R/W	0000_FFFFh	34.3.3/809
4003_A00C	Channel (n) Status and Control (TPM2_C0SC)	32	R/W	0000_0000h	34.3.4/810
4003_A010	Channel (n) Value (TPM2_C0V)	32	R/W	0000_0000h	34.3.5/812
4003_A014	Channel (n) Status and Control (TPM2_C1SC)	32	R/W	0000_0000h	34.3.4/810
4003_A018	Channel (n) Value (TPM2_C1V)	32	R/W	0000_0000h	34.3.5/812

4003_A01C	Channel (n) Status and Control (TPM2_C2SC)	32	R/W	0000_0000h	34.3.4/810
4003_A020	Channel (n) Value (TPM2_C2V)	32	R/W	0000_0000h	34.3.5/812
4003_A024	Channel (n) Status and Control (TPM2_C3SC)	32	R/W	0000_0000h	34.3.4/810
4003_A028	Channel (n) Value (TPM2_C3V)	32	R/W	0000_0000h	34.3.5/812
4003_A050	Capture and Compare Status (TPM2_STATUS)	32	R/W	0000_0000h	34.3.6/812
4003_A064	Combine Channel Register (TPM2_COMBINE)	32	R/W	0000_0000h	34.3.7/814
4003_A070	Channel Polarity (TPM2_POL)	32	R/W	0000_0000h	34.3.8/815
4003_A078	Filter Control (TPM2_FILTER)	32	R/W	0000_0000h	34.3.9/816
4003_A080	Quadrature Decoder Control and Status (TPM2_QDCTRL)	32	R/W	0000_0000h	34.3.10/ 817
4003_A084	Configuration (TPM2_CONF)	32	R/W	0000_0000h	34.3.11/ 818

34.3.1 Status and Control (TPMx_SC)

SC 包含溢出状态标志和控制位，用于配置中断使能、模块配置和预分频器系数。这些控制与该模块内的所有通道相关。

Address: Base address + 0h offset



TPMx_SC field descriptions

Field	Description
31–9 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
8 DMA	DMA Enable 为溢出标志启用 DMA 传输. 0 Disables DMA transfers. 1 Enables DMA transfers.
7 TOF	Timer Overflow Flag 当 TPM 计数器等于 MOD 寄存器中的值并递增时，由硬件置 1。向 TOF 写入 1 可将其清零。向 TOF 写入 0 没有影响。 如果在标志设置和标志清除之间发生另一个 TPM 溢出，则写操作无效；因此，TOF 保持置位，指示发生了另一次溢出。在这种情况下，TOF 中断请求不会因为清除先前 TOF 的延迟而丢失。 0 TPM counter has not overflowed. 1 TPM counter has overflowed.

6 TOIE	Timer Overflow Interrupt Enable Enables TPM overflow interrupts. 0 Disable TOF interrupts. Use software polling or DMA request. 1 <u>启用 TOF 中断。当 TOF 等于 1 时，产生一个中断。</u>
5 CPWMS	Center-Aligned PWM Select 选择 CPWM 模式。 <u>该模式将 TPM 配置为在加减计数模式下运行。</u> 该字段受写保护。仅当计数器禁用时，才能写入。 0 TPM 计数器以递增计数模式运行。 1 TPM 计数器以加减计数模式运行。
4-3 CMOD	Clock Mode Selection <u>选择 TPM 计数器时钟模式。当禁用计数器时，该域保持置位，直到 TPM 时钟域中的确认边沿。</u> 00 TPM 计数器被禁用 01 TPM 计数器在每个 TPM 计数器时钟上递增 10 TPM 计数器在 <u>TPM_EXTCLK</u> 的上升沿上递增与 TPM 计数器时钟同步 11 保留。
PS	预分频因子选择 <u>为 CMOD 选择的时钟模式选择 8 个分频因子之一。</u> 该字段受写保护。仅当计数器禁用时，才能写入。 000 Divide by 1 001 Divide by 2 010 Divide by 4 011 Divide by 8 100 Divide by 16 101 Divide by 32 110 Divide by 64 111 Divide by 128

34.3.2 Counter (TPMx_CNT)

CNT 寄存器包含 TPM 计数器值。

复位清除 CNT 寄存器。向 COUNT 写入任何值也会清除计数器。

当 debug 处于活动状态时，除非另行配置，否则 TPM 计数器不会递增。

由于同步延迟，读取 CNT 寄存器会给寄存器访问增加两种等待状态。

Field	Description
31–16 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
COUNT	Counter value

模寄存器 Modulo 包含 TPM 计数器的模值。**当 TPM 计数器达到模值并递增时，溢出标志 (TOF) 被设置**，TPM 计数器的下一个值取决于所选的计数方法(参见计数器)。

建议在写入 MOD 寄存器之前初始化 TPM 计数器(写入 CNT),以避免混淆第一次计数器溢出何时发生。

Diagram of the MOD register structure. The register is 32 bits wide, divided into two 16-bit halves. The left half (bits 31-16) is labeled 'R' (Read-only) and contains the value 0. The right half (bits 15-0) is labeled 'W' (Write-only) and contains the value 1. The label 'MOD' is centered in the right half. Bit 15 is the MSB of the right half, and bit 0 is the LSB. The label 'Reset' is at the bottom left.

Field	Description
31–16 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.

MOD	Modulo value
	This field must be written with single 16-bit or 32-bit access.

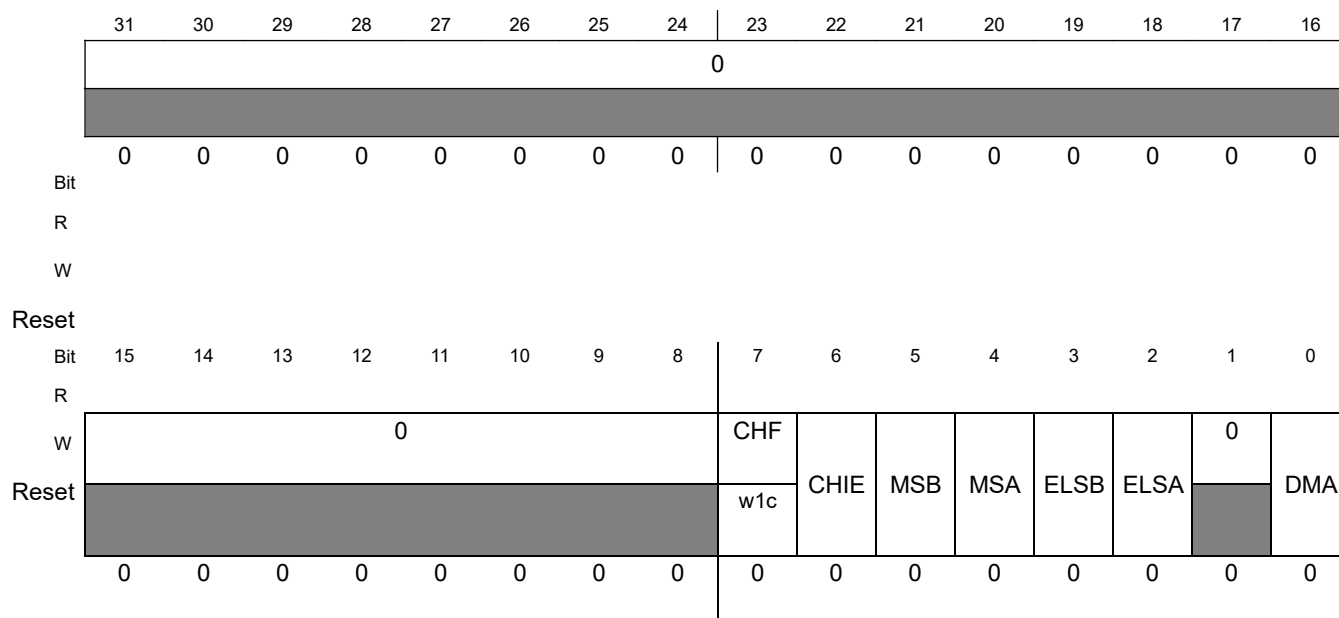
34.3.4 Channel (n) Status and Control (TPMx_CnSC)

CnSC 包含 **通道中断状态标志和控制位**，用于配置中断使能、通道配置和引脚功能。当从一个通道模式切换到不同的通道模式时，必须首先禁用该通道，并且必须在 TPM 计数器时钟域中对此进行确认。

Table 34-2. Mode, Edge, and Level Selection

CPWMS	MSnB:MSnA	ELSnB:ELSnA	Mode	Configuration
X	00	00	None	Channel disabled
X	01	00	Software compare	Pin not used for TPM
0	00	01	Input capture	Capture on Rising Edge Only
		10		Capture on Falling Edge Only
		11		Capture on Rising or Falling Edge
	01	01	Output compare	Toggle Output on match
		10		Clear Output on match
		11		Set Output on match
	10	10	Edge-aligned PWM	High-true pulses (clear Output on match, set Output on reload) 高真脉冲(匹配时清除输出，重载时设置输出)
		X1		Low-true pulses (set Output on match, clear Output on reload)
	11	10	Output compare	Pulse Output low on match 匹配时脉冲输出低电平
		01		Pulse Output high on match
1	10	10	Center-aligned PWM	High-true pulses (clear Output on match-up, set Output on matchdown)
		01		Low-true pulses (set Output on match-up, clear Output on matchdown)

Address: Base address + Ch offset + (8d × i), where i=0d to 3d



TPMx_CnSC field descriptions

Field	Description
31–8 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
7 CHF	Channel Flag 当通道上发生事件时，由硬件置位。通过向 CHF 位写入 1 来清除 CHF。向 CHF 写入 0 没有影响。 如果在 CHF 置位和写操作之间发生另一事件，写操作没有效果；因此，CHF 保持置位，表示另一个事件已经发生。在这种情况下，CHF 中断请求不会因为清除前一个 CHF 的延迟而丢失。 0 No channel event has occurred. 1 A channel event has occurred.
6 CHIE	Channel Interrupt Enable Enables channel interrupts. 0 Disable channel interrupts. 1 Enable channel interrupts.
5 MSB	Channel Mode Select 用于通道逻辑中的进一步选择。其功能取决于通道模式。 <u>当通道被禁用时，该字段不会改变状态，直到在 TPM 计数器时钟域中得到确认。</u>
4 MSA	Channel Mode Select 用于通道逻辑中的进一步选择。其功能取决于通道模式。当通道被禁用时，该字段不会改变状态，直到在 TPM 计数器时钟域中得到确认。
3 ELSB	Edge or Level Select ELSB 和 ELSA 的功能取决于通道模式。当通道被禁用时，该字段不会改变状态，直到在 TPM 计数器时钟域中得到确认。
2 ELSA	Edge or Level Select

1 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
0 DMA	DMA Enable Enables DMA transfers for the channel. 0 Disable DMA transfers. 1 Enable DMA transfers.

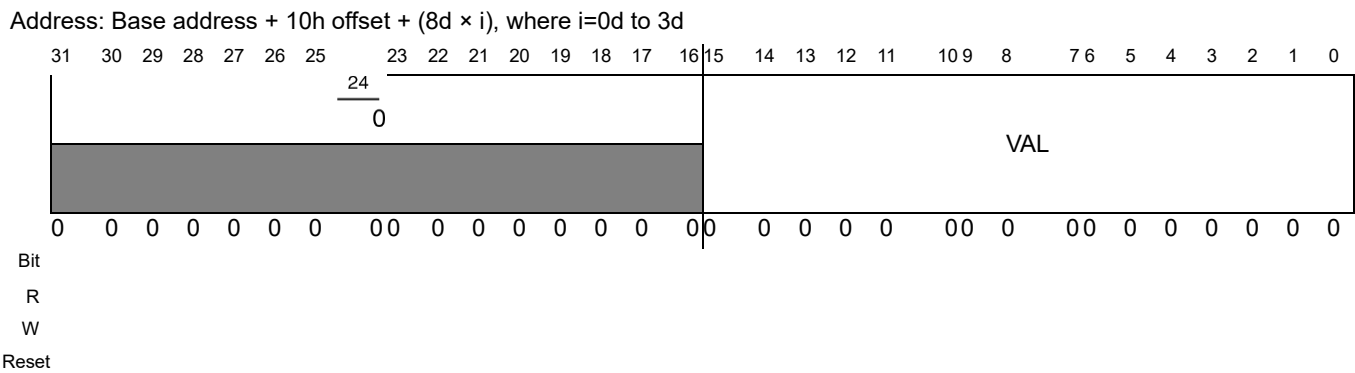
34.3.5 Channel (n) Value (TPMx_CnV)

这些寄存器包含 **输入模式的捕获 TPM 计数器值或输出模式的匹配值**。

在输入捕捉模式下，对 CnV 寄存器的任何写操作都会被忽略。

在比较模式下，写入 CnV 寄存器会将值锁存到缓冲器中。根据 CnV 寄存器更新，CnV 寄存器使用其写缓冲器的值进行更新。

在寄存器更新之前，对 CnV 写缓冲器的其他写操作将被忽略。



TPMx_CnV field descriptions

Field	Description
31–16 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
VAL	Channel Value 输入模式的已捕获 TPM 计数器值或输出模式的匹配值。该字段必须通过单次 16 位或 32 位访问写入。

34.3.6 Capture and Compare Status (TPMx_STATUS)

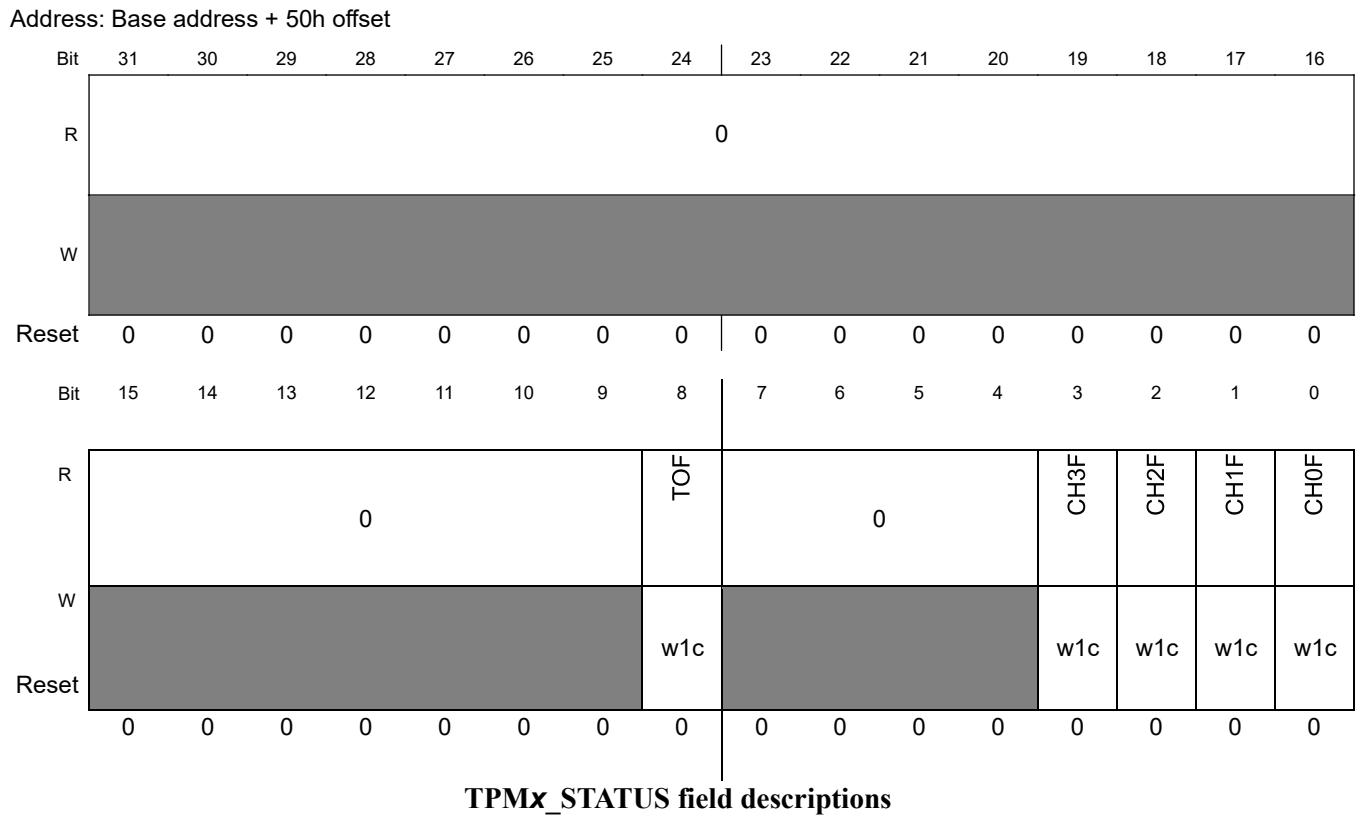
为了软件方便起见，状态寄存器**包含每个 TPM 通道的状态标志 CnSC[CHnF]和 SC[TOF]的副本**。

STATUS 中的每个 CHnF 位是 CnSC 中 CHnF 位的镜像。只需读取一次状态，即可检查所有 CHnF 位。通过将所有 1 写入 STATUS，可以清除所有 CHnF 位。

当通道上发生事件时，硬件设置各个通道 falg。向 CHF 写入 1 可将其清零。向 CHF 写入 0 没有影响。

如果在标志设置和写操作之间发生了另一个事件，则写操作无效；因此，CHF 保持置位，表示另一个事件已经发生。

在这种情况下，CHF 中断请求不会因为前一个 CHF 的清除序列而丢失。



Field	Description
31–9 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
8 TOF	Timer Overflow Flag See register description 0 TPM counter has not overflowed. 1 TPM counter has overflowed.
7–4 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.

3 CH3F	Channel 3 Flag See the register description. 0 No channel event has occurred. 1 A channel event has occurred.
2 CH2F	Channel 2 Flag See the register description. 0 No channel event has occurred. 1 A channel event has occurred.
1 CH1F	Channel 1 Flag See the register description. 0 No channel event has occurred. 1 A channel event has occurred.
0 CH0F	Channel 0 Flag See the register description. 0 No channel event has occurred. 1 A channel event has occurred.

34.3.7 Combine Channel Register (TPMx_COMBINE)

该寄存器包含用于配置每对通道(n)和(n+1)的**组合通道模式的控制位，其中 n 是所有偶数通道。**

Address: Base address + 64h offset

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
R	0															
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R	0						COMSWAP1	COMBINE1	0						COMSWAP0	COMBINE0
W																
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

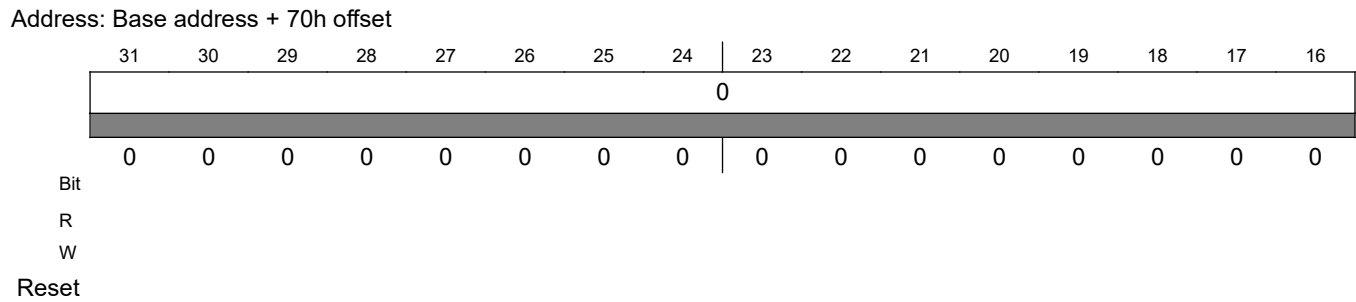
TPMx_COMBINE field descriptions

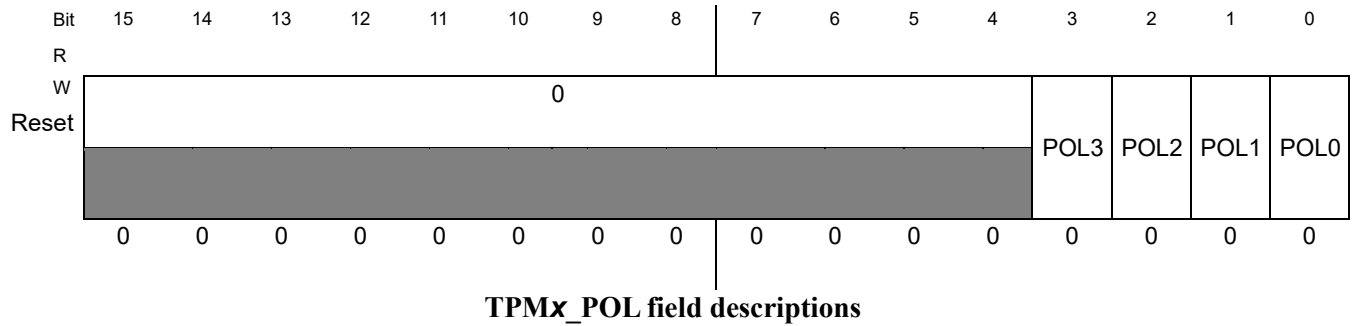
Field	Description
31–16 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.

15–10 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
9 COMSWAP1	组合通道 2 和 3 交换 <u>设置为组合模式时，奇数通道用于输入捕捉和第一次比较，偶数通道用于第二次比较。</u> 0 偶数通道用于输入捕捉和第一次比较。 1 奇数通道用于输入捕捉和第一次比较。
8 COMBINE1	Combine Channels 2 and 3 启用通道 2 和 3 的组合功能。在输入捕捉模式下，组合通道使用偶数通道输入。在软件比较模式下，偶数通道匹配 assert 输出触发，奇数通道匹配否定输出触发。 <u>在 PWM 模式下，偶数通道匹配用于第一次比较，奇数通道匹配用于第二次比较。</u> 0 通道 2 和 3 是独立的。 1 通道 2 和 3 组合。
7–2 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
1 COMSWAP0	Combine Channel 0 and 1 Swap When set in combine mode, the even channel is used for the input capture and 1st compare, the odd channel is used for the 2nd compare. 0 Even channel is used for input capture and 1st compare. 1 Odd channel is used for input capture and 1st compare.
0 COMBINE0	Combine Channels 0 and 1 Enables the combine feature for channels 0 and 1. In input capture mode, the combined channels use the even channel input. In software compare modes, the even channel match asserts the output trigger and the odd channel match negates the output trigger. In PWM modes, the even channel match is used for the 1st compare and odd channel match for the 2nd compare. 0 Channels 0 and 1 are independent. 1 Channels 0 and 1 are combined.

34.3.8 Channel Polarity (TPMx_POL)

该寄存器定义了每个通道的输入和输出极性。

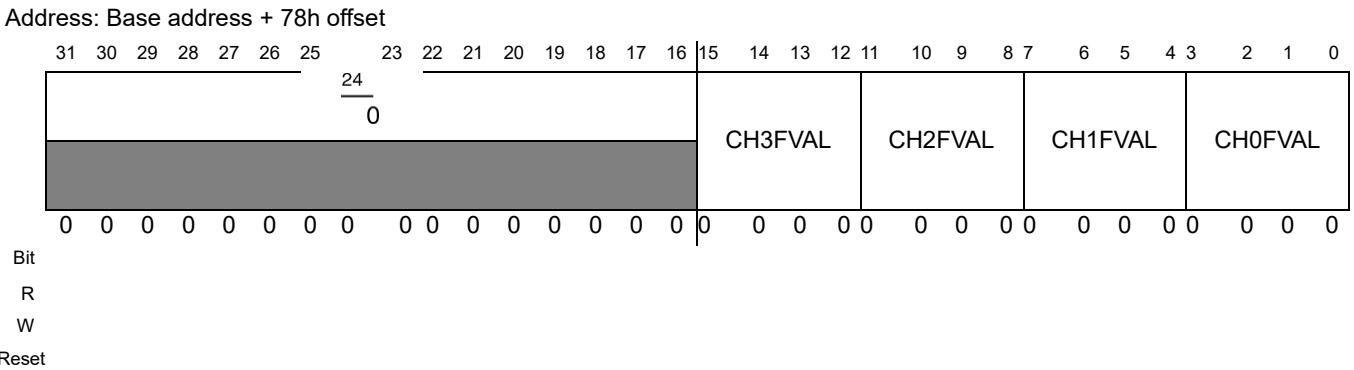




Field	Description
31–4 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
3 POL3	Channel 3 Polarity 0 The channel polarity is active high. 1 The channel polarity is active low.
2 POL2	Channel 2 Polarity <u>0 通道极性高电平有效。</u> <u>1 通道极性为低电平有效。</u>
1 POL1	Channel 1 Polarity 0 The channel polarity is active high. 1 The channel polarity is active low.
0 POL0	Channel 0 Polarity 0 The channel polarity is active high. 1 The channel polarity is active low.

34.3.9 Filter Control (TPMx_FILTER)

该寄存器选择通道输入的滤波器值，以及通道输出的附加输出延迟值。在 PWM 组合模式下，滤波器可以有效地实现死区 deadtime insert 插入。



Field	Description
-------	-------------

TPMx QDCTRL field descriptions

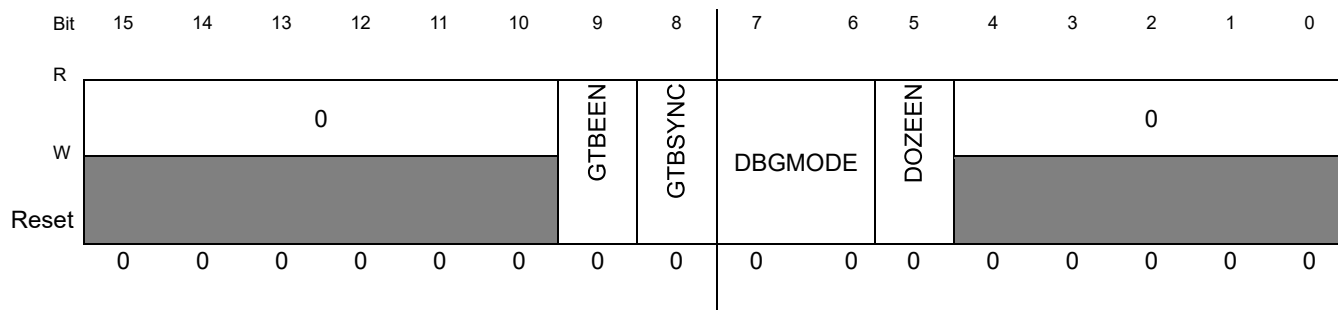
Field	Description
31–4 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
3 QUADMODE	Quadrature Decoder Mode. 选择正交解码器模式中使用的编码模式 <u>0 相位编码模式。</u> <u>1 计数和方向编码模式。</u>
2 QUADIR	Counter Direction in Quadrature Decode Mode 正交解码模式下的计数器方向 <u>表示计数方向。</u> 0 计数器方向递减(计数器递减)。 1 计数器方向增加(计数器增量)。
1 TOFDIR	Indicates if the TOF bit was set on the top or the bottom of counting. <u>指示 TOF 位是设置在计数的顶部还是底部。</u> 0 TOF 位设置在计数的底部。FTM 计数器递减， <u>FTM 计数器从最小值(零)变为最大值(MOD 寄存器)。</u> 1 TOF 位设置在计数的顶部。FTM 计数器递增，FTM 计数器从最大值(MOD 寄存器)变为最小值(零)。
0 QUADEN	Enables the quadrature decoder mode. 使能正交解码器模式。在这种模式下，通道 0 和通道 1 输入控制 TPM 计数器方向，只能用于软件比较。正交解码器模式优先于其他模式。 0 正交解码器模式禁用。 1 正交解码器模式使能。

34.3.11 Configuration (TPMx_CONF)

该寄存器选择调试和等待模式下的行为以及外部全局 time base 的使用。.

Address: Base address + 84h offset

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16								
R	0								TRGSEL								TRGSRC	TRGPOL	0		CPOT	CROT	CSOO	CSOT
W	0								TRGSEL								TRGSRC	TRGPOL	0		CPOT	CROT	CSOO	CSOT
Reset	0								TRGSEL								TRGSRC	TRGPOL	0		CPOT	CROT	CSOO	CSOT



TPMx_CONF field descriptions

Field	Description																														
31–28 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.																														
27–24 TRGSEL	<p>Trigger Select</p> <p>选择用于启动、重新加载和/或暂停计数器的输入触发器。<u>触发源(TPM 的外部或内部)由 TRGSRC 字段配置。仅当 TPM 计数器被禁用时,才应更改该字段。</u></p> <p>有关可用的外部触发选项,请参考“芯片配置”部分。</p> <p>下面列出了可用的内部触发源。</p> <table> <tr><td>0001</td><td>Channel 0 pin input capture</td></tr> <tr><td>0010</td><td>Channel 1 pin input capture</td></tr> <tr><td>0011</td><td>Channel 0 or Channel 1 pin input capture</td></tr> <tr><td>0100</td><td>Channel 2 pin input capture</td></tr> <tr><td>0101</td><td>Channel 0 or Channel 2 pin input capture</td></tr> <tr><td>0110</td><td>Channel 1 or Channel 2 pin input capture</td></tr> <tr><td>0111</td><td>Channel 0 or Channel 1 or Channel 2 pin input capture</td></tr> <tr><td>1000</td><td>Channel 3 pin input capture</td></tr> <tr><td>1001</td><td>Channel 0 or Channel 3 pin input capture</td></tr> <tr><td>1010</td><td>Channel 1 or Channel 3 pin input capture</td></tr> <tr><td>1011</td><td>Channel 0 or Channel 1 or Channel 3 pin input capture</td></tr> <tr><td>1100</td><td>Channel 2 or Channel 3 pin input capture</td></tr> <tr><td>1101</td><td>Channel 0 or Channel 2 or Channel 3 pin input capture</td></tr> <tr><td>1110</td><td>Channel 1 or Channel 2 or Channel 3 pin input capture</td></tr> <tr><td>1111</td><td>Channel 0 or Channel 1 or Channel 2 or Channel 3 pin input capture</td></tr> </table>	0001	Channel 0 pin input capture	0010	Channel 1 pin input capture	0011	Channel 0 or Channel 1 pin input capture	0100	Channel 2 pin input capture	0101	Channel 0 or Channel 2 pin input capture	0110	Channel 1 or Channel 2 pin input capture	0111	Channel 0 or Channel 1 or Channel 2 pin input capture	1000	Channel 3 pin input capture	1001	Channel 0 or Channel 3 pin input capture	1010	Channel 1 or Channel 3 pin input capture	1011	Channel 0 or Channel 1 or Channel 3 pin input capture	1100	Channel 2 or Channel 3 pin input capture	1101	Channel 0 or Channel 2 or Channel 3 pin input capture	1110	Channel 1 or Channel 2 or Channel 3 pin input capture	1111	Channel 0 or Channel 1 or Channel 2 or Channel 3 pin input capture
0001	Channel 0 pin input capture																														
0010	Channel 1 pin input capture																														
0011	Channel 0 or Channel 1 pin input capture																														
0100	Channel 2 pin input capture																														
0101	Channel 0 or Channel 2 pin input capture																														
0110	Channel 1 or Channel 2 pin input capture																														
0111	Channel 0 or Channel 1 or Channel 2 pin input capture																														
1000	Channel 3 pin input capture																														
1001	Channel 0 or Channel 3 pin input capture																														
1010	Channel 1 or Channel 3 pin input capture																														
1011	Channel 0 or Channel 1 or Channel 3 pin input capture																														
1100	Channel 2 or Channel 3 pin input capture																														
1101	Channel 0 or Channel 2 or Channel 3 pin input capture																														
1110	Channel 1 or Channel 2 or Channel 3 pin input capture																														
1111	Channel 0 or Channel 1 or Channel 2 or Channel 3 pin input capture																														
23 TRGSRC	<p>Trigger Source</p> <p><u>选择内部(通道引脚输入捕捉)或外部触发源。</u></p> <p>选择内部触发器时,所选通道应配置为输入捕捉。只有一个上升沿输入捕获可用于使用 CSOT 配置初始启动计数器;利用 CROT 配置,上升沿或下降沿输入捕捉可用于重新加载计数器;并且通道输入引脚的状态用于暂停使用 CPOT 配置的计数器。通道极性寄存器可以用来反转通道输入引脚的极性。</p> <p>仅当 TPM 计数器被禁用时,才应更改该字段。</p> <table> <tr><td>0</td><td>Trigger source selected by TRGSEL is external.</td></tr> <tr><td>1</td><td>Trigger source selected by TRGSEL is internal (channel pin input capture).</td></tr> </table>	0	Trigger source selected by TRGSEL is external.	1	Trigger source selected by TRGSEL is internal (channel pin input capture).																										
0	Trigger source selected by TRGSEL is external.																														
1	Trigger source selected by TRGSEL is internal (channel pin input capture).																														

22 TRGPOL	<p>Trigger Polarity</p> <p>选择外部触发源的极性。仅当 TPM 计数器被禁用时，才应更改该字段。</p> <p>0 触发器高电平有效。</p> <p>1 触发器低电平有效。</p>
21–20Reserved	This field is reserved.This read-only field is reserved and always has the value 0.
19 CPOT	<p>Counter Pause On Trigger</p> <p><u>启用后，当触发器保持有效时，计数器将暂停递增(电平敏感)。</u></p> <p>仅当 TPM 计数器被禁用时，才应更改该字段。</p>
18 CROT	<p>Counter Reload On Trigger</p> <p><u>该位置位时，当在所选触发输入上检测到上升沿时，TPM 计数器将重新载入 0(并将 PWM 输出初始化为默认值)。</u></p> <p>如果 TPM 计数器在调试模式或休眠模式期间暂停，则忽略触发输入。仅当 TPM 计数器被禁用时，才应更改该字段。</p> <p>0 计数器不会因所选输入触发器上的上升沿而重新加载。</p> <p>1 计数器会在所选输入触发器上检测到上升沿时重新加载</p>
17 CSOO	<p>Counter Stop On Overflow</p> <p><u>置位时，一旦 TPM 计数器等于 MOD 值并递增(这也设置了 TOF)，该计数器将停止递增。</u>由于写入计数器寄存器或触发输入而使计数器重新加载 0 不会导致计数器停止递增。一旦计数器停止递增，计数器将不会开始递增，除非禁用然后再次启用，或者当 CSOT 置位时检测到所选触发输入的上升沿。</p> <p>仅当 TPM 计数器被禁用时，才应更改该字段。</p> <p>0 TPM 计数器在溢出后继续递增或递减</p> <p>1 TPM 计数器在溢出后停止递增或递减。</p>
16 CSOT	<p>Counter Start on Trigger</p> <p>该位置位时，<u>TPM 计数器在启用后不会开始递增，直到检测到所选触发输入的上升沿。</u>如果 TPM 计数器由于溢出而停止，所选触发输入的上升沿也将导致 TPM 计数器再次开始递增。</p> <p>如果 TPM 计数器在调试模式或休眠模式期间暂停，则忽略触发输入。仅当 TPM 计数器被禁用时，才应更改该字段。</p> <p>0 TPM 计数器在启用后立即开始递增。</p> <p>1 TPM 计数器仅在检测到所选输入触发器的上升沿时、在启用后或由于溢出而停止后才开始递增。</p>
15–10 Reserved	<p>This field is reserved.</p> <p>This read-only field is reserved and always has the value 0.</p>
9 GTBEEN	<p>Global time base enable</p> <p>将 TPM 配置为<u>使用外部生成的全局时基计数器</u>。当使用外部产生的时基时，内部 TPM 计数器不被通道使用，但可以使用模寄存器和定时器溢出标志产生一个周期性中断器 DMA 请求。</p> <p>0 所有通道使用内部生成的 TPM 计数器作为其时基</p> <p>1 所有通道使用外部生成的全局时基作为其时基</p>

8 GTBSYNC	<p>Global Time Base Synchronization</p> <p>启用时，TPM 计数器与全局时基同步。<u>它使用全局时基启用、触发和溢出来确保 TPM 计数器与全局时基同时开始递增，与全局时基同时停止递增，并与全局时基同时重置。</u>仅当 TPM 计数器被禁用时，才应更改该字段。</p> <p>0 全局时基同步已禁用。</p> <p>1 全局时基同步使能。</p>
7-6 DBGMODE	<p>Debug Mode</p> <p>在调试模式下配置 TPM 行为。所有其他配置都被保留。</p> <p>00 <u>TPM 计数器暂停，并且在调试模式期间不递增。触发输入和输入捕获事件也被忽略。</u></p> <p>11 在调试模式下 TPM 计数器继续。</p>
5 DOZEEN	<p>Doze Enable</p> <p>配置等待模式下的 TPM 行为。</p> <p>0 内部 TPM 计数器继续处于休眠模式。</p> <p>1 内部 TPM 计数器暂停，并且在休眠模式期间不递增。触发输入和输入捕获事件也被忽略。</p>
Reserved	<p>This field is reserved.</p> <p>This read-only field is reserved and always has the value 0.</p>

34.4 Functional description

以下部分描述了 TPM 的功能。

34.4.1 Clock domains

TPM 模块支持两个时钟域。

总线时钟域由寄存器接口使用，用于同步中断和 DMA 请求。

TPM 计数器时钟域用于为计数器和预分频器以及输出比较和输入捕获逻辑计时。TPM 计数器时钟被视为与总线时钟异步，其频率可以高于或低于总线时钟，并且可以在停止模式下保持运行。多个 TPM 实例都由同一个 TPM 计数器时钟计时，以支持外部时基功能。

34.4.1.1 Counter Clock Mode

SC 寄存器中的 **CMOD[1:0]位要么禁用 TPM 计数器，要么为 TPM 计数器选择两种可能的时钟模式之一。**在任何复位之后，CMOD[1:0] = 0:0，因此 TPM 计数器被禁用。

CMOD[1:0]位可以随时读取或写入。通过向 CMOD[1:0]位写入零来禁用 TPM 计数器不会影响 TPM 计数器值或其他寄存器，但必须在 TPM 计数器时钟域读取零之前得到其确认。

外部时钟输入通过由 TPM 计数器时钟计时的同步器，以确保计数器转换与计数器时钟转换正确对齐。

因此，为了满足同时考虑抖动的奈奎斯特准则，**外部时钟源的频率必须小于计数器时钟频率的一半。**

34.4.2 Prescaler

所选的计数器时钟源经过一个 7 位计数器的预分频器。

预分频器的值由 PS[2:0]位选择。下图显示了一个 prescaler 计数器和 TPM 计数器的示例。

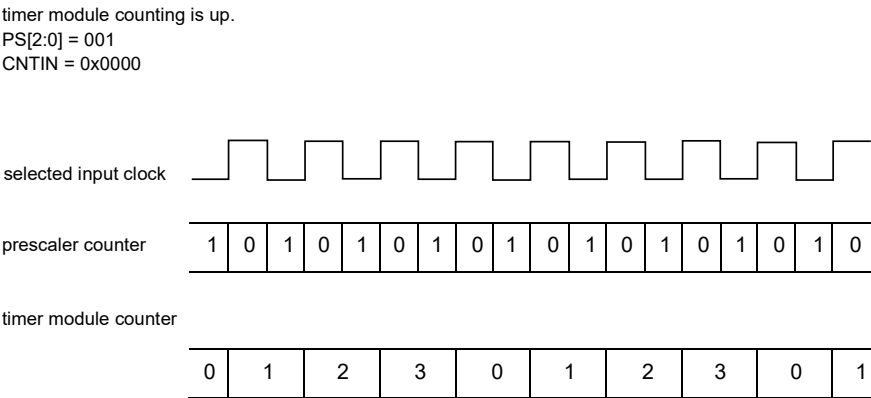


Figure 34-2. Example of the Prescaler Counter

34.4.3 Counter

TPM 有一个 16 位计数器，由通道用于输入或输出模式。

计数器从预分频器分频的选定时钟开始更新。

TPM 计数器有以下操作模式：

- 向上计数(参见向上计数)
- 向上-向下计数(参见向上-向下计数)

34.4.3.1 Up counting

当 SC[CPWMS] = 0 时，选择向上计数。

零值被加载到 TPM 计数器中，并且计数器递增，直到达到 MOD 值，此时计数器被重新加载为零。使用递增计数时的 TPM 周期为 $(MOD + 0x\ 0001) \times TPM$ 计数器时钟的周期。

当 TPM 计数器从 MOD 变为零时，TOF 位被置位。

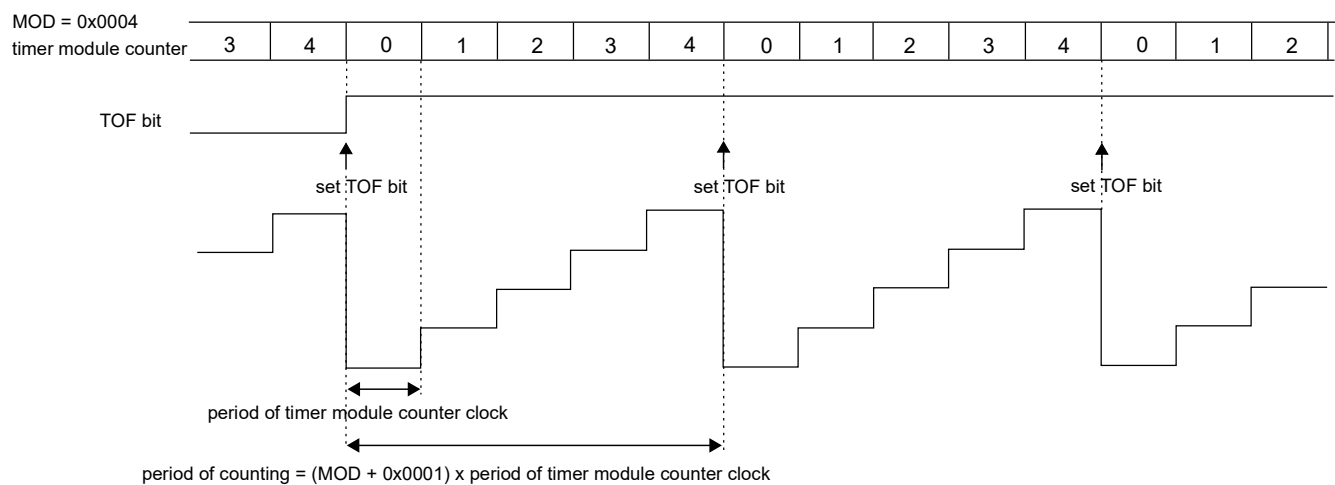


Figure 34-3. Example of TPM Up Counting

注意：MOD = 0000 是一个多余的条件。在这种情况下，TPM 计数器始终等于 MOD，并且 TOF 位在 TPM 计数器时钟的每个上升沿被置位。

34.4.3.2 Up-down counting

当 SC[CPWMS] = 1 时，选择上下计数。 当配置为上下计数时，不支持将 CONF[MOD]配置为小于 2。

值 0 被加载到 TPM 计数器中，并且计数器递增，直到达到 MOD 值，此时计数器递减，直到它归零，并且上下计数重新开始。

使用上下计数时的 TPM 周期为： $2 \times MOD \times TPM$ 计数器时钟的周期。

当 TPM 计数器从 MOD 变为(MOD-1)时，TOF 位被置位。

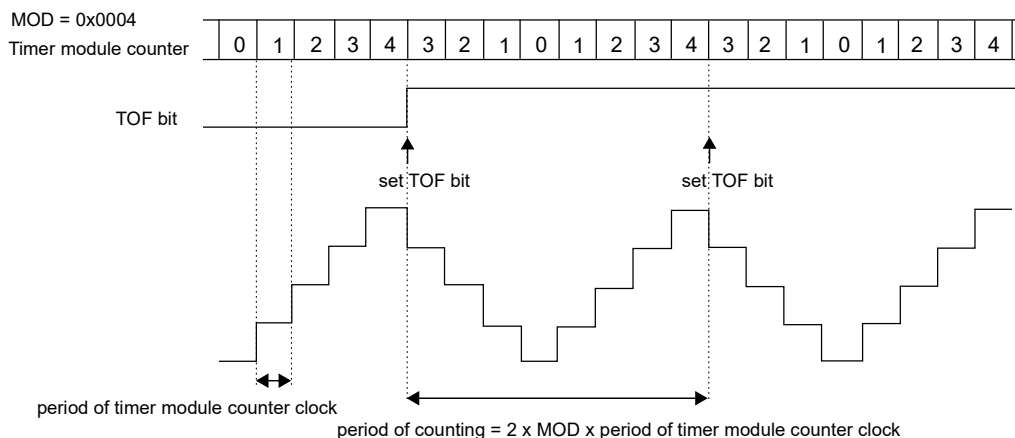


Figure 34-4. Example of up-down counting

34.4.3.3 Counter Reset

对 CNT 的任何写操作都会将 TPM 计数器和通道输出复位至初始值(输出比较模式下的通道除外)。

34.4.3.4 Global time base (GTB)

GTB (global timebase)是一种 TPM 功能，允许多个 TPM 模块共享相同的时基。当启用全局时基时(`CONF[GTBEEN] = 1`)，本地 TPM 通道使用来自生成全局时基的 TPM 的计数器值、计数器启用和溢出指示。如果本地 TPM 计数器不生成全局时基，那么它可以用作独立的计数器或脉冲累加器。

通过配置(GTBSYNC = 1)，本地 TPM 计数器也可以配置为与全局时基同步。当与全局时基同步时，本地计数器将使用来自生成全局时基的 TPM 的计数器启用和计数器溢出指示。这使得多个 TPM 可以配置为具有相同的相位 phase，但是具有不同的周期(尽管全局时基必须配置为具有最长的周期)。

34.4.3.5 Counter trigger

TPM 计数器可以配置为启动、停止或重置，以响应硬件触发输入。触发器输入与异步计数器时钟同步，因此在触发器置位和计数器响应之间有 3 个计数器时钟延迟。

- 当(CSOT = 1)时，计数器不会开始递增，直到在触发输入端检测到上升沿。
- 当(CSOO = 1)时，每当 TOF 标志置位时，计数器将停止递增。
- 除非计数器被禁用，或者如果 CSOT = 1 并且在触发输入端检测到上升沿，否则计数器不会再次递增。
- 当(CROT = 1)时，每当在触发输入端检测到上升沿时，计数器将重置为零，如同发生溢出一样。
- 当(CPOT = 1)时，每当触发输入有效时，计数器将暂停递增。当触发输入无效时，计数器将继续递增。

外部输入触发器的极性可以通过 TRGPOL 寄存器位来配置。

当选择内部触发源时，从一个或多个通道输入捕获事件中选择触发输入。输入捕捉滤波器与内部触发源配合使用，POLn 位可用于反转输入通道的极性。请注意，以下限制适用于输入采集通道源。

- 当(CSOT = 1)时，如果 ELSnA = 1，计数器只会在通道输入的上升沿开始递增。
- 当(CROT = 1)时，根据 ELSnB:ELSnA 的配置，计数器将在通道输入的任一边沿复位至 0。
- 当(CPOT = 1)时，每当通道输入置位时，计数器将暂停递增。

34.4.4 Input Capture Mode

当(CPWMS = 0)、(MSnB:MSnA = 0:0)、(ELSnB:ELSnA ≠ 0:0)时选择输入捕获模式。

当通道输入上出现选定边缘时，TPM 计数器的当前值被捕获到 CnV 寄存器中，同时设置 CHnF 位，如果 CHnIE = 1 使能，则产生通道中断(见下图)。

当为输入捕获配置通道时，TPM_CHn 引脚是边缘敏感的输入。ELSnB:ELSnA 控制位决定哪条边，下降或上升，触发输入捕获事件。请注意，要正确检测的通道输入信号的最大频率是计数器时钟除以 4，这需要满足信号采样的奈奎斯特准则。。

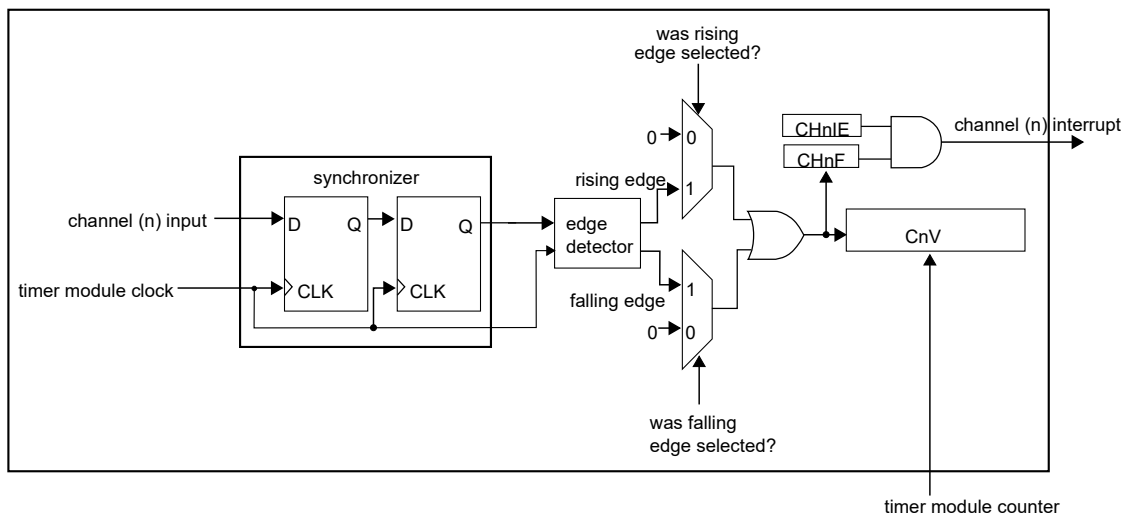


Figure 34-5. Input capture mode

通道输入出现有效边沿后，CHnF 位在计数器时钟的第三个上升沿置 1。

34.4.5 Output Compare Mode

当(CPWMS = 0)和(MSnB:MSnA = X:1)时，选择输出比较模式。

在输出比较模式下，TPM 可以产生位置、极性、持续时间和频率可编程的定时脉冲。当计数器与输出比较通道的 CnV 寄存器中的值匹配时，如果 MSnB 清零，则可以设置、清零或切换通道(n)输出。如果 MSnB 置 1，则只要计数器与 CnV 寄存器中的值匹配，通道(n)输出就会变为高电平或低电平脉冲。

当通道最初配置为输出比较模式时，通道输出以其取反值更新(逻辑 0 表示置位/切换/脉冲高电平，逻辑 1 表示清除/脉冲低电平)。

CHnF 位置 1，并且在通道(n)匹配(TPM 计数器 = CnV)时产生通道(n)中断(如果 CHnIE = 1)。

MOD = 0x0005
CnV = 0x0003

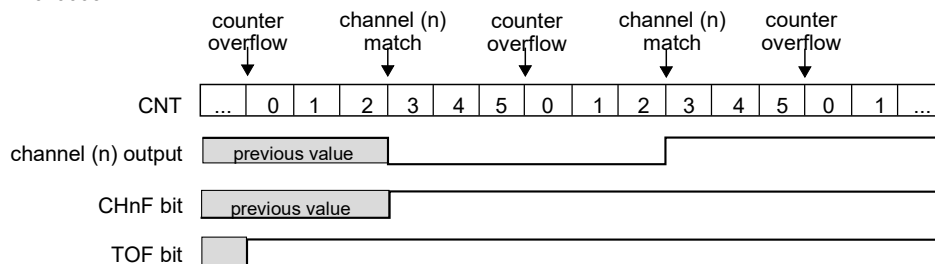


Figure 34-6. 匹配切换通道输出时的输出比较模式示例

MOD = 0x0005
CnV = 0x0003

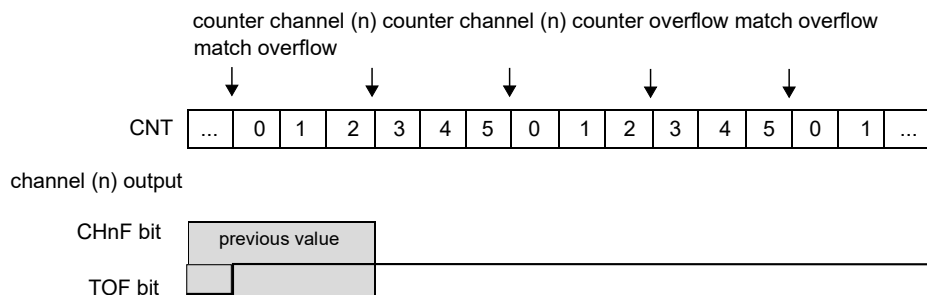


Figure 34-7. 匹配清除通道输出时的输出比较模式示例

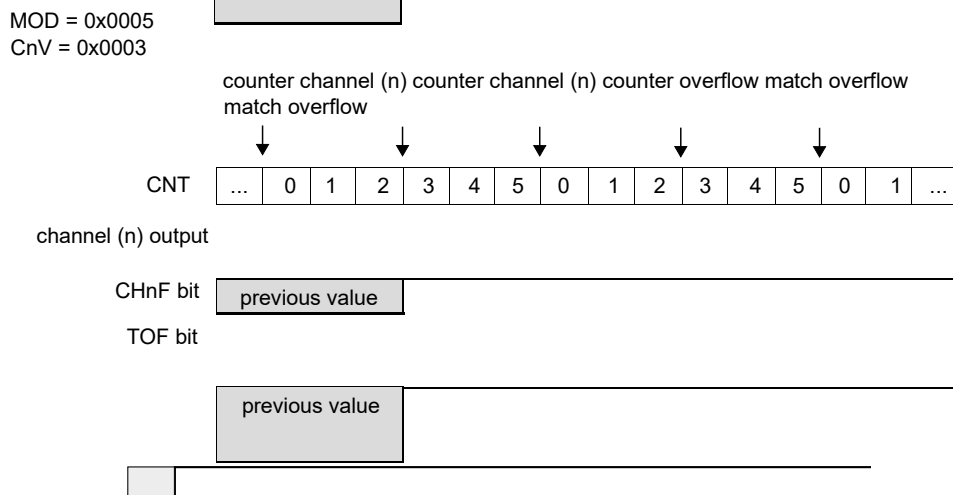


Figure 34-8. 匹配设置通道输出时的输出比较模式示例

可以在(ELSnB:ELSnA = 0:0)下使用输出比较模式。这种情况下，当计数器达到 CnV 寄存器中的值时，CHnF 位置 1，并且产生通道(n)中断(如果 CHnIE = 1)，但是通道(n)输出不受 TPM 修改和控制。

34.4.6 Edge-Aligned PWM (EPWM) Mode

当(CPWMS = 0)和(MSnB:MSnA = 1:0)时，选择边沿对齐模式。

EPWM 周期由(MOD + 0x0001)决定，脉冲宽度(占空比)由 CnV 决定。

CHnF 位置 1，并且在通道(n)匹配(TPM 计数器 = CnV)时，即脉冲宽度结束时，产生通道(n)中断(如果 CHnIE = 1)。

这种类型的 PWM 信号称为边沿对齐，因为所有 PWM 信号的前沿都与周期的开始对齐，这对于 TPM 中的所有通道都是一样的。

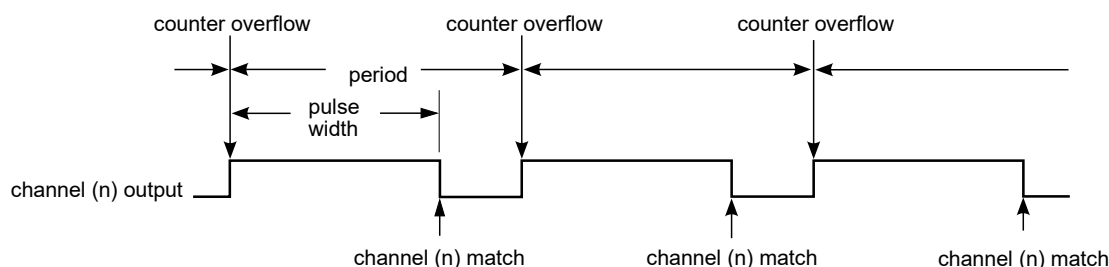


Figure 34-9. ELSnB:ELSnA = 1:0 时的 EPWM 周期和脉冲宽度

如果计数器达到 CnV 寄存器中的值时 (ELSnB:ELSnA=0:0) , 则设置 CHnF 位并生成通道 (n) 中断 (如果 CHnIE=1) , 但是通道 (n) 输出不受 TPM 控制。

如果 (ELSnB:ELSnA=1:0) , 则通道 (n) 输出在计数器溢出时 (当零加载到 TPM 计数器中时) 被强制为高, **并且在通道 (n) 匹配时被强制为低 (TPM 计数器=CnV)** (见下图) 。

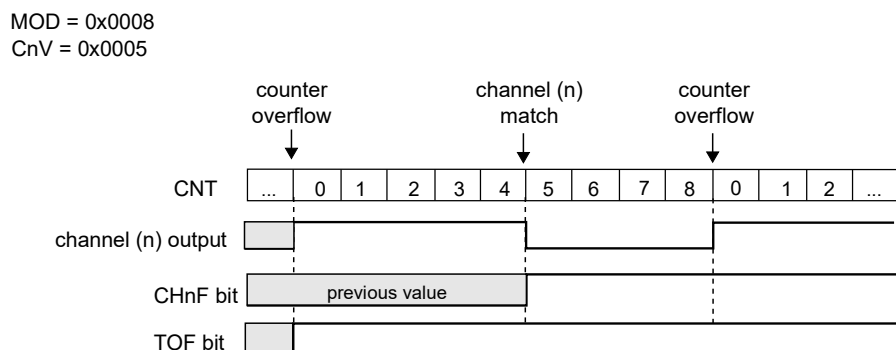


Figure 34-10. ELSnB:ELSnA=1:0 的 EPWM 信号

如果 (ELSnB:ELSnA=X:1) , 则通道(n)输出在计数器溢出时(当零被加载到 TPM 计数器时)被强制为低电平, 而在通道(n)匹配时(TPM 计数器=CnV)被强制为高电平(见下图)。

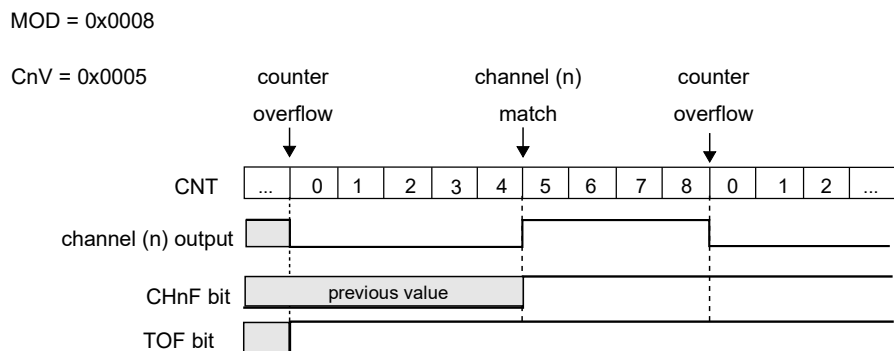


Figure 34-11. ELSnB:ELSnA=X:1 的 EPWM 信号

如果($CnV = 0x0000$), 则通道(n)输出是 0%占空比的 EPWM 信号。如果($CnV > MOD$), 则通道(n)输出是 100%占空比的 EPWM 信号, $CHnF$ 位不会置 1, 因为通道(n)永远不会匹配。因此, 为了获得 100%占空比的 EPWM 信号, MOD 必须小于 $0xFFFF$ 。

34.4.7 Center-Aligned PWM (CPWM) Mode

当 ($CPWMS = 1$) 和 ($MSnB:MSnA = 1:0$) 时, 选择中心对齐模式。

CPWM 的脉冲宽度 (占空比) 由 $2 \times CnV$ 决定, 周期由 $2 \times MOD$ 决定 (见下图)。 MOD 必须保持在 $0x0001$ 到 $0x7FFF$ 的范围内, 因为超出这个范围的值会产生不明确的结果。

在 CPWM 模式下, TPM 计数器向上计数直到达到 MOD , 然后向下计数直到达到 0。

当 TPM 计数下降 (在脉冲宽度开始时) 和 TPM 计数上升 (在脉冲宽度结束时) 时, $CHnF$ 位被设置, 通道 (n) 中断被产生 (如果 $CHnIE = 1$) 在通道 (n) 匹配 (TPM 计数器 = CnV)。

这种类型的 PWM 信号被称为中心对齐, 因为所有通道的脉冲宽度中心是在 TPM 计数器为零时。

其他通道模式的设计不是为了与上-下计数器一起使用 ($CPWMS = 1$)。因此, 当($CPWMS = 1$)时, 所有 TPM 通道都应以 CPWM 模式使用。

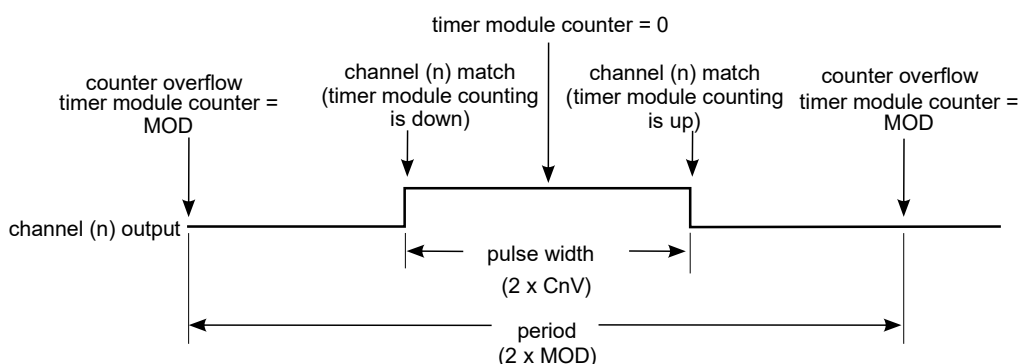


Figure 34-12. $ELSnB:ELSnA = 1:0$ 时的 CPWM 周期和脉冲宽度

如果($ELSnB:ELSnA = 0:0$)当 TPM 计数器达到 CnV 寄存器中的值时, $CHnF$ 位被置位, 并产生通道(n)中断(如果 $CHnIE = 1$), 然而通道(n)输出不受 TPM 控制。

如果($ELSnB:ELSnA = 1:0$), 则向下计数时通道(n)匹配处(TPM 计数器 = CnV)输出强制高, 向上计数时通道(n)匹配处输出强制低(见下图)。

MOD = 0x0008
CnV = 0x0005

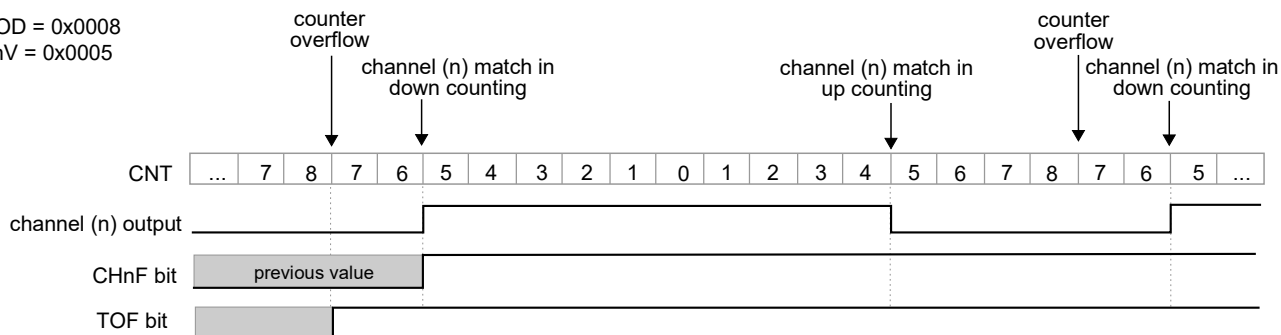


Figure 34-13. CPWM signal with ELSnB:ELSnA = 1:0

如果(ELSnB:ELSnA = X:1)，则向下计数时通道(n)匹配处(TPM counter = CnV)输出强制低，向上计数时通道(n)匹配处输出强制高(见下图)。

MOD = 0x0008
CnV = 0x0005

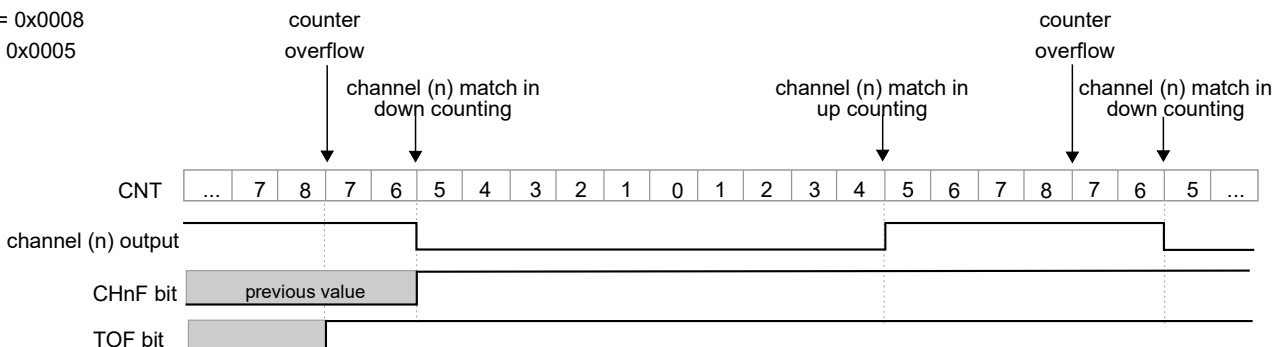


Figure 34-14. CPWM signal with ELSnB:ELSnA = X:1

如果(CnV = 0x0000)，则通道(n)输出是 0%占空比 CPWM 信号。

如果(CnV > MOD)，则通道(n)输出是 100%占空比 CPWM 信号， 尽管 CHnF 位是在计数器从递增变为递减时设置的。因此，为了获得 100%占空比 CPWM 信号，MOD 必须小于 0xFFFF

34.4.8 Combine PWM mode

当 MSnB:MSnA = 10 COMBINEn = 1 QUADEN = 0 且 CPWMS = 0 时，选择组合 PWM 模式。

在组合 PWM 模式下，**偶数通道(n)和相邻的奇数通道(n+1)组合在一起，在通道(n)输出中产生一个 PWM 信号。**

在组合模式下，PWM 周期由 $(MOD + 0x0001)$ 决定，PWM 脉冲宽度(占空比)由 $(C(n+1)V - C(n)V)$ 决定。

CHnF 位置位，并且在通道(n)匹配(TPM 计数器 = $C(n)V$)时产生通道(n)中断(如果 CHnIE = 1)。在通道(n+1)匹配时(TPM 计数器 = $C(n+1)V$)，如果 CH(n+1)IE = 1，则 CH(n+1)F 位置 1，并产生通道(n+1)中断。

如果通道(n) ($ELSnB:ELSnA = X:1$)，则通道(n)输出在周期开始时(TPM 计数器为零)和通道(n+1)匹配时(TPM 计数器 = $C(n+1)V$)被强制拉低。在通道(n)匹配时，它被强制为高电平(TPM 计数器 = $C(n)V$)。

如果通道(n) ($ELSnB:ELSnA = 1:0$)，则通道(n)输出在周期开始时(TPM 计数器为零)和通道(n+1)匹配时(TPM 计数器 = $C(n+1)V$)被强制为高电平。在通道(n)匹配时，它被强制拉低(TPM 计数器 = $C(n)V$)。

当($COMSWAPn = 1$)时，通道(n)输出在周期开始时(TPM 计数器为零)和通道(n)匹配时(TPM 计数器 = $C(n)V$)被强制为低电平或高电平。在通道(n+1)匹配时，它被强制为高电平或低电平(TPM 计数器 = $C(n+1)V$)。

通道(n+1)输出的产生与通道(n)输出相同，但输出极性由通道(n+1) $ELSnB:ELSnA$ 配置控制

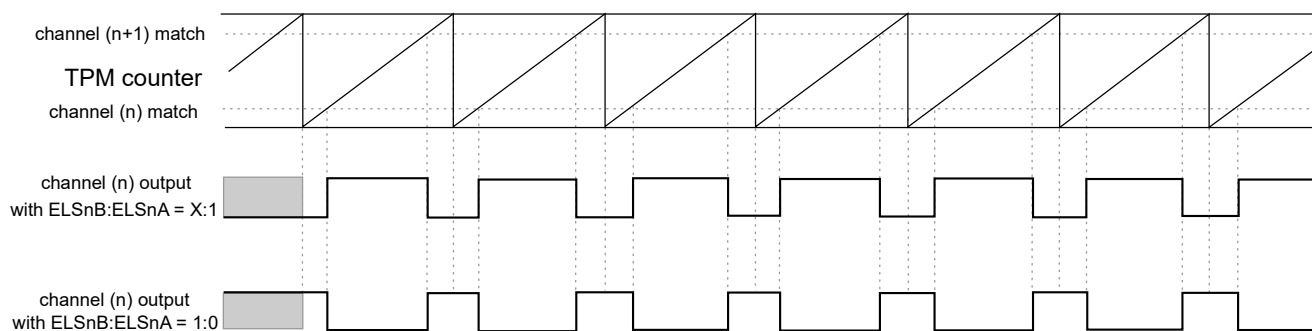


Figure 34-15. Combine mode

下图说明了使用组合模式产生的 PWM 信号。

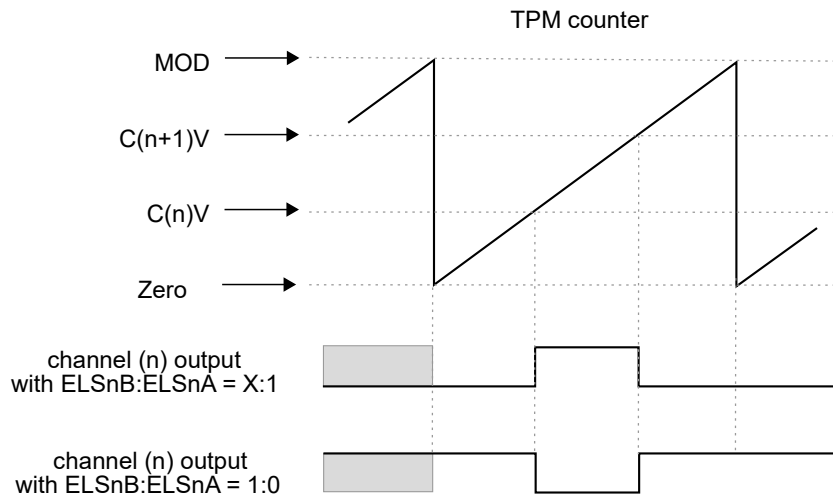


Figure 34-16. 通道(n)输出 if $(C(n)V < MOD)$ 和 $(C(n+1)V < MOD)$ 和 $(C(n)V < C(n+1)V)$

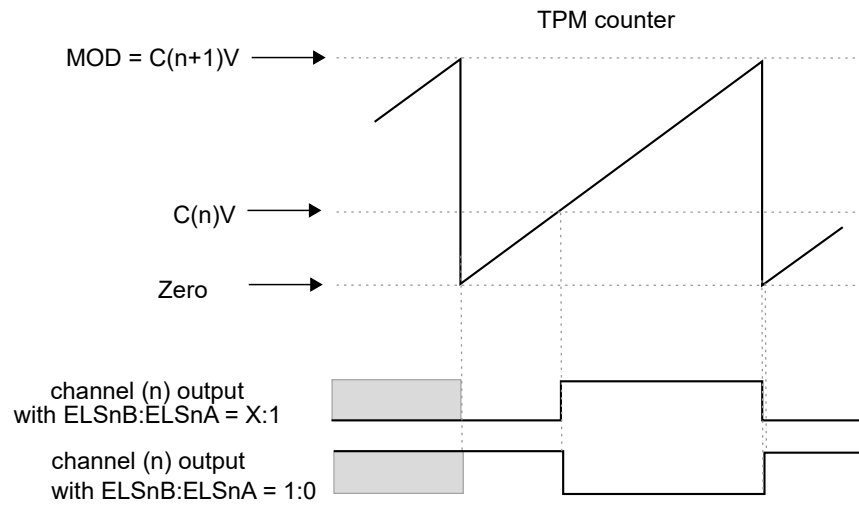


Figure 34-17. Channel (n) output if $(C(n)V < MOD)$ and $(C(n+1)V = MOD)$

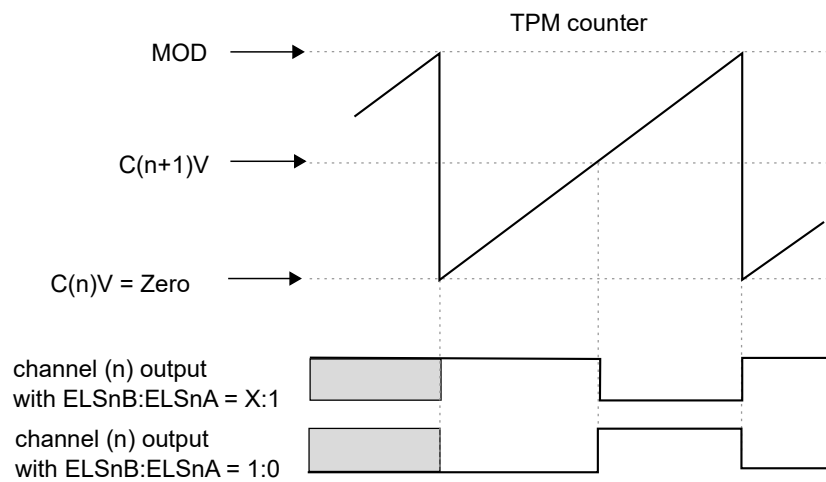


Figure 34-18. Channel (n) output if $(C(n)V = zero)$ and $(C(n+1)V < MOD)$

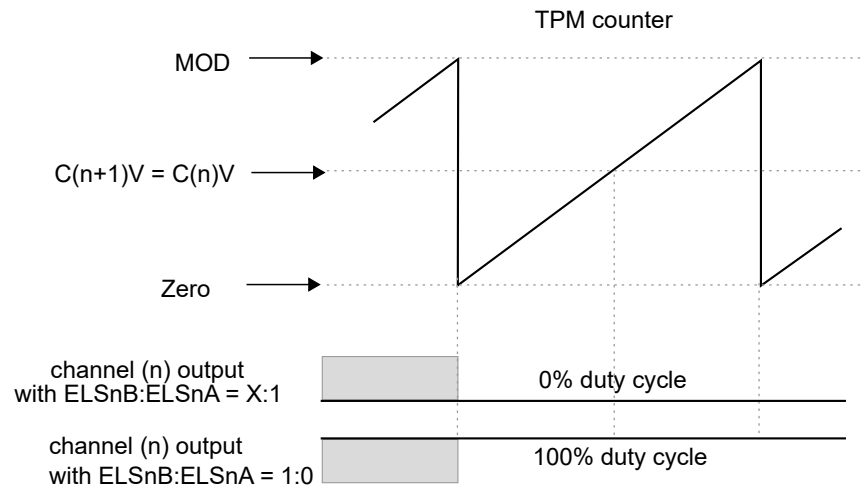


Figure 34-19. Channel (n) output if $(C(n)V < MOD)$ and $(C(n+1)V < MOD)$ and $(C(n)V = C(n+1)V)$

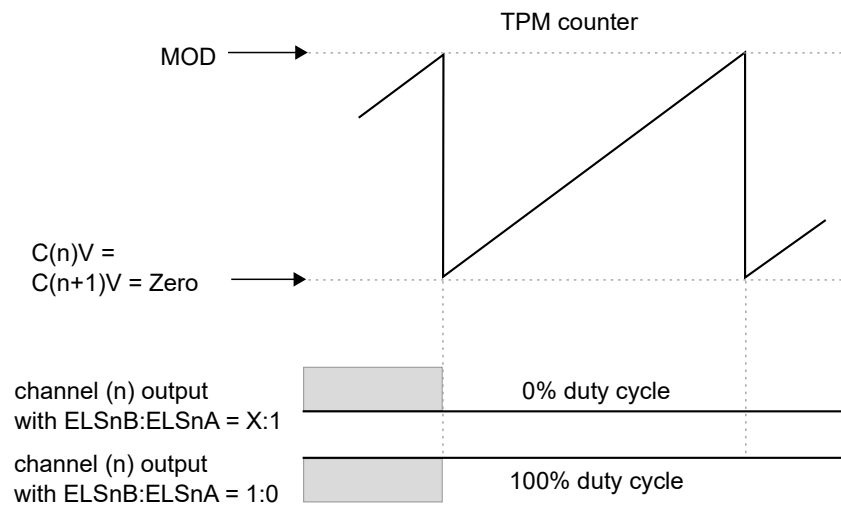


Figure 34-20. Channel (n) output if $(C(n)V = C(n+1)V = \text{zero})$

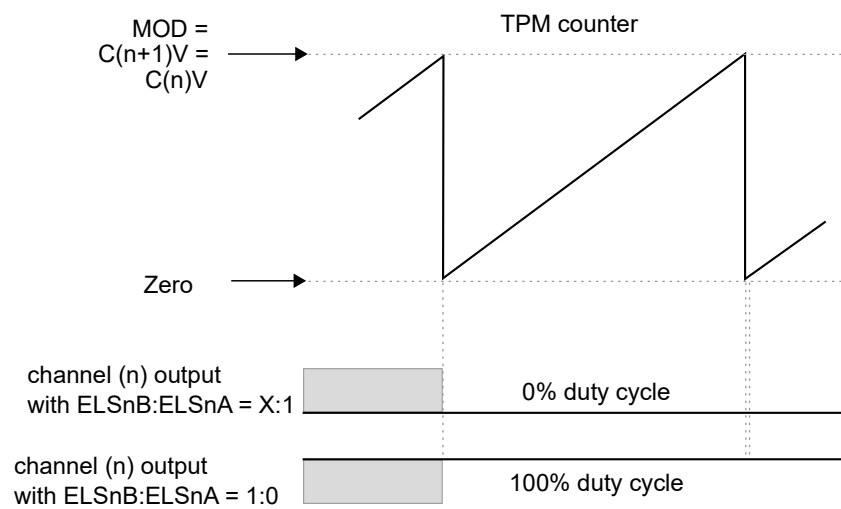


Figure 34-21. Channel (n) output if $(C(n)V = C(n+1)V = MOD)$

34.4.9 Combine Input Capture mode

如果 $COMBINEn = 1$ 且 $MSnB:MSnA = 00$ 且 $ELSnB:ELSnA \neq 00$, 则选择组合输入捕捉模式。该模式允许测量通道对的通道(n)输入端的信号脉冲宽度。在此模式下, 通道(n)滤波器可以激活。

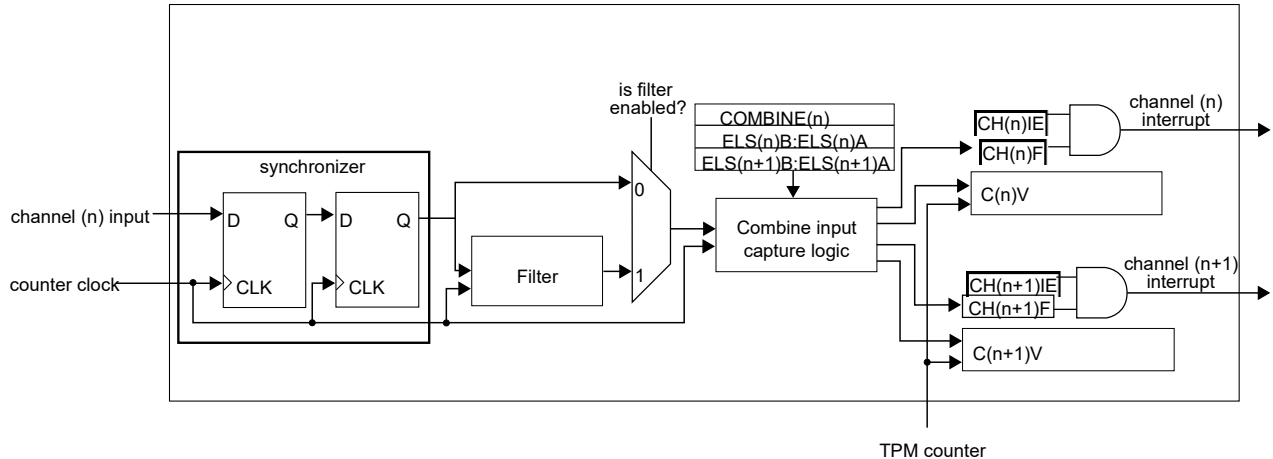


Figure 34-22. Combine Input Capture mode block diagram

$ELSnB:ELSnA$ 位选择通道(n)捕捉的边沿, $ELSn+1B:ELSn+1A$ 位选择通道(n+1)捕捉的边沿。

在组合输入捕捉模式下, 仅使用通道(n)输入, 忽略通道(n+1)输入; 当 $COMSWAPn = 1$ 时, 仅使用通道(n+1)输入, 忽略通道(n)输入。

如果在通道(n)输入端检测到通道(n)位选择的边沿, 则 $CH(n)F$ 位置 1, 并产生通道(n)中断(如果 $CH(n)IE = 1$)。如果在通道(n)输入端检测到通道(n+1)位选择的边沿, 则 $CH(n+1)F$ 位置 1, 并产生通道(n+1)中断(如果 $CH(n+1)IE = 1$)。

当在通道(n)输入端检测到通道(n)选择的边沿时, $C(n)V$ 寄存器存储 TPM 计数器的值。当在通道(n)输入端检测到通道(n+1)选择的边沿时, $C(n+1)V$ 寄存器存储 TPM 计数器的值。

注意 $CH(n)F$ 、 $CH(n)IE$ 、 $MS(n)A$ 、 $ELSnB$ 和 $ELSnA$ 位是通道(n)位。

$CH(n+1)F$ 、 $CH(n+1)IE$ 、 $MS(n+1)A$ 、 $ELSn+1B$ 和 $ELSn+1A$ 位是通道(n+1)位。

必须在 $ELSnB:ELSnA = 0:1$ 或 $1:0$ 、 $ELSn+1B:ELSn+1A = 0:1$ 或 $1:0$ 的情况下使用组合输入捕捉模式。

34.4.10 Input Capture Filter

输入捕获滤波器功能仅在输入捕获模式下，或在正交解码器模式下处于软件比较模式。

首先，输入信号由计数器同步。同步之后，输入信号进入滤波器块。见下图。

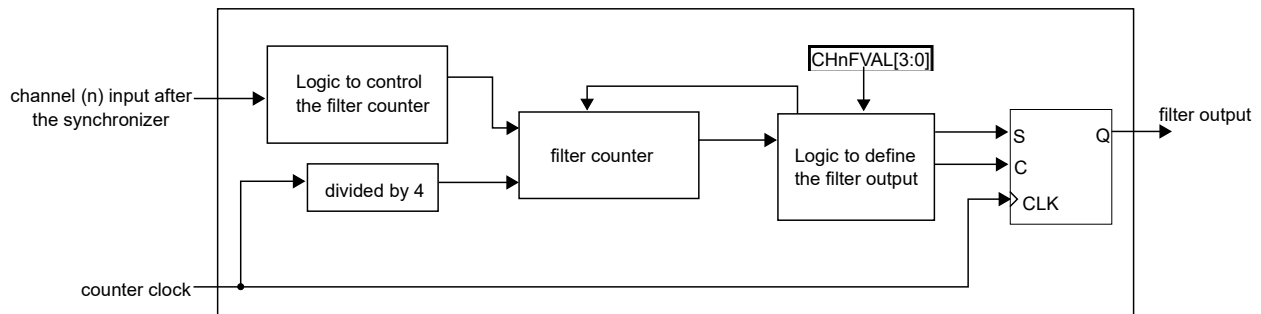


Figure 34-23. Channel input filter

当输入信号发生状态变化时，计数器复位并开始计数。只要输入的新状态是稳定的，计数器就会继续递增。

当计数器等于(CHnFVAL[3:0] × 4)时，验证输入信号的状态变化。

如果在验证之前，输入信号上出现了对边，计数器将被重置。在下次输入转换时，计数器再次开始计数。任何小于(CHnFVAL[3:0] × 4)计数器选择的最小值的脉冲都被认为是一个小故障，并且没有通过滤波器。输入滤波器的时序图如下图所示。

当 CHnFVAL[3:0] 位为 0 时，关闭过滤功能。在这种情况下，输入信号被计数器时钟的 2 个上升边延迟。如果(CHnFVAL[3:0] ≠ 0000)，则输入信号被最小脉冲宽度(CHnFVAL[3:0] × 4 个系统时钟)加上另外 3 个系统时钟上升边延迟:两个上升边到同步器，另外一个上升边到边缘检测器。换句话说，在通道输入上出现有效边缘后，CHnF 被设置为(3 + 4 × CHnFVAL[3:0])计数器周期。

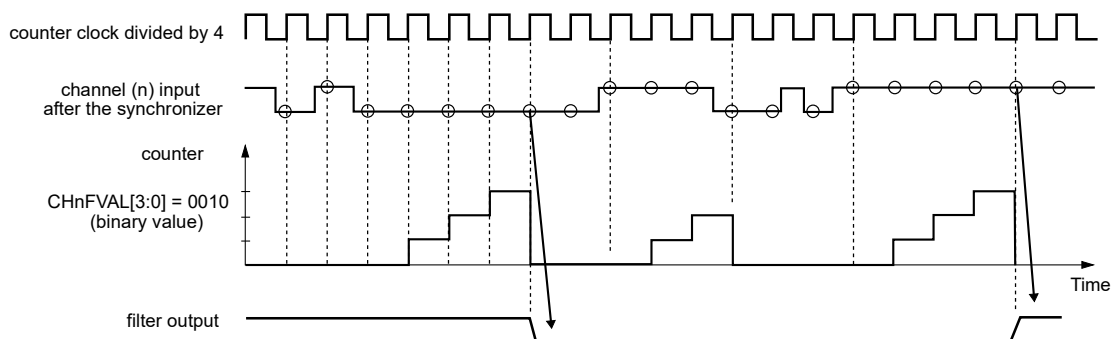


Figure 34-24. Channel input filter example

34.4.11 Deadtime insertion

当 CHnFVAL 非零时，在 PWM 组合模式下启用死区插入。

用于每个 TPM 通道的死时间延迟定义为 $(CHnFVAL[3:0] \times 4)$ 。

死时延迟插入确保没有两个互补信号(通道(n)和(n+1))同时驱动活动状态。

如果 $POL(n) = 0$, $POL(n+1) = 1$ ，并且启用死时间，那么当通道(n)匹配(TPM 计数器 = $C(n)V$)发生时，通道(n)输出将保持在低值，直到设置通道(n)输出时死时间延迟结束。类似地，当通道(n+1)匹配(TPM 计数器 = $C(n+1)V$)发生时，通道(n+1)输出保持在低值，直到设置通道(n+1)输出时的死时延迟结束。

见下图。

如果 $POL(n) = 1$, $POL(n+1) = 0$ ，并且启用死时间，那么当通道(n)匹配(TPM 计数器 = $C(n)V$)发生时，通道(n)输出将保持在高值，直到死时间延迟结束时通道(n)输出被清除。同样的，当通道(n+1)匹配(TPM 计数器 = $C(n+1)V$)发生时，通道(n+1)输出保持在高值，直到死时延迟结束，通道(n+1)输出被清除。

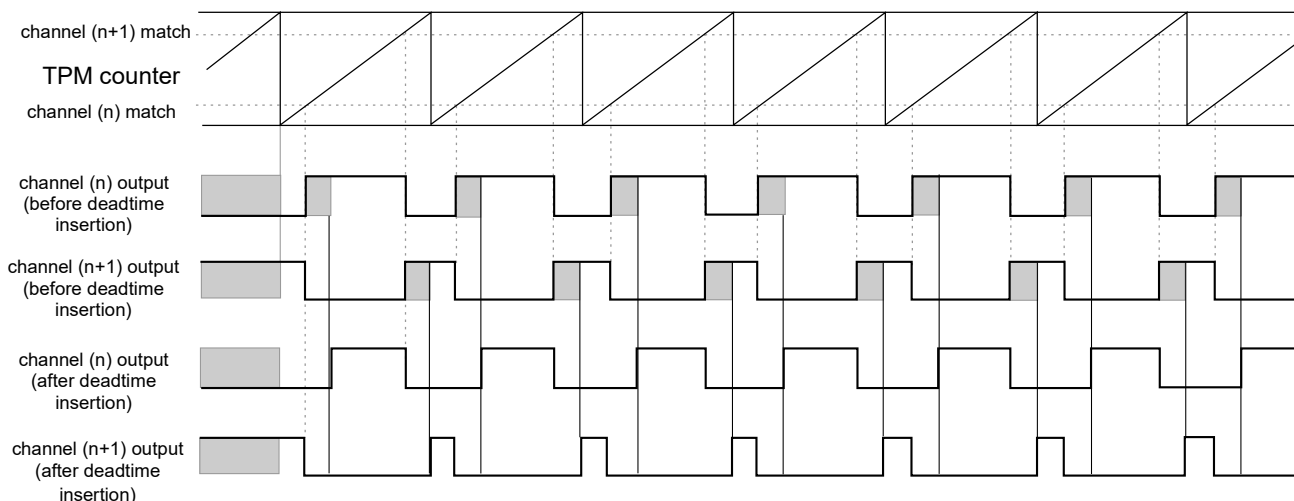


Figure 34-25. Deadtime insertion with $ELSnB:ELSnA = X:1$, $POL(n) = 0$, and $POL(n+1) = 1$

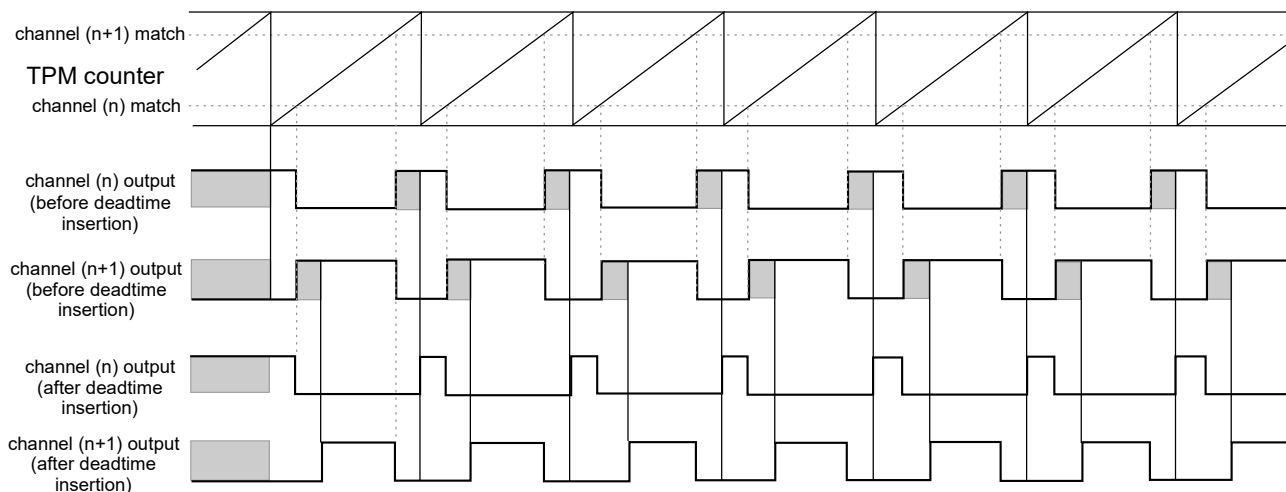


Figure 34-26. Deadtime insertion with $ELSnB:ELSnA = 1:0$, $POL(n) = 0$, and $POL(n+1) = 1$

34.4.12 Quadrature Decoder mode

如果($QUADEN = 1$)，则选择正交解码器模式。正交解码器模式使用通道 0(A 相)和通道 1(B 相)输入信号来控制 TPM 计数器的递增和递减。下图显示了正交解码器框图。

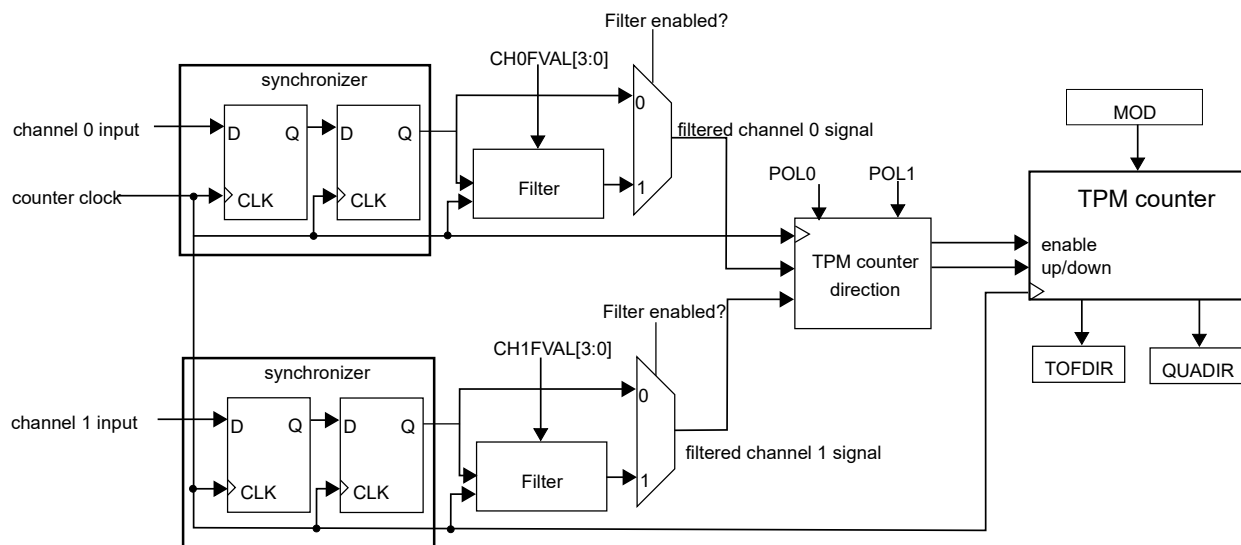


Figure 34-27. Quadrature Decoder block diagram

输入捕捉滤波器和通道极性寄存器用于配置正交解码模式下通道 0 和通道 1 输入的输入滤波器和极性。

请注意，当选择正交解码器模式时，TPM 计数器由通道 0 和通道 1 输入信号计时。因此，在正交解码器模式下，通道 0 和通道 1 只能在软件比较模式下使用，其他 TPM 通道只能在输入捕捉或输出比较模式下使用。

QUADMODE 选择正交解码器模式中使用的编码模式。如果 $QUADMODE = 1$ ，则启用计数和方向编码模式；见下图。在这种模式下，通道 1 输入值指示计数方向，通道 0 输入定义计数率。当通道 0 输入信号出现上升沿时，TPM 计数器更新。

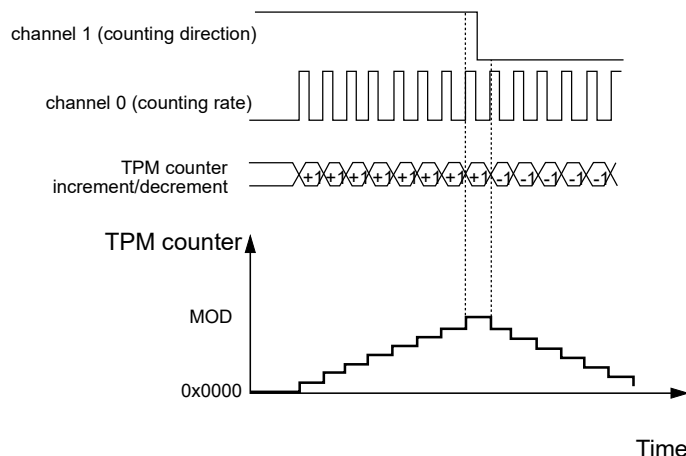


Figure 34-28. Quadrature Decoder – Count and Direction Encoding mode

如果 $QUADMODE = 0$ ，则使能相位编码模式；见下图。

在这种模式下，通道 0 和通道 1 信号之间的关系表示计数方向，通道 0 和通道 1 信号定义计数率。当通道 0 或通道 1 信号出现边沿时，TPM 计数器会更新。

如果 $CH0POL = 0$ 且 $CH1POL = 0$ ，则 TPM 计数器在以下情况下**递增**：

- 通道 0 信号有上升沿，通道 1 信号为逻辑 0；
- 通道 1 信号有一个上升沿，通道 0 信号为逻辑 1；
- 通道 1 信号有下降沿，通道 0 信号为逻辑 0；
- 通道 0 信号有下降沿，通道 1 信号为逻辑 1；

并且 TPM 计数器**递减**发生在以下情况：

- 在通道 0 信号处有下降沿，并且通道 1 信号处于逻辑 0；
- 通道 1 信号有下降沿，通道 0 信号为逻辑 1；
- 通道 1 信号有一个上升沿，通道 0 信号处于逻辑 0；
- 通道 0 信号有一个上升沿，通道 1 信号为逻辑 1。

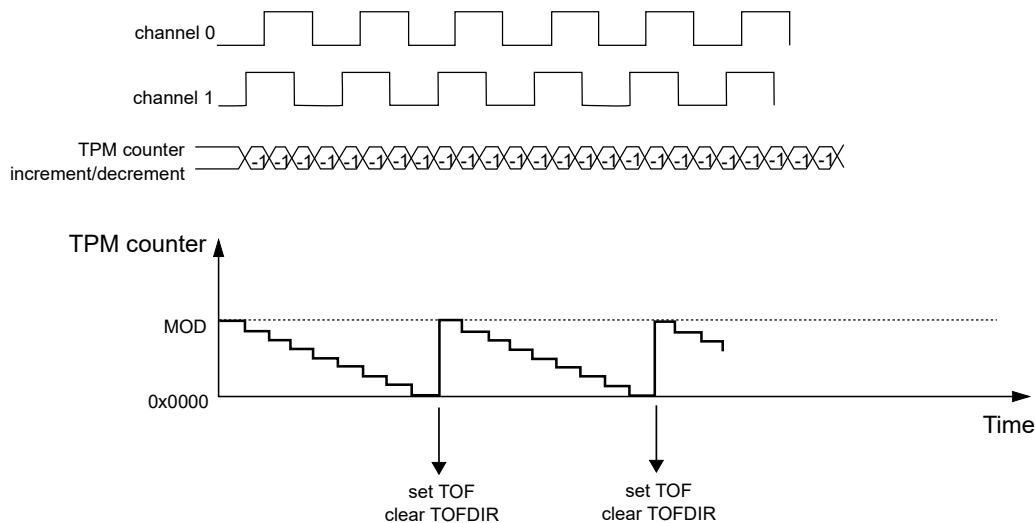


Figure 34-31. TPM counter overflow in down counting for Quadrature Decoder mode

34.4.13 Registers Updated from Write Buffers

34.4.13.1 MOD Register Update

如果(CMOD[1:0] = 0:0)，则写入 MOD 寄存器时会更新 MOD 寄存器。

如果(CMOD[1:0] ≠ 0:0)，则 MOD 寄存器根据 CPWMS 位更新，即：

- 如果所选模式不是 CPWM，则 MOD 寄存器在写入 MOD 寄存器后更新，TPM 计数器从 MOD 变为 0。
- 如果选择的模式是 CPWM，则在写入 MOD 寄存器后，MOD 寄存器被更新，TPM 计数器从 MOD 变为(MOD-1)

34.4.13.2 CnV Register Update

如果(CMOD[1:0] = 0:0)，则 CnV 寄存器会在写入 CnV 寄存器时更新。

如果(CMOD[1:0] ≠ 0:0)，则 CnV 寄存器根据所选模式更新，即：

- 如果所选模式为输出比较，则 CnV 寄存器在 CnV 寄存器写入后的下一个 TPM 计数器增量(预分频器计数结束)时更新。

- 如果所选模式为 EPWM，则 CnV 寄存器在 CnV 寄存器被写入后更新，TPM 计数器从 MOD 变为 0。
- 如果所选模式为 CPWM，则 CnV 寄存器在 CnV 寄存器写入后更新，TPM 计数器从 MOD 变为(MOD-1)。

34.4.14 DMA

通道和溢出标志根据 DMA 和通道/TOIE 位产生 DMA 传输请求。

有关更多信息，请参见下表

Table 34-3. DMA Transfer Request

DMA	CHnIE/ TOIE	Channel/Overflow DMA Transfer Request	Channel/Overflow Interrupt
0	0	不产生通道/溢出 DMA 传输请求	不会产生通道/溢出中断。
0	1	The channel/overflow DMA transfer request is not generated.	如果(CHnF/TOF = 1),则产生通道/溢出中断
1	0	如果(CHnF/TOF = 1),则产生通道/溢出 DMA 传输请求	The channel/overflow interrupt is not generated.
1	1	The channel/overflow DMA transfer request is generated if (CHnF/TOF = 1).	The channel/overflow interrupt is generated if (CHnF/TOF = 1).

如果 DMA = 1，可以通过 DMA 传输完成或向 CHnF/TOF 位写 1 来清除 CHnF/TOF 位(见下表)。

Table 34-4. Clear CHnF/TOF Bit

DMA	How CHnF/TOF Bit Can Be Cleared
0	通过向 CHnF/TOF 位写入 1 来清除 CHnF/TOF 位。
1	当 DMA 传输完成时，或者通过向 CHnF/TOF 位写入 1，CHnF/TOF 位被清零

34.4.15 Output triggers

TPM 为计数器和每个通道生成输出触发器，可用于触发其他外设中的事件。

每当 TOF 被置位时，计数器触发器就置位，并保持置位直到下一次递增。

每个 TPM 通道都生成预触发输出和触发输出。每当 CHnF 置位时，pretrigger 输出置位，触发输出在 pre-trigger 置位后的第一个计数器增量时置位，然后 trigger 和 pre-trigger 在 trigger 置位后的第一个计数器增量时取反。

当(COMBINEn = 1)处于输出比较模式时，通道(n)和通道(n+1)的预触发输出将在 CH(n)F 置 1 时置位，并在 CH(n + 1)F 置 1 时取反。在预触发器断言后，触发器继续在第一个计数器增量上断言，并且与预触发器否定同时否定。

34.4.16 Reset Overview

每当发生任何芯片复位时，TPM 都会复位。

当 TPM 从复位退出时：

- TPM 计数器和预分频器计数器为零并停止(CMOD[1:0] = 0:0)；
- 定时器溢出中断为零；
- 通道中断为零；
- 通道处于输入捕捉模式；
- 通道输出为零；
- 通道引脚不受 TPM 控制(ELS(n)B:ELS(n)A = 0:0)。

34.4.17 TPM Interrupts

This section describes TPM interrupts.

34.4.17.1 Timer Overflow Interrupt

当(TOIE = 1)和(TOF = 1)时，产生定时器溢出中断。

34.4.17.2 Channel (n) Interrupt

当(CHnIE = 1)和(CHnF = 1)时，产生通道(n)中断。

Chapter 35 Periodic interrupt timer (PIT)

35.1 Introduction

PIT 模块是一个定时器阵列，可用于产生中断和触发器。

35.1.1 Block diagram

The following figure shows the block diagram of PIT module.

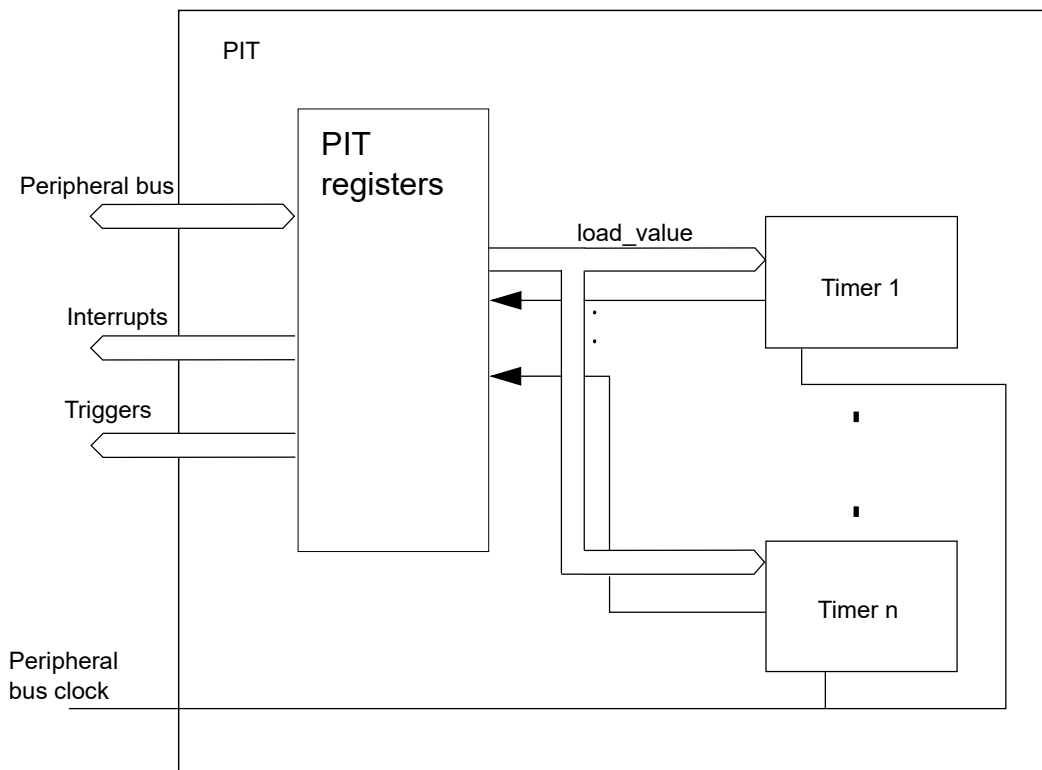


Figure 35-1. Block diagram of PIT

35.1.2 Features

该模块的主要特点如下:

- 定时器产生触发脉冲的能力
- 定时器产生中断的能力
- 可屏蔽的中断
- 每个定时器引入的独立超时时间

35.2 Modes of operation

本小节简要描述了 PIT 支持的所有操作模式。

- 运行模式: PIT 的所有功能部件在正常运行模式下运行。
- 停止模式

35.3 PIT register descriptions

本节详细描述了 PIT 模块中所有可访问的寄存器。

有关该 MCU 中使用的 PIT 通道数量，请参见芯片特定的 PIT 信息

35.3.1 PIT memory map

PIT base address: 4003_7000h

Offset	Register	Width (In bits)	Access	Reset value
0h	PIT Module Control Register (MCR) PIT 模块控制寄存器 MCR	32	RW	0000_0002h
E0h	PIT Upper Lifetime Timer Register (LTMR64H) PIT 最高寿命定时器寄存器 LTMR64H	32	RO	0000_0000h
E4h	PIT Lower Lifetime Timer Register (LTMR64L) PIT 最低寿命定时器寄存器 LTMR64L	32	RO	0000_0000h
100h	Timer Load Value Register (LDVAL0) 定时器负载值寄存器 LDVAL0	32	RW	0000_0000h
104h	Current Timer Value Register (CVAL0) 当前定时器值寄存器(CVAL0)	32	RO	0000_0000h
108h	Timer Control Register (TCTRL0) 定时器控制寄存器	32	RW	0000_0000h
10Ch	Timer Flag Register (TFLG0) 定时器标志寄存器	32	W1C	0000_0000h
110h	Timer Load Value Register (LDVAL1) 定时器负载值寄存器 1	32	RW	0000_0000h
114h	Current Timer Value Register (CVAL1)	32	RO	0000_0000h
118h	Timer Control Register (TCTRL1)	32	RW	0000_0000h
11Ch	Timer Flag Register (TFLG1)	32	W1C	0000_0000h

35.3.2 PIT Module Control Register (MCR)

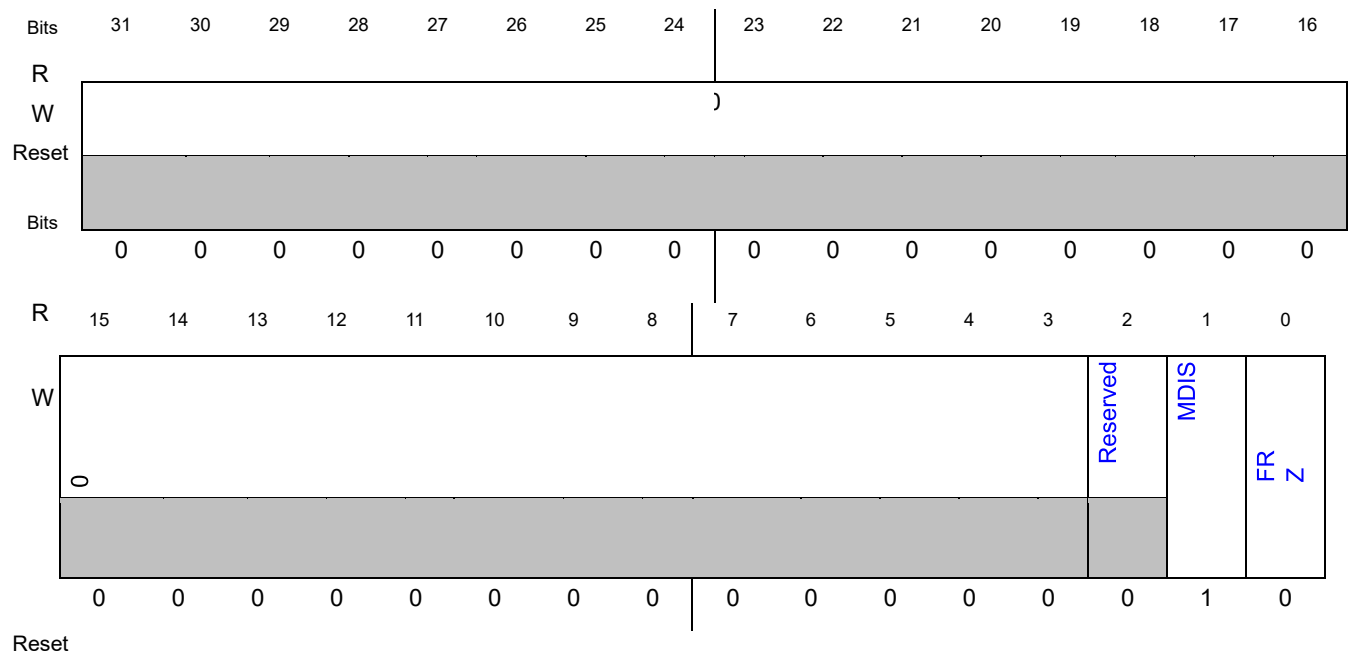
35.3.2.1 Offset

Register	Offset
MCR	0h

35.3.2.2 Function

该寄存器启用或禁用 PIT 计时器时钟，并在 PIT 进入 Debug 模式时控制计时器。 .

35.3.2.3 Diagram



35.3.2.4 Fields

Field	Function
31-3 —	Reserved
2 —	Reserved

1 MDIS	Module Disable for PIT <u>PIT 模块禁用禁用标准定时器。</u> <u>在完成任何其他设置之前，必须启用该字段。</u> <u>注意：在设备时钟生成模块中启用 PIT 时钟门后，始终在至少 3 个总线时钟周期后写入该位。</u> <u>0b - 启用标准 PIT 计时器的时钟。</u> <u>1b - 标准 PIT 计时器的时钟被禁用</u>
0 FRZ	Freeze 允许在设备进入调试模式时停止定时器。 <u>0b - 计时器继续在调试模式下运行。</u> <u>1b - 在调试模式下停止定时器。</u>

35.3.3 PIT Upper Lifetime Timer Register (LTMR64H)

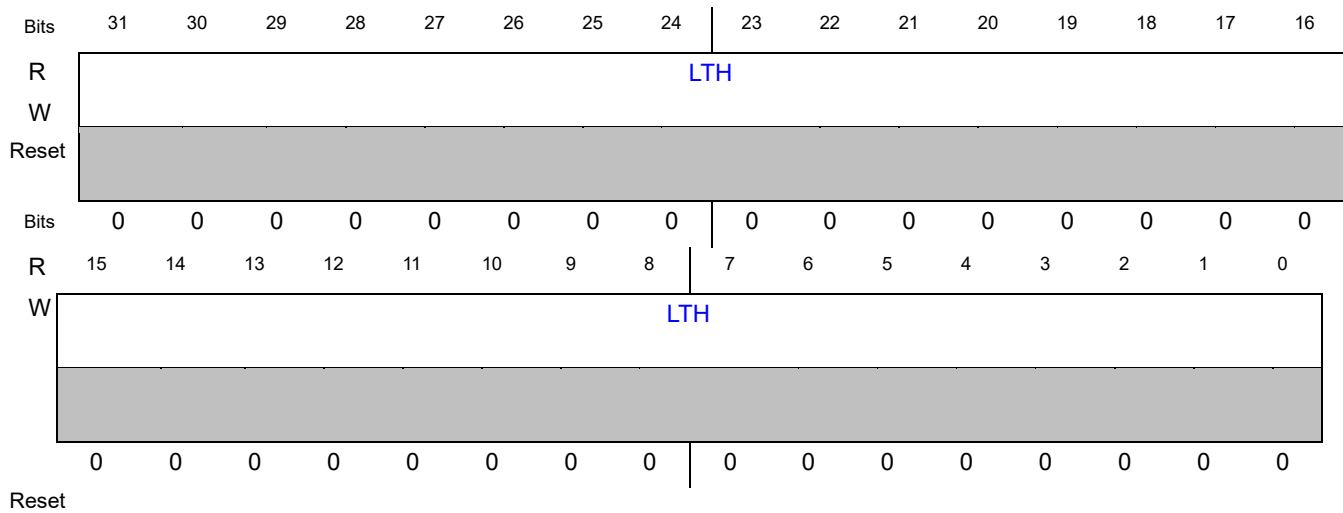
35.3.3.1 Offset

Register	Offset
LTMR64H	E0h

35.3.3.2 Function

该寄存器用于连接计时器 0 和计时器 1，以构建 64 位生命周期计时器的应用.

35.3.3.3 Diagram



35.3.3.4

Field	Function
-------	----------

31-0	Life Timer value
LTH	显示定时器 1 的定时器值。如果该寄存器在 t1 时刻被读取，LTMR64L 将显示 t1 时刻定时器 0 的值。

35.3.4 PIT Lower Lifetime Timer Register (LTMR64L)

35.3.4.1 Offset

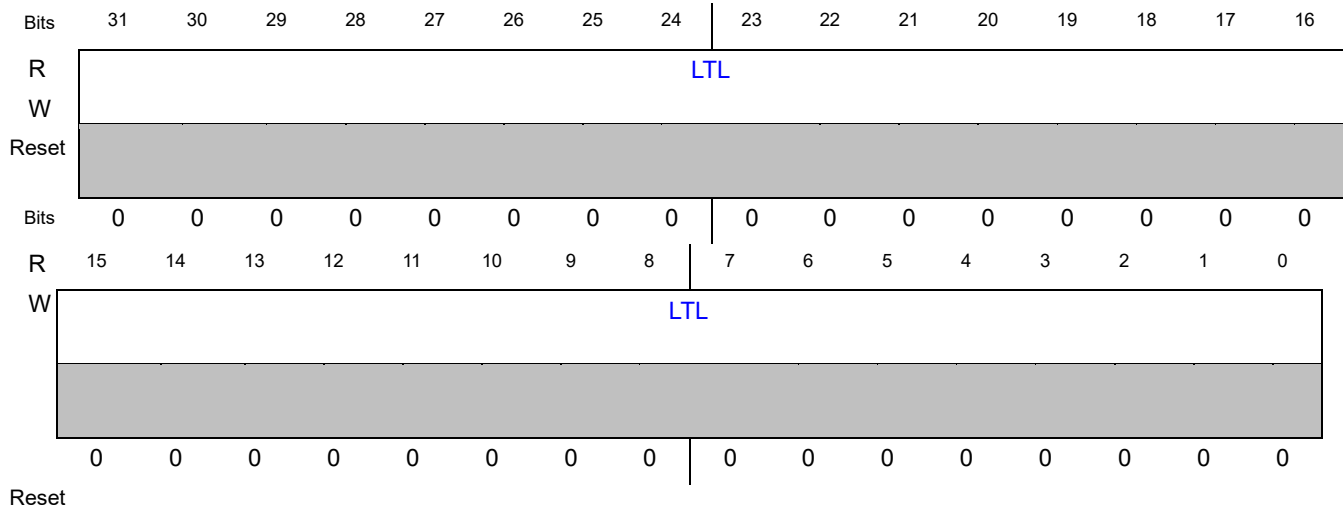
Register	Offset
LTMR64L	E4h

35.3.4.2 Function

该寄存器用于连接计时器 0 和计时器 1，以构建 64 位生命周期计时器的应用。

要使用 LTMR64H 和 LTMR64L，需要将计时器 0 和计时器 1 连接起来。要获得正确的值，首先读取 LTMR64H，然后读取 LTMR64L。LTMR64H 寄存器的值在第一次访问时设置为 CVAL1 寄存器，LTMR64L 寄存器的值在第一次访问时设置为 CVAL0 寄存器。因此，应用程序不受运行计数器的结转效应 carry-over effects 的影响

35.3.4.3 Diagram



35.3.4.4 Fields

Field	Function
31-0	Life Timer value
LTL	显示 LTMR64H 最后一次读取时定时器 0 的值。只有读取 LTMR64H 时才会更新。

35.3.5 Timer Load Value Register (LDVAL0 - LDVAL1)

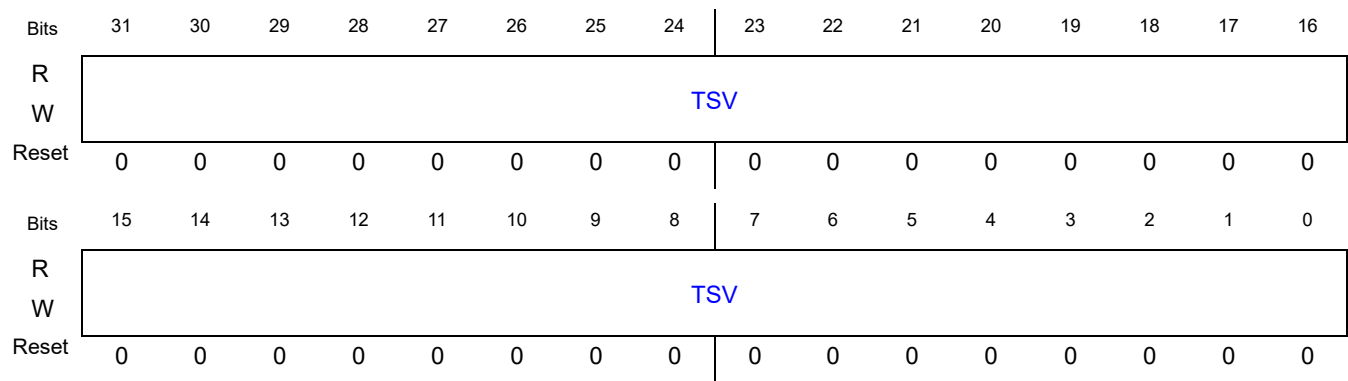
35.3.5.1 Offset

Register	Offset
LDVAL0	100h
LDVAL1	110h

35.3.5.2 Function

这些寄存器为计时器中断选择超时时间.

35.3.5.3 Diagram



35.3.5.4

Field	Function
31-0 TSV	Timer Start Value 设置定时器的起始值。计时器开始倒数，直到它达到 0，然后产生一个中断并再次加载这个寄存器值。 向这个寄存器写入一个新值并不会重新启动计时器;相反，在计时器过期后加载该值。 若要中止当前周期并使用新值开始一个计时器周期，必须禁用计时器并再次启用

35.3.6 Current Timer Value Register (CVAL0 - CVAL1)

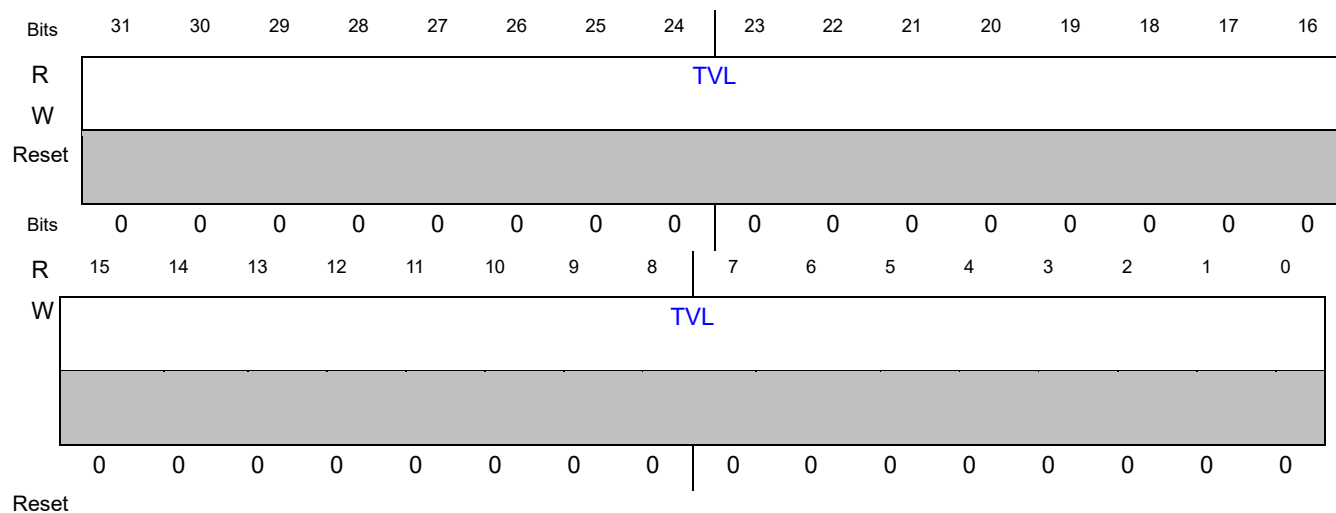
35.3.6.1 Offset

Register	Offset
CVAL0	104h
CVAL1	114h

35.3.6.2 Function

这些寄存器指示当前计时器位置。

35.3.6.3 Diagram



35.3.6.4

Field	Function
31-0 TVL	<p>Current Timer Value</p> <p>代表 定时器使能时，当前定时器的值。</p> <p>注意：</p> <p><u>如果定时器被禁用，请不要使用该字段，因为它的值不可靠。</u></p> <p>计时器使用下行计数器。如果设置了 MCR[FRZ]，则定时器值将冻结在 Debug 模式。</p>

35.3.7 Timer Control Register (TCTRL0 - TCTRL1)

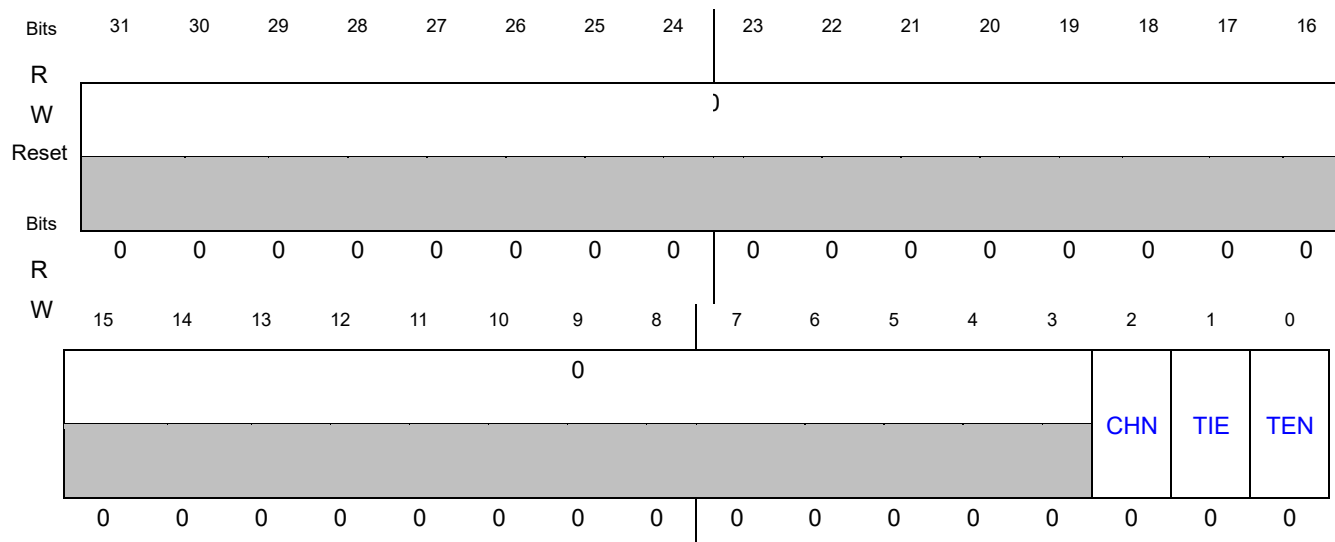
35.3.7.1 Offset

Register	Offset
TCTRL0	108h
TCTRL1	118h

35.3.7.2 Function

这些寄存器包含每个计时器的控制位。

35.3.7.3 Diagram



Reset

35.3.7.4

Field	Function
31-3 —	Reserved
2 CHN	Chain Mode 链式模式 当激活时，定时器 n-1 需要在定时器 n (n 是> 0)减少 1 之前过期。 定时器 0 不能被链接。 0b -定时器没有被链接。 1b -定时器链接到前一个定时器。例如，对于通道 2，如果设置了该字段，则计时器 2 被链接到计时器 1。
1 TIE	Timer Interrupt Enable 定时器中断使能 当一个中断挂起时，或者如果 TFLGn[TIF]被设置，使能中断将导致一个中断事件。为了避免这种情况，必须先清除相关的 TFLGn[TIF]。 0b -关闭来自 Timer n 的中断请求。 1b - 当设置 TIF 时请求中断。
0 TEN	Timer Enable Enables or disables the timer. 0b - Timer n is disabled. 1b - Timer n is enabled.

35.3.8 Timer Flag Register (TFLG0 - TFLG1)

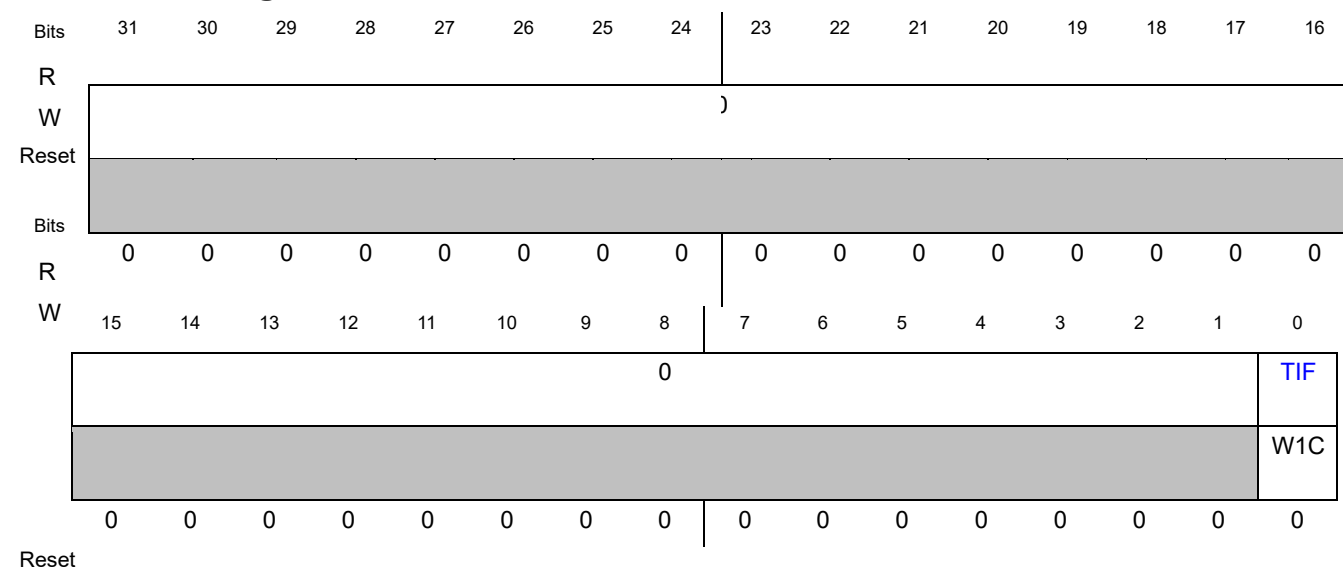
35.3.8.1 Offset

Register	Offset
TFLG0	10Ch
TFLG1	11Ch

35.3.8.2 Function

这些寄存器保存 PIT 中断标志。

35.3.8.3 Diagram



35.3.8.4 Fields

Field	Function
31-1 —	Reserved
0 TIF	<p>Timer Interrupt Flag 定时器中断标志</p> <p>在定时器周期结束时设置为 1。</p> <p>将 1 写入该标志将清除该标志，而将 0 写入则没有效果。</p> <p>如果启用，或者当 TCTRLn[TIE] = 1 时，TIF 会引起中断请求。</p> <p>0b -超时尚未发生。</p> <p>1b -超时。</p>

35.4 Functional description

本节提供模块的功能描述。

35.4.1 General operation

本节提供模块内部操作的详细信息。每个定时器都可以用来产生触发脉冲和中断，每个中断都可以在单独的中断 line 上使用。

35.4.1.1 Timers

启用时，定时器会定期产生触发信号。**定时器加载 LDVAL 寄存器中指定的起始值，递减计数至 0，然后再次加载相应的起始值。每当定时器到达 0 时，它产生一个触发脉冲并设置中断标志。**

通过设置 TCTRLn[TIE]，可以使能或屏蔽所有中断。只有在前一个中断被清除后，才能产生新的中断。

如果需要，可以通过 CVAL 寄存器读取定时器的当前计数值。

通过使用 TCTRLn[TEN]首先禁用然后使能定时器，可以重启计数器周期。见下图。

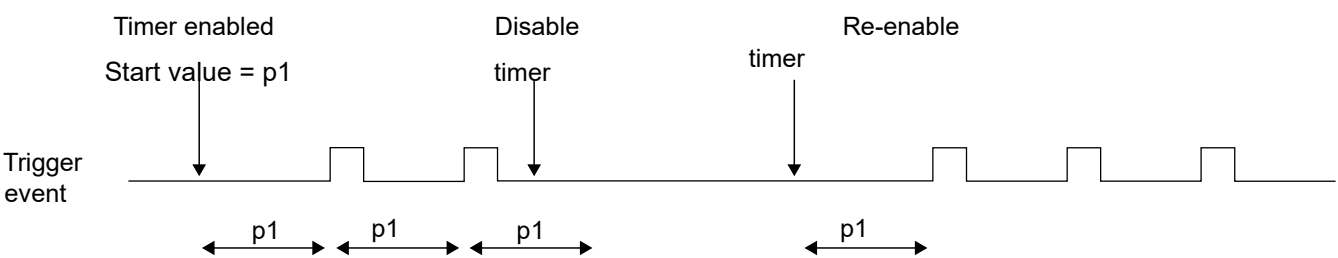


Figure 35-2. Stopping and starting a timer

可以通过首先禁用定时器、设置新的负载值，然后再次启用定时器来修改正在运行的定时器的计数器周期。见下图。

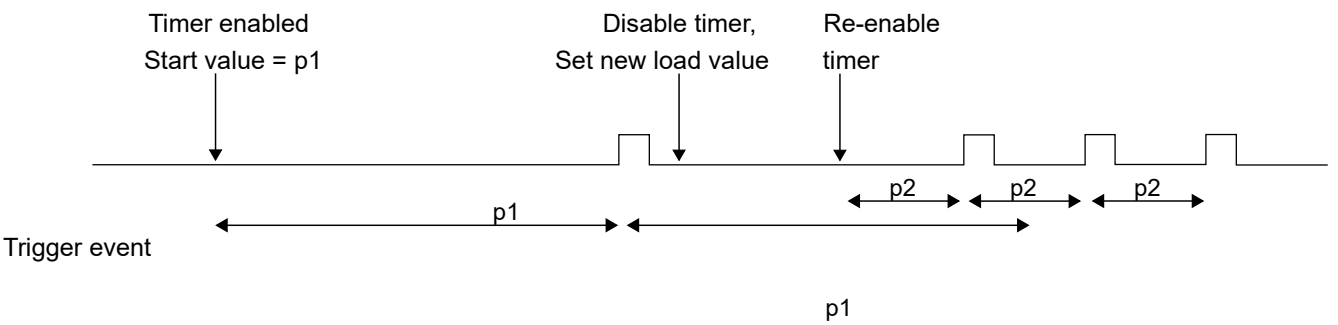


Figure 35-3. 修改运行的计时器周期

也可以通过向 LDVAL 写入新的负载值来改变计数器周期，而无需重启定时器。该值在下一个触发事件后加载。见下图。

Timer enabled
Start value = p1

New start
Value p2 set

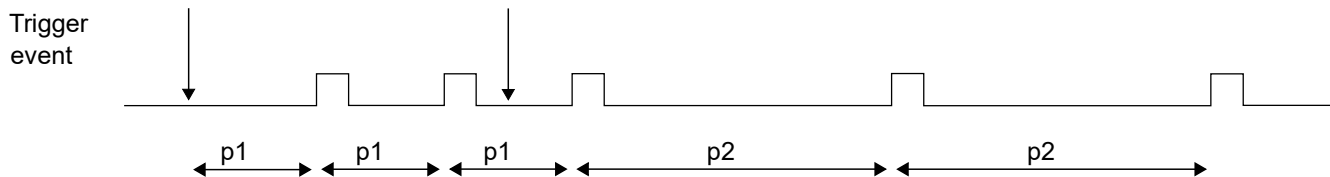


Figure 35-4. 动态设置新的负载值

注：

- 如果设置了 `ipg_debug` 和 `MCR[FRZ]`, 当定时器接近 0 (`CVALn = 0x0`) 时, 调试模式命令可能无法在定时器到期并产生触发之前到达 IP。
- 如果 `CVALn = 0x0`, 调试模式将被忽略, 但触发将保持有效, 直到该模式被移除。建议用户退出调试模式, 然后清除中断 `TFLGn[TIF]`。
- 如果要冻结定时器进行调试, 必须确保 IP 有足够的时间做出反应。

35.4.1.2 Debug mode

在调试模式下, 定时器基于 `MCR[FRZ]` 被冻结。这是为了帮助软件开发, 允许开发人员暂停处理器, 调查系统的当前状态, 例如定时器值, 然后继续操作。

35.4.2 Interrupts

所有定时器都支持中断产生。

通过设置 `TCTRLn[TIE]`, 可以使能定时器中断。

当相关定时器超时, `TFLGn[TIF]` 置 1, 通过向相应的 `TFLGn[TIF]` 写 1 将其清零。

35.4.3 Chained timers

当定时器启用链模式时, 它会在前一个定时器到期后开始计数。因此, 如果计时器 $n-1$ 递减计数到 0, 计数器 n 将值递减 1。这允许将一些定时器链接在一起以形成更长的定时器。第一个计时器(计时器 0)不能链接到任何其他计时器。

35.5 Initialization and application information

在示例配置中:

- PIT 时钟的频率为 50 MHz。
- 定时器 1 每 5.12 ms 产生一次中断。
- 定时器 3 每 30 ms 产生一个触发事件

必须通过向 MCR[MDIS]写入 0 来激活 PIT 模块

50 MHz 时钟频率相当于 20 ns 的时钟周期。定时器 1 需要每 $5.12 \text{ ms} / 20 \text{ ns} = 256000$ 周期触发一次, 定时器 3 每 $30 \text{ ms} / 20 \text{ ns} = 1500000$ 周期触发一次。

LDVAL 寄存器触发器的值计算如下: $\text{LDVAL trigger} = (\text{周期} / \text{时钟周期}) - 1$

这意味着 LDVAL1 和 LDVAL3 必须分别写入 0x0003E7FF 和 0x0016E35F。

定时器 1 的中断通过设置 TCTRL1[TIE]使能。通过向 TCTRL1[TEN]写入 1 来启动定时器。

定时器 3 仅用于触发。因此, 定时器 3 通过向 TCTRL3[TEN]写入 1 来启动。另外, TCTRL3[TIE]保持在 0。

以下示例代码与所描述的设置相匹配:

```
// turn on PIT
PIT_MCR = 0x00;

// Timer 1
PIT_LDVAL1 = 0x0003E7FF; // setup timer 1 for 256000 cycles
PIT_TCTRL1 = TIE; // enable Timer 1 interrupts
PIT_TCTRL1 |= TEN; // start Timer 1

// Timer 3
PIT_LDVAL3 = 0x0016E35F; // setup timer 3 for 1500000 cycles
PIT_TCTRL3 |= TEN; // start Timer 3
```

35.6 Example configuration for chained timers

在示例配置中:

- PIT 时钟的频率为 100 MHz。
- 定时器 1 和 2 可用。

- 每 1 分钟产生一次中断。

需要通过向 MCR[MDIS]写入 0 来激活 PIT 模块

100 MHz 的时钟频率相当于 10 ns 的时钟周期，因此 PIT 需要计数 60 亿个周期，这超过了单个定时器所能做的。因此，定时器 1 被设置为每 6 秒触发一次(6 亿个周期)。定时器 2 与定时器 1 相连，编程触发 10 次。

LDVAL 寄存器触发器的值计算为 周期数-1，因此 LDVAL1 接收值 0x23C345FF，LDVAL2 接收值 0x00000009。

定时器 2 的中断通过设置 TCTRL2[TIE]使能，链模式通过设置 TCTRL2[CHN]激活，定时器通过向 TCTRL2[TEN]写入 1 启动。

TCTRL1[TEN]需要置位，TCTRL1[CHN]和 TCTRL1[TIE]清零。

以下示例代码与所描述的设置相匹配：

```
// turn on PIT
PIT_MCR = 0x00;

// Timer 2
PIT_LDVAL2 = 0x00000009; // setup Timer 2 for 10 counts
PIT_TCTRL2 = TIE; // enable Timer 2 interrupt
PIT_TCTRL2 |= CHN; // chain Timer 2 to Timer 1
PIT_TCTRL2 |= TEN; // start Timer 2

// Timer 1
PIT_LDVAL1 = 0x23C345FF; // setup Timer 1 for 600 000 000 cycles
PIT_TCTRL1 = TEN; // start Timer 1
```

35.7 Example configuration for the Lifetime Timer

要配置生存期定时器，通道 0 和 1 需要链接在一起。

首先，需要通过向 CTRL 寄存器的 MDIS 位写入 0 来激活 PIT 模块，**然后将 LDVAL 寄存器设置为最大值。**

计时器是一个递减计数器。

以下示例代码与所描述的设置相匹配：

```
// turn on PIT
PIT_MCR = 0x00;

// Timer 1
PIT_LDVAL1 = 0xFFFFFFFF; // setup timer 1 for maximum counting period
PIT_TCTRL1 = 0x0; // disable timer 1 interrupts
PIT_TCTRL1 |= CHN; // chain timer 1 to timer 0
PIT_TCTRL1 |= TEN; // start timer 1

// Timer 0
PIT_LDVAL0 = 0xFFFFFFFF; // setup timer 0 for maximum counting period
PIT_TCTRL0 = TEN; // start timer 0
```

要访问寿命定时器，**首先读取 LTMR64H，然后读取 LTMR64L。**

```
current_uptime = PIT_LTMR64H<<32;
current_uptime = current_uptime + PIT_LTMR64L;
```

Chapter 36 Low-power timer (LPTMR)

低功耗定时器(LPTMR)可以配置为时间计数器(带可选预分频器)或脉冲计数器(带可选毛刺滤波器)，适用于所有功耗模式，包括低泄漏模式。

36.1 Introduction

低功耗定时器(LPTMR)可以配置为带可选预分频器的时间计数器，或带可选毛刺滤波器的脉冲计数器，支持所有功耗模式，包括低泄漏模式。它还可以在大多数系统复位事件中继续工作，从而可以用作日期时间计数器。

36.1.1 Features

LPTMR 模块的特性包括:

- 带比较功能的 16 位时间计数器或脉冲计数器
 - 可选中断可从任何低功耗模式产生异步唤醒
 - 硬件触发输出
 - 计数器支持自由运行模式或比较复位
- 预分频器/毛刺滤波器的可配置时钟源
- 脉冲计数器的可配置输入源
 - 上升沿或下降沿

36.1.2 Modes of operation

下表描述了 LPTMR 模块在各种模式下的操作。

Table 36-1. Modes of operation

Modes	Description
Run	The LPTMR operates normally.

Wait	LPTMR 继续正常工作， <u>并可通过产生中断请求退出低功耗模式</u>
Stop	LPTMR 继续正常工作， <u>并可通过产生中断请求退出低功耗模式</u>
Low-Leakage	LPTMR 继续正常工作， <u>并可通过产生中断请求退出低功耗模式</u>
<u>Debug</u>	<u>LPTMR 在脉冲计数器模式下正常工作，但在时间计数器模式下计数器不递增</u>

36.2 LPTMR signal descriptions

Table 36-2. LPTMR signal descriptions

Signal	I/O	Description
LPTMR0_ALT <i>n</i>	I	Pulse Counter Input pin 脉冲计数器输入引脚

36.2.1 Detailed signal descriptions

Table 36-3. LPTMR interface—detailed signal descriptions

Signal	I/O	Description
LPTMR_ALT <i>n</i>	I	Pulse Counter Input 脉冲计数器输入 <u>LPTMR 可以选择一个输入引脚用于脉冲计数器模式。</u>
		State meaning Assertion—如果配置为高电平有效输入的脉冲计数器模式，则置位会导致 CNR 递增。 Deassertion— <u>如果配置为低电平有效输入的脉冲计数器模式，则去置位会导致 CNR 递增。</u>
		Timing 断言或取消断言可能在任何时候发生；输入可以与总线时钟异步断言。

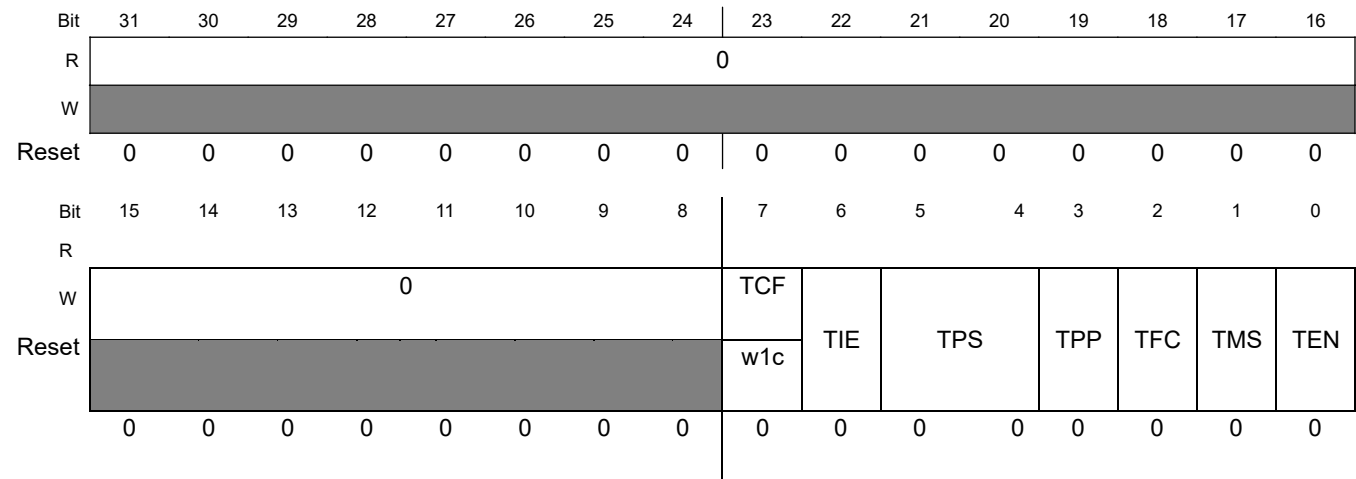
36.3 Memory map and register definition

LPTMR memory map

Absolute address (hex)	Register name	Width (in bits)	Access	Reset value	Section/page
4004_0000	Low Power Timer Control Status Register (LPTMR0_CSR)	32	R/W	0000_0000h	36.3.1/863
4004_0004	Low Power Timer Prescale Register (LPTMR0_PSR)	32	R/W	0000_0000h	36.3.2/864
4004_0008	Low Power Timer Compare Register (LPTMR0_CMR)	32	R/W	0000_0000h	36.3.3/866
4004_000C	Low Power Timer Counter Register (LPTMR0_CNR)	32	R/W	0000_0000h	36.3.4/866

36.3.1 Low Power Timer Control Status Register (LPTMRx_CSR)

Address: 4004_0000h base + 0h offset = 4004_0000h



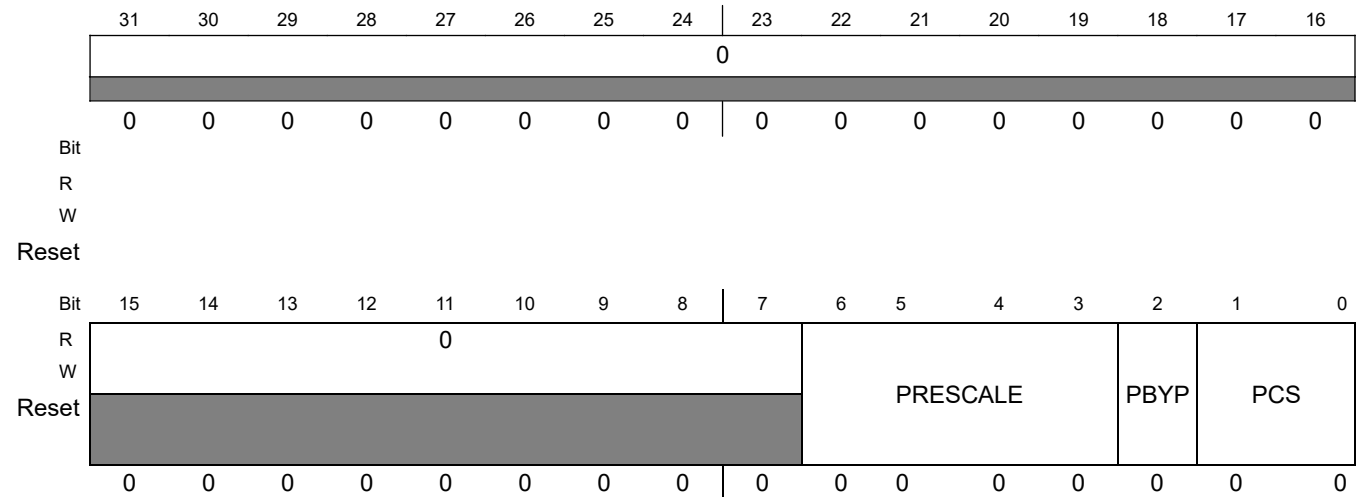
LPTMRx_CSR field descriptions

Field	Description
31–8 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
7 TCF	Timer Compare Flag 当 LPTMR 使能且 CNR 等于 CMR 并递增时，TCF 置 1。当 LPTMR 禁用或向其写入逻辑 1 时，TCF 清零。 0 CNR 的值不等于 CMR 并递增。 1 CNR 的值等于 CMR 并递增。
6 TIE	Timer Interrupt Enable 当 TIE 置位时，只要 TCF 也置位，就会产生 LPTMR 中断。 0 定时器中断禁用。 1 定时器中断使能。
5–4 TPS	Timer Pin Select 配置用于脉冲计数器模式的输入源。仅当 LPTMR 禁用时，才能更改 TPS。输入连接因设备而异。有关这些输入连接的信息，请参见特定芯片的 LPTMR 信息。 00 Pulse counter input 0 is selected. 01 Pulse counter input 1 is selected. 10 Pulse counter input 2 is selected. 11 Pulse counter input 3 is selected.
3 TPP	Timer Pin Polarity 在脉冲计数器模式下配置输入源的极性。只有当 LPTMR 被禁用时，才能更改 TPP。 0 脉冲计数器输入源为高电平有效，CNR 将在上升沿递增。 1 脉冲计数器输入源为低电平有效，CNR 将在下降沿递增。

2 TFC	Timer Free-Running Counter 清零时，TFC 将 CNR 配置为在 TCF 置位时复位。该位置位时，TFC 将 CNR 配置为溢出复位。只有当 LPTMR 禁用时，才能更改 TFC。 0 当 TCF 置位时，CNR 复位。 1 CNR 在溢出时复位。
1 TMS	Timer Mode Select 配置 LPTMR 的模式。只有当 LPTMR 被禁用时，才能更改 TMS。 <u>0 时间计数器模式。</u> <u>1 脉冲计数器模式。</u>
0 TEN	Timer Enable <u>当 TEN 清空时，它将重置 LPTMR 内部逻辑，包括 CNR 和 TCF。</u> 当设置 TEN 时，启用 LPTMR 功能。当向这个字段写入 1 时，CSR[5:1]不能被修改。 0 LPTMR 禁用，内部逻辑复位。 1 LPTMR 使能。

36.3.2 Low Power Timer Prescale Register (LPTMRx_PSR)

Address: 4004_0000h base + 4h offset = 4004_0004h



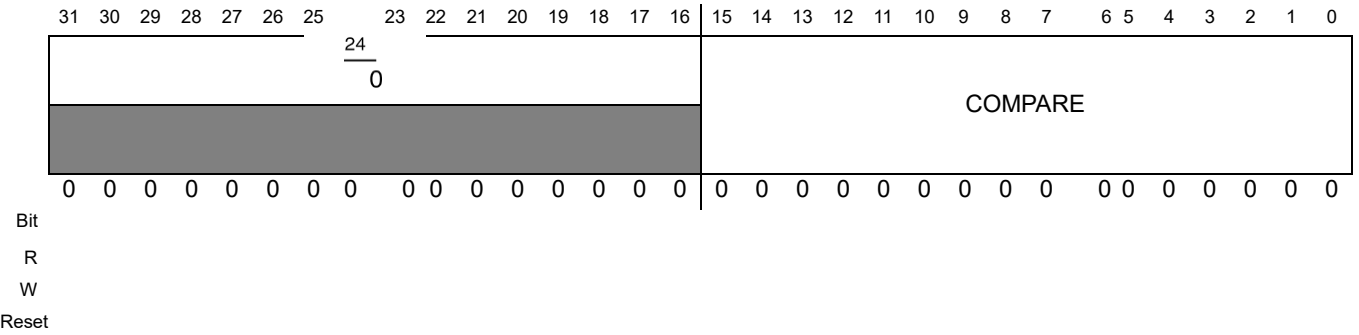
LPTMRx_PSR field descriptions

Field	Description
31–7 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
6–3 PRESCALE	Prescale Value 配置时间计数器模式下预分频器的大小或脉冲计数器模式下毛刺滤波器的宽度。只有当 LPTMR 禁用时，才能改变预分频。 0000 预分频器将预分频器时钟除以 2；毛刺滤波器不支持这种配置。 0001 Prescaler divides the prescaler clock by 4; 毛刺滤波器识别 2 个时钟上升沿后输入引脚的变化。

	<p>0010 Prescaler divides the prescaler clock by 8; glitch filter recognizes change on input pin after 4 rising clock edges.</p> <p>0011 Prescaler divides the prescaler clock by 16; glitch filter recognizes change on input pin after 8 rising clock edges.</p> <p>0100 Prescaler divides the prescaler clock by 32; glitch filter recognizes change on input pin after 16 rising clock edges.</p> <p>0101 Prescaler divides the prescaler clock by 64; glitch filter recognizes change on input pin after 32 rising clock edges.</p> <p>0110 Prescaler divides the prescaler clock by 128; glitch filter recognizes change on input pin after 64 rising clock edges.</p> <p>0111 Prescaler divides the prescaler clock by 256; glitch filter recognizes change on input pin after 128 rising clock edges.</p> <p>1000 Prescaler divides the prescaler clock by 512; glitch filter recognizes change on input pin after 256 rising clock edges.</p> <p>1001 Prescaler divides the prescaler clock by 1024; glitch filter recognizes change on input pin after 512 rising clock edges.</p> <p>1010 Prescaler divides the prescaler clock by 2048; glitch filter recognizes change on input pin after 1024 rising clock edges.</p> <p>1011 Prescaler divides the prescaler clock by 4096; glitch filter recognizes change on input pin after 2048 rising clock edges.</p> <p>1100 Prescaler divides the prescaler clock by 8192; glitch filter recognizes change on input pin after 4096 rising clock edges.</p> <p>1101 Prescaler divides the prescaler clock by 16,384; glitch filter recognizes change on input pin after 8192 rising clock edges.</p> <p>1110 Prescaler divides the prescaler clock by 32,768; glitch filter recognizes change on input pin after 16,384 rising clock edges.</p> <p>1111 Prescaler divides the prescaler clock by 65,536; glitch filter recognizes change on input pin after 32,768 rising clock edges.</p>
2 PBYP	<p>Prescaler Bypass</p> <p>当 PBYP 置 1 时，时间计数器模式下的选定预分频器时钟或脉冲计数器模式下的选定输入源直接为 CNR 计时。</p> <p>当 PBYP 清零时，CNR 由预分频器/毛刺滤波器的输出计时。PBYP 只能在 LPTMR 禁用时更改。</p> <p>0 Prescaler/glitch filter is enabled.</p> <p>1 Prescaler/glitch filter is bypassed.</p>
PCS	<p>Prescaler Clock Select</p> <p>选择 LPTMR 预分频器/毛刺滤波器要使用的时钟。仅当 LPTMR 禁用时，才可更改 PCS。时钟连接因设备而异。</p> <p>注:有关这些输入连接的信息，请参见芯片配置详情。</p> <p>00 Prescaler/glitch filter clock 0 selected.</p> <p>01 Prescaler/glitch filter clock 1 selected.</p> <p>10 Prescaler/glitch filter clock 2 selected.</p> <p>11 Prescaler/glitch filter clock 3 selected.</p>

36.3.3 Low Power Timer Compare Register (LPTMRx_CMCR)

Address: 4004_0000h base + 8h offset = 4004_0008h



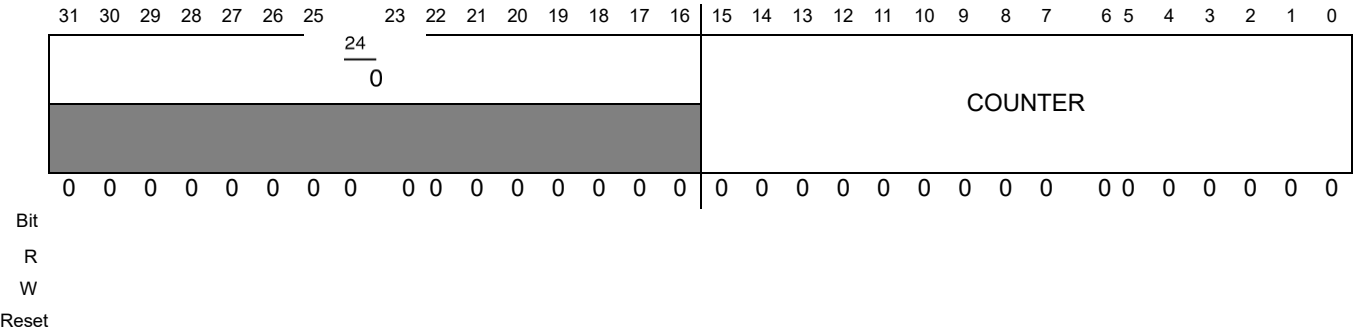
LPTMRx_CMCR field descriptions

Field	Description
31–16 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
COMPARE	Compare Value 当 LPTMR 使能且 CNR 等于 CMR 中的值并递增时，TCF 置 1，硬件触发置位，直到下一次 CNR 递增。 如果 CMR 为 0，硬件触发将保持有效，直到 LPTMR 被禁用。如果 LPTMR 使能，只有当 TCF 置位时，CMR 才必须改变。

36.3.4 Low Power Timer Counter Register (LPTMRx_CNR)

注:有关如何读取计数器值的详细信息，请参见 [LPTMR counter](#)。

Address: 4004_0000h base + Ch offset = 4004_000Ch



LPTMRx_CNR field descriptions

Field	Description
31–16 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
COUNTER	Counter Value

36.4 Functional description

36.4.1 LPTMR power and reset

The LPTMR remains powered in all power modes, including low-leakage modes. If the LPTMR is not required to remain operating during a low-power mode, then it must be disabled before entering the mode.

The LPTMR is reset only on global Power On Reset (POR) or Low Voltage Detect (LVD). When configuring the LPTMR registers, the CSR must be initially written with the timer disabled, before configuring the PSR and CMR. Then, CSR[TIE] must be set as the last step in the initialization. This ensures the LPTMR is configured correctly and the LPTMR counter is reset to zero following a warm reset.

36.4.2 LPTMR clocking

The LPTMR prescaler/glitch filter can be clocked by one of the four clocks. The clock source must be enabled before the LPTMR is enabled.

NOTE

The clock source selected need to be configured to remain enabled in low-power modes, otherwise the LPTMR will not operate during low-power modes.

In Pulse Counter mode with the prescaler/glitch filter bypassed, the selected input source directly clocks the CNR and no other clock source is required. To minimize power in this case, configure the prescaler clock source for a clock that is not toggling.

NOTE

The clock source or pulse input source selected for the LPTMR should not exceed the frequency f_{LPTMR} defined in the device datasheet.

Functional description

36.4.3 LPTMR prescaler/glitch filter

The LPTMR prescaler and glitch filter share the same logic which operates as a prescaler in Time Counter mode and as a glitch filter in Pulse Counter mode.

NOTE

The prescaler/glitch filter configuration must not be altered when the LPTMR is enabled.

36.4.3.1 Prescaler enabled

In Time Counter mode, when the prescaler is enabled, the output of the prescaler directly clocks the CNR. When the LPTMR is enabled, the CNR will increment every 2^2 to 2^{16} prescaler clock cycles. After the LPTMR is enabled, the first increment of the CNR will take an additional one or two prescaler clock cycles due to synchronization logic.

36.4.3.2 Prescaler bypassed

In Time Counter mode, when the prescaler is bypassed, the selected prescaler clock increments the CNR on every clock cycle. When the LPTMR is enabled, the first increment will take an additional one or two prescaler clock cycles due to synchronization logic.

36.4.3.3 Glitch filter

In Pulse Counter mode, when the glitch filter is enabled, the output of the glitch filter directly clocks the CNR. When the LPTMR is first enabled, the output of the glitch filter is asserted, that is, logic 1 for active-high and logic 0 for active-low. The following table shows the change in glitch filter output with the selected input source.

If	Then
The selected input source remains deasserted for at least 2^1 to 2^{15} consecutive prescaler clock rising edges	The glitch filter output will also deassert.
The selected input source remains asserted for at least 2^1 to 2^{15} consecutive prescaler clock rising-edges	The glitch filter output will also assert.

NOTE

The input is only sampled on the rising clock edge.

The CNR will increment each time the glitch filter output asserts. In Pulse Counter mode, the maximum rate at which the CNR can increment is once every 2^2 to 2^{16} prescaler clock edges. When first enabled, the glitch filter will wait an additional one or two prescaler clock edges due to synchronization logic.

36.4.3.4 Glitch filter bypassed

In Pulse Counter mode, when the glitch filter is bypassed, the selected input source increments the CNR every time it asserts. Before the LPTMR is first enabled, the selected input source is forced to be asserted. This prevents the CNR from incrementing if the selected input source is already asserted when the LPTMR is first enabled.

36.4.4 LPTMR compare

当 CNR 等于 CMR 值并递增时，会发生以下事件：

- CSR[TCF]置 1。
- 如果 CSR[TIE]也被置位，则产生 LPTMR 中断。
- LPTMR 硬件触发已生成。
- 如果 CSR[TFC]清零，CNR 复位。

当 LPTMR 使能时，只有在 CSR[TCF]置位时才能改变 CMR。更新 CMR 时，在 LPTMR 计数器递增超过新的 LPTMR 比较值之前，必须写入 CMR 并且清除 CSR[TCF]。

36.4.5 LPTMR counter

CNR 每隔以下时间递增一：

- 预分频器旁路的时间计数器模式下的预分频器时钟
- 预分频器使能的时间计数器模式下的预分频器输出
- 旁路毛刺滤波器的脉冲计数器模式下的输入源置位
- 毛刺滤波器使能的脉冲计数器模式下的毛刺滤波器输出

当 LPTMR 禁用或计数器寄存器溢出时，CNR 复位。如果 CSR[TFC]被清除，那么每当 CSR[TCF]被置位时，CNR 也被复位。

配置为脉冲计数器模式时，内核在调试模式下暂停时，CNR 继续递增；配置为时间计数器模式时，内核在调试模式下暂停时，CNR 将停止递增。

CNR 无法初始化，但可以随时读取。每次读取 CNR 时，软件必须首先向 CNR 写入任意值。这将同步 CNR 的当前值，并将其注册到临时寄存器中。每次读取 CNR 时都会返回临时寄存器的内容。

读取 CNR 时，总线时钟必须至少比 LPTMR 计数器的递增速率快两倍，否则可能会返回不正确的数据。

36.4.6 LPTMR hardware trigger

LPTMR 硬件触发器在 CSR[TCF]置位的同时置位，可以用来触发其它外设中的硬件事件，无需软件干预。硬件触发器始终处于启用状态。

When	Then
CSR[TFC]清零时，CMR 设置为 0	LPTMR 硬件触发器将在第一次比较时置位，并且不会解除置位。
CMR 被设置为非零值，或者，如果 CSR[TFC]被设置	LPTMR 硬件触发器将在每次比较时置位，并在 CNR 下一次递增时解除置位。

36.4.7 LPTMR interrupt

每当 CSR[TIE]和 CSR[TCF]置 1 时，就会产生 LPTMR 中断。

CSR[TCF]通过禁用 LPTMR 或向其写入逻辑 1 来清零。

当 LPTMR 使能时，CSR[TIE]可以改变，CSR[TCF]可以清零。

LPTMR 中断与系统时钟异步产生，可以用来从任何低功耗模式产生唤醒，包括低泄漏模式，前提是 LPTMR 作为唤醒源使能。

Chapter 37 Real Time Clock (RTC)

实时时钟(RTC)详细描述了以两种工作模式之一工作的 RTC 的特性——芯片上电和芯片关断。

37.1 Introduction

37.1.1 Features

RTC 模块特性包括:

- 32 位秒计数器，带翻转保护和 32 位报警闹钟
- 16 位预分频器，带补偿功能，可纠正 0.12 ppm 至 3906 ppm 之间的误差
- 寄存器写保护
- 锁定寄存器需要 POR 上电复位或软件复位来启用写访问
- 1Hz 方波输出，带可选中断

37.1.2 Modes of operation

RTC 在所有低功耗模式下都可以工作，并且可以产生一个中断来退出任何低功耗模式。

37.1.3 RTC signal descriptions

Table 37-1. RTC signal descriptions

Signal	Description	I/O
RTC_CLKOUT	1 Hz square-wave output	O

37.1.3.1 RTC clock output

秒计数器的时钟通过 RTC_CLKOUT 信号提供。它是一个 1 Hz 方波输出。

37.2 Register definition

必须使用 32 位写操作来访问所有寄存器，并且所有寄存器访问都会导致三种等待状态。

非管理模式软件的读访问正常完成。

RTC memory map

Absolute address (hex)	Register name	Width (in bits)	Access	Reset value	Section/ page
4003_D000	RTC Time Seconds Register (RTC_TSR)	32	R/W	0000_0000h	37.2.1/872
4003_D004	RTC Time Prescaler Register (RTC_TPR)	32	R/W	0000_0000h	37.2.2/873
4003_D008	RTC Time Alarm Register (RTC_TAR)	32	R/W	0000_0000h	37.2.3/873
4003_D00C	RTC Time Compensation Register (RTC_TCR) RTC 时间补偿寄存器	32	R/W	0000_0000h	37.2.4/874
4003_D010	RTC Control Register (RTC_CR)	32	R/W	0000_0000h	37.2.5/875
4003_D014	RTC Status Register (RTC_SR)	32	R/W	0000_0001h	37.2.6/877
4003_D018	RTC Lock Register (RTC_LR)	32	R/W	0000_00FFh	37.2.7/878
4003_D01C	RTC Interrupt Enable Register (RTC_IER)	32	R/W	0000_0007h	37.2.8/879

Address: 4003 D000h base + 0h offset = 4003 D000h



Field	Description
TSR	<p>Time Seconds Register</p> <p><u>当时间计数器使能时, TSR 为只读</u>, 并且在 SR[TOF]或 SR[TIF]未置位的情况下每秒递增一次。当 SR[TOF]或 SR[TIF]被设置时, 时间计数器的读数为零。</p> <p>当时间计数器禁用时, 可以读取或写入 TSR。禁用时间计数器时写入 TSR 将清除 SR[TOF]和/或 SR[TIF]。</p> <p>支持向 TSR 写入零, 但不建议这样做, 因为当 SR[TIF]或 SR[TOF]置位时(表示时间无效), TSR 将读取为零</p>

Address: 4003 D000h base + 4h offset = 4003 D004h

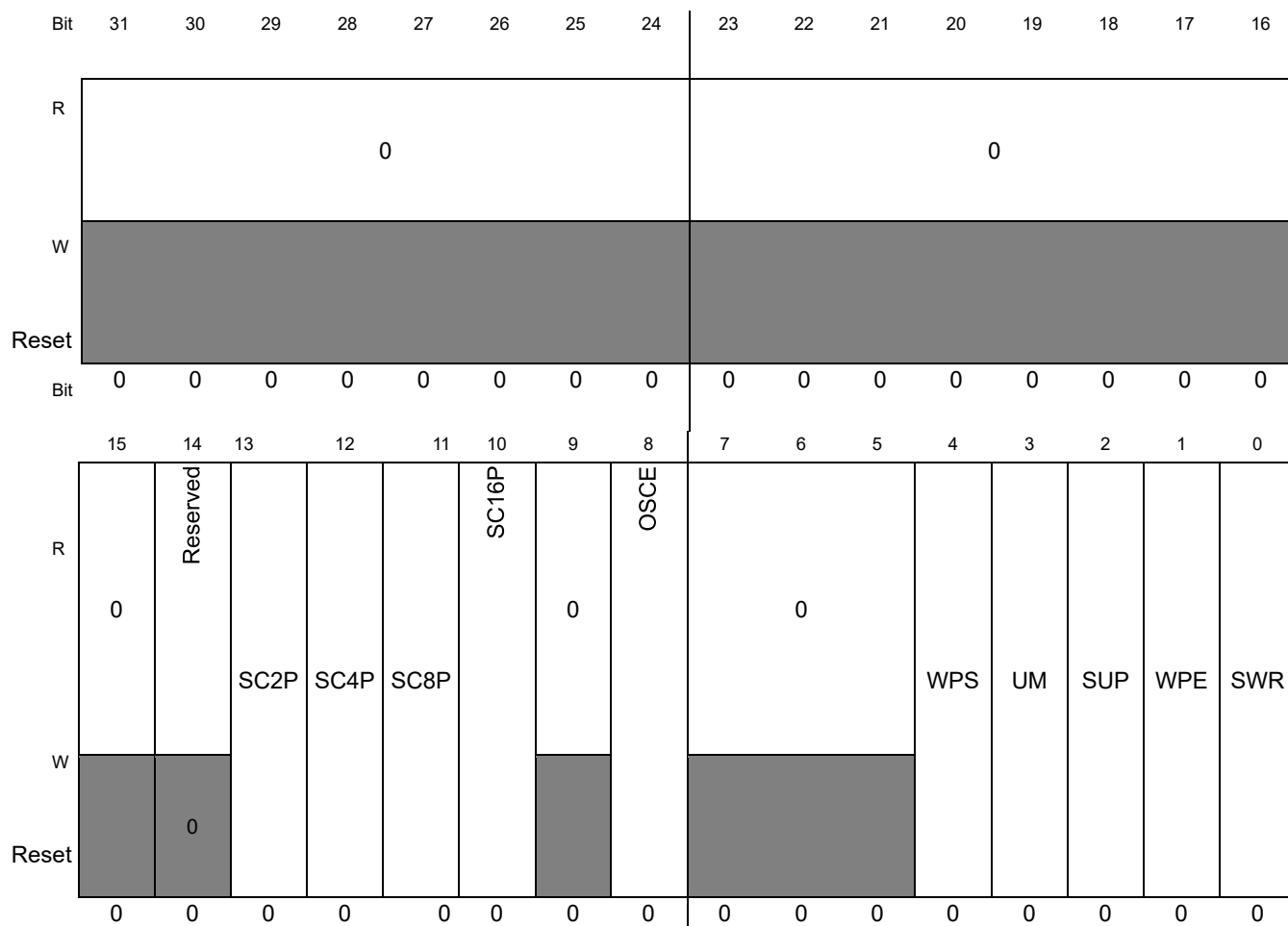
W
Reset

RTC_TCR field descriptions

Field	Description
31–24 CIC	Compensation Interval Counter 补偿间隔计数器 补偿间隔计数器的当前值。 <u>如果补偿间隔计数器等于零，则它被加载 CIR 的内容。如果 CIC 不等于零，则它每秒递减一次。</u>
23–16 TCV	Time Compensation Value 当前秒间隔内补偿逻辑使用的当前值。如果使用 TCR 字段的内容 CIC 等于 0，则每秒更新一次。如果 CIC 不等于零，则它被加载零(对于第二个增量不启用补偿)。
15–8 CIR	Compensation Interval Register 以秒为单位从 1 到 256 配置 <u>补偿间隔</u> ，以控制 TCR 调整每秒 32.768 kHz 周期数的频率。 写入的值应该比秒数小 1。例如， <u>写入零以配置一秒钟的补偿间隔。该寄存器为双缓冲寄存器，直到当前补偿间隔结束，写操作才会生效。</u>
TCR	Time Compensation Register 配置每秒 32.768 kHz 的时钟周期数。该寄存器为双缓冲寄存器，直到当前补偿间隔结束，写操作才会生效。 80h Time Prescaler Register overflows every 32896 clock cycles. FFh Time Prescaler Register overflows every 32769 clock cycles. 00h Time Prescaler Register overflows every 32768 clock cycles. 01h Time Prescaler Register overflows every 32767 clock cycles. 7Fh Time Prescaler Register overflows every 32641 clock cycles.

37.2.5 RTC Control Register (RTC_CR)

Address: 4003_D000h base + 10h offset = 4003_D010h



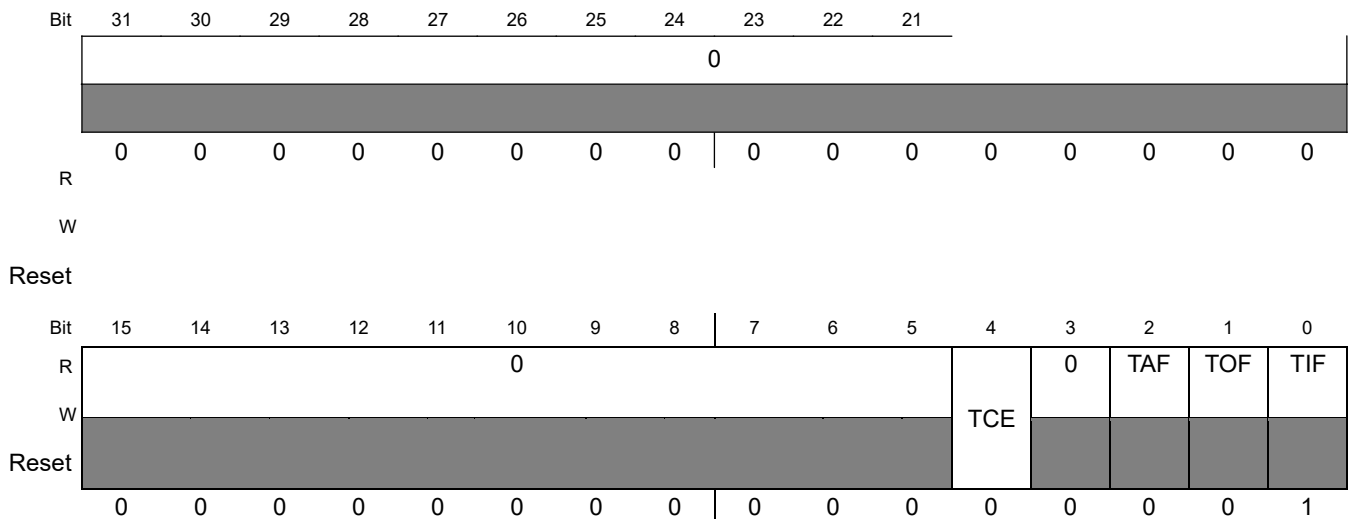
RTC_CR field descriptions

Field	Description
31–24 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
23–15 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
14 Reserved	This field is reserved. It must always be written to 0.
13 SC2P	Oscillator 2pF Load Configure <u>振荡器 2pF 负载配置</u> 0 禁用负载。 1 启用附加负载。
12 SC4P	Oscillator 4pF Load Configure 0 Disable the load. 1 Enable the additional load.
11 SC8P	Oscillator 8pF Load Configure 0 Disable the load. 1 Enable the additional load.

10 SC16P	<p>Oscillator 16pF Load Configure</p> <p>0 Disable the load. 1 Enable the additional load.</p>
9 Reserved	<p>This field is reserved. This read-only field is reserved and always has the value 0.</p>
8 OSCE	<p>Oscillator Enable</p> <p>0 32.768 kHz oscillator is disabled. 1 <u>32.768 kHz 振荡器已启用。设置该位后，等待振荡器启动时间，然后使能时间计数器，使 32.768 kHz 时钟时间稳定下来。</u></p>
7-5 Reserved	<p>This field is reserved. This read-only field is reserved and always has the value 0.</p>
4 WPS	<p>Wakeup Pin Select 唤醒引脚选择</p> <p>唤醒引脚是可选的，并非所有器件都提供。</p> <p>0 <u>如果 RTC 中断置位或 Wakeup 引脚开启，wakeup 引脚置位(低电平有效，开漏)。</u> 1 相反，Wakeup 引脚输出 RTC 32kHz 时钟，前提是 wakeup 引脚开启，并且 32kHz 时钟输出到其它外设</p>
3 UM	<p>Update Mode</p> <p>即使状态寄存器锁定，也允许写入 SR[TCE]。置位时，如果 SR[TIF]或 SR[TOF]置位或者 SR[TCE]清零，则 SR[TCE]总是可以写入。</p> <p>0 Registers cannot be written when locked. 1 Registers can be written when locked under limited conditions.</p>
2 SUP	<p>Supervisor Access</p> <p>0 不支持非管理模式写访问，会产生总线错误。 1 支持非管理员模式写访问</p>
1 WPE	<p>Wakeup Pin Enable</p> <p>唤醒引脚是可选的，并非所有器件都提供。</p> <p>0 唤醒引脚禁用。 1 如果 RTC 中断置位或 Wakeup 引脚开启，wakeup 引脚使能并置位。</p>
0 SWR	<p>Software Reset</p> <p>0 No effect. 1 <u>复位除 SWR 位以外的所有 RTC 寄存器。SWR 位由 POR 清零，并由软件显式清零。</u></p>

37.2.6 RTC Status Register (RTC_SR)

Address: 4003_D000h base + 14h offset = 4003_D014h



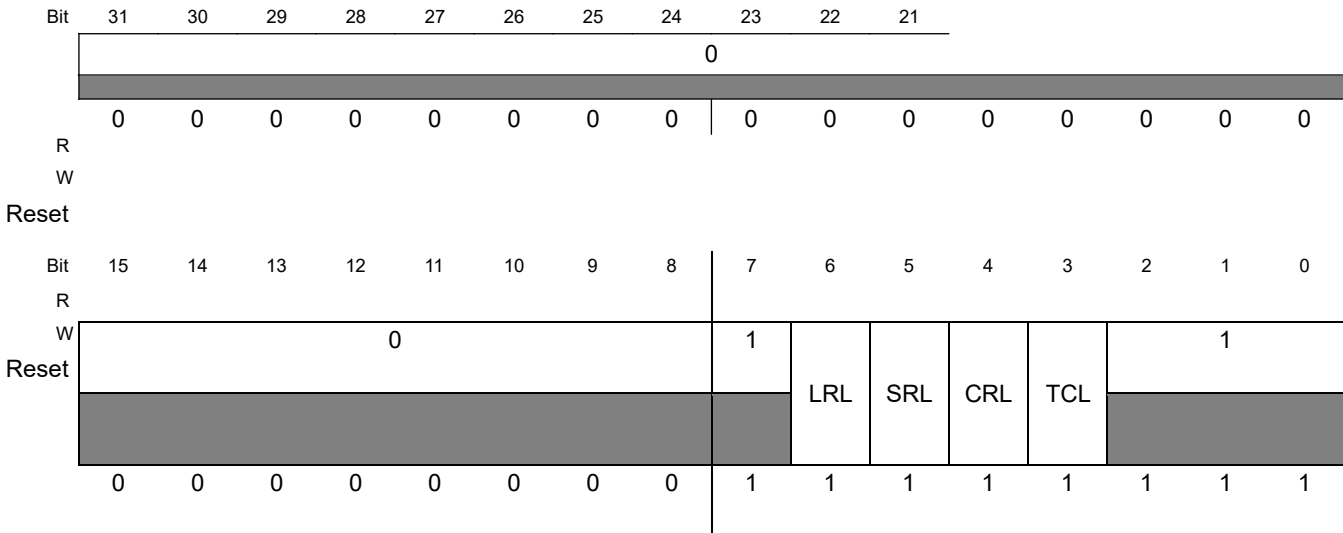
RTC_SR field descriptions

Field	Description
31–5 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
4 TCE	Time Counter Enable <u>当时间计数器被禁用时，TSR 寄存器和 TPR 寄存器是可写的，但不会递增。</u> 启用时间计数器时，TSR 寄存器和 TPR 寄存器不可写，但会递增。 0 Time counter is disabled. 1 Time counter is enabled.
3 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
2 TAF	Time Alarm Flag 当 TAR[TAR]等于 TSR[TSR]且 TSR[TSR]递增时，时间报警标志置 1。 <u>通过写入 TAR 寄存器可以将该位清零。</u> 0 Time alarm has not occurred. 1 Time alarm has occurred.
1 TOF	Time Overflow Flag <u>当时间计数器启用并溢出时，设置时间溢出标志。该位置 1 时，TSR 和 TPR 不递增，读数为零。</u> <u>当时间计数器禁用时，通过写入 TSR 寄存器可以将该位清零。</u> 0 Time overflow has not occurred. 1 Time overflow has occurred and time counter is read as zero.

0 TIF	Time Invalid Flag
	<u>POR 或软件复位时设置时间无效标志。该位置 1 时，TSR 和 TPR 不递增，读数为零。当时间计数器禁用时，通过写入 TSR 寄存器可以将该位清零。</u>
	0 Time is valid. 1 Time is invalid and time counter is read as zero.

37.2.7 RTC Lock Register (RTC_LR)

Address: 4003_D000h base + 18h offset = 4003_D018h



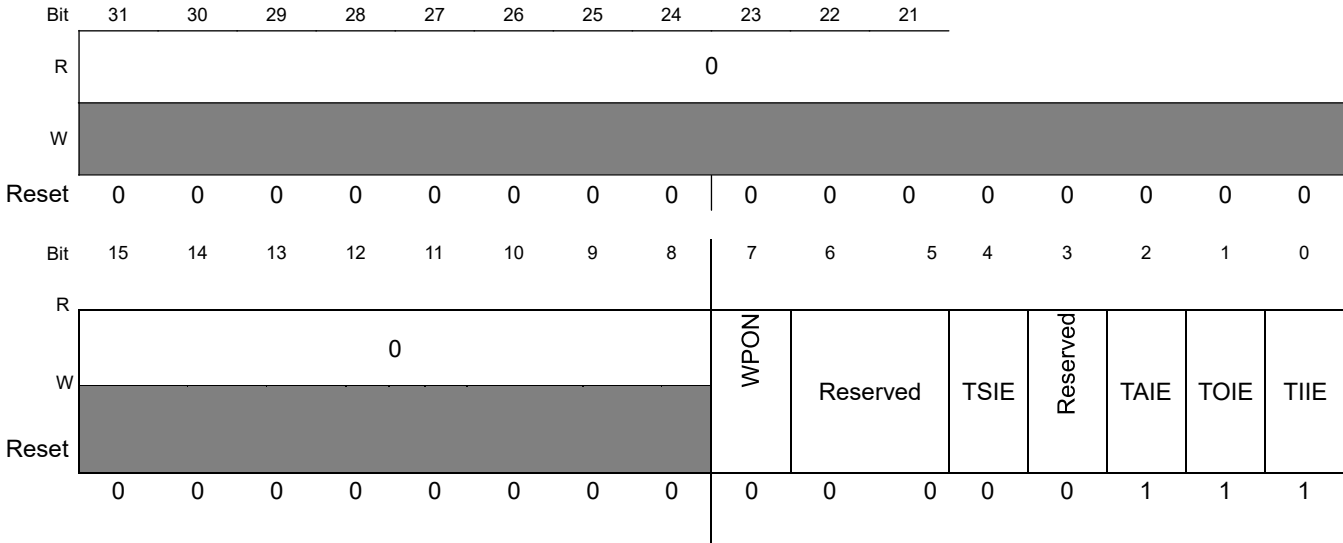
RTC_LR field descriptions

Field	Description
31–8 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
7 Reserved	This field is reserved. This read-only field is reserved and always has the value 1.
6 LRL	Lock Register Lock 清零后，该位只能通过 POR 或软件复位来设置。 <u>0 锁定寄存器被锁定，写操作被忽略。</u> 1 锁定寄存器未锁定，写入正常完成。
5 SRL	Status Register Lock 清零后，该位只能通过 POR 或软件复位来设置。 0 状态寄存器被锁定，写操作被忽略。 1 状态寄存器未锁定，写操作正常完成。

4 CRL	Control Register Lock <u>清零后，该位只能由 POR 置 1。</u> 0 控制寄存器被锁定，写入被忽略。 1 控制寄存器未锁定，写入正常完成。
3 TCL	Time Compensation Lock 清零后，该位只能通过 POR 或软件复位来设置。 0 时间补偿寄存器被锁定，写操作被忽略。 1 时间补偿寄存器未锁定，写入正常完成。
Reserved	This field is reserved. This read-only field is reserved and always has the value 1.

37.2.8 RTC Interrupt Enable Register (RTC_IER)

Address: 4003_D000h base + 1Ch offset = 4003_D01Ch



RTC_IER field descriptions

Field	Description
31–16 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
15–8 Reserved	This field is reserved. This read-only field is reserved and always has the value 0.
7 WPON	Wakeup Pin On <u>wakeup 引脚是可选的，并非所有器件都提供。只要 wakeup 引脚被使能且该位被置位，wakeup 引脚就会 assert。</u> 0 没有影响。1 如果 wakeup 引脚被使能，则 wakeup 引脚将置位。

6–5 Reserved	This field is reserved.
4 TSIE	Time Seconds Interrupt Enable 秒中断是具有专用中断向量的边沿敏感中断。它每秒生成一次，不需要软件开销(没有相应的状态标志需要清除) 0 Seconds interrupt is disabled. 1 Seconds interrupt is enabled.
3 Reserved	This field is reserved.
2 TAIE	Time Alarm Interrupt Enable 0 Time alarm flag does not generate an interrupt. 1 Time alarm flag does generate an interrupt.
1 TOIE	Time Overflow Interrupt Enable 0 Time overflow flag does not generate an interrupt. 1 Time overflow flag does generate an interrupt.
0 TIIE	Time Invalid Interrupt Enable 0 Time invalid flag does not generate an interrupt. 1 Time invalid flag does generate an interrupt.

37.3 Functional description

37.3.1 Power, clocking, and reset

RTC 是一个始终供电的模块，在所有低功耗模式下保持活动状态。

RTC 内的时间计数器由一个 32.768 kHz 时钟提供时钟，**该时钟来自使用振荡器的外部晶振。**

上电复位信号将所有 RTC 寄存器初始化为默认状态。软件复位位也可以初始化**所有** RTC 寄存器。

37.3.1.1 Oscillator control

POR 禁用 32.768 kHz 晶体振荡器后，必须通过软件使能。

使能 crystal 振荡器后，等待振荡器启动时间，然后设置 **SR[TCE]**或使用 **RTC 外部的振荡器时钟**。

晶体振荡器包括可通过软件配置的可调电容。除非振荡器被禁用，否则不要改变电容。

37.3.1.2 Software reset

将 1 写入 CR[SWR]会将 POR 的等效值强制写入 RTC 模块的其余部分。

CR[SWR]不受软件复位的影响，必须通过软件清除。

37.3.1.3 Supervisor access

当管理员访问 Supervisor access 控制位清零时，只有管理员模式软件可以写入 RTC 寄存器，非管理员模式软件将产生总线错误。

管理模式和非管理模式软件都可以读取 RTC 寄存器。

37.3.2 Time counter

时间计数器由一个每秒递增一次的 32 位秒计数器和一个每 32.768 kHz 时钟周期递增一次的 16 位预分频器寄存器组成。

由于读取数据总线的同步，在递增时读取时间计数器(秒或预分频器)可能会返回无效数据。如果软件需要在预分频器或秒计数器可能递增时读取它们，建议执行两次读取访问，并且软件验证两次读取是否返回相同的数据。

仅当 **SR[TCE]** 清零时，才能写入时间秒寄存器和时间预分频器寄存器。**务必在写入秒寄存器之前写入预分频器寄存器，因为秒寄存器在预分频器寄存器位 14 的下降沿递增。**

如果 SR[TCE]置 1，SR[TIF]清零，SR[TOF]清零，并且存在 32.768 kHz 时钟源，则时间预分频器寄存器递增。使能振荡器后，等待振荡器启动时间，然后设置 SR[TCE]，让振荡器时钟输出有时间稳定下来。

如果时间秒寄存器溢出，SR[TOF]将置位，时间预分频器寄存器将停止递增。通过初始化时间秒寄存器来清除 SR[TOF]。

每当 SR[TOF]置 1 时，时间秒寄存器和时间预分频器寄存器的读数为零。

SR[TIF]在 POR 和软件复位时置位，并通过初始化时间秒寄存器来清零。每当 SR[TIF]置 1 时，时间秒寄存器和时间预分频器寄存器的读数为零。

37.3.3 Compensation

补偿逻辑提供精确和宽补偿范围，可以校正高达 3906 ppm 和低至 0.12 ppm 的误差。补偿系数必须在 RTC 的外部计算，并由软件提供给补偿寄存器。虽然 1 Hz 时钟输出到外部引脚以支持外部校准逻辑，但 RTC 本身并不计算所需的补偿量。

通过使用固件和晶体特性来确定补偿量，可以支持晶体补偿。固件可以支持温度补偿，通过 ADC 定期测量外部温度，并根据指定晶体频率随温度变化的查找表更新补偿寄存器。

补偿逻辑改变预分频器寄存器溢出所需的 32.768 kHz 时钟周期数，并递增时间秒计数器。时间补偿值用于在 -127 和 +128 之间调整时钟周期数。

当预分频器寄存器等于 0x3FFF 时，预分频器寄存器增加或减少周期数，然后递增。补偿间隔用于调整时间补偿值的使用频率，即从每秒一次到每 256 秒一次。

对时间补偿寄存器的更新将不会生效，直到时间秒寄存器下一次递增，并且假设先前的补偿间隔已经到期。

当补偿间隔被设置为不是每秒一次时，则在第一个第二间隔中应用补偿，并且剩余的第二间隔不接收补偿。

通过将时间补偿寄存器配置为零来禁用补偿。

37.3.4 Time alarm

时间报警寄存器(TAR)、SR[TAF]和 IER[TAIE]允许 RTC 在预定义的时间产生中断。每次递增时，32 位 TAR 都会与 32 位时间秒寄存器(TSR)进行比较。当 TAR 等于 TSR 和 TSR 增量时，SR[TAF]将被设置。

SR[TAF]通过写 TAR 被清除。这通常是下一个报警值，尽管写入小于 TSR 的值(如 0)会阻止 SR[TAF]再次设置。

SR[TAF]不能被禁用，尽管它产生的中断由 IER[TAIE]启用或禁用。

37.3.5 Update mode

控制寄存器(**CR[UM]**)中的更新模式字段配置对时间计数器使能(SR[TCE])字段的软件写访问。当 CR[UM]清零时, SR[TCE]只能在 LR[SRL]置 1 时写入。

当 CR[UM]置 1 时, 当 SR[TCE]清零或 SR[TIF]或 SR[TOF]置 1 时, 也可以写入 SR[TCE]。

这样, 每当时间无效时, 就可以初始化时间秒和预分频器寄存器, 同时防止时间秒和预分频器寄存器被动态更改。当 LR[SRL]置位时, CR[UM]对 SR[TCE]没有影响。

37.3.6 Register lock

锁定寄存器(LR)可以用来阻止对某些寄存器的写访问, 直到下一次 POR 或软件复位。锁定控制寄存器(CR)将禁用软件复位。锁定 LR 将阻止将来对 LR 的更新。

对锁定寄存器的写访问被忽略, 不会产生总线错误。

37.3.7 Interrupt

每当状态标志和相应的中断使能位都置位时, RTC 中断就会置位。它总是在 POR 和软件复位时置位。通过使能特定于芯片的 RTC 时钟门控制位, 可以在芯片级使能 RTC 中断。**RTC 中断可用于将芯片从任何低功耗模式中唤醒。**

可选的 RTC 秒中断是一种**边沿敏感中断**, 具有专用中断向量, 每秒产生一次, 不需要软件开销(没有相应的状态标志需要清除)。它通过时间秒中断使能位在 RTC 中使能, 并通过设置特定于芯片的 RTC 时钟门控制位在芯片级使能。该中断是可选的, 可能不会在所有器件上实现。