

数字电路

第7章 时序逻辑电路



杨旭

北京理工大学

pyro_yangxu@bit.edu.cn

主要内容

时序逻辑电路的

工作原理

分析方法

设计方法

常用中规模时序逻辑电路



本章内容

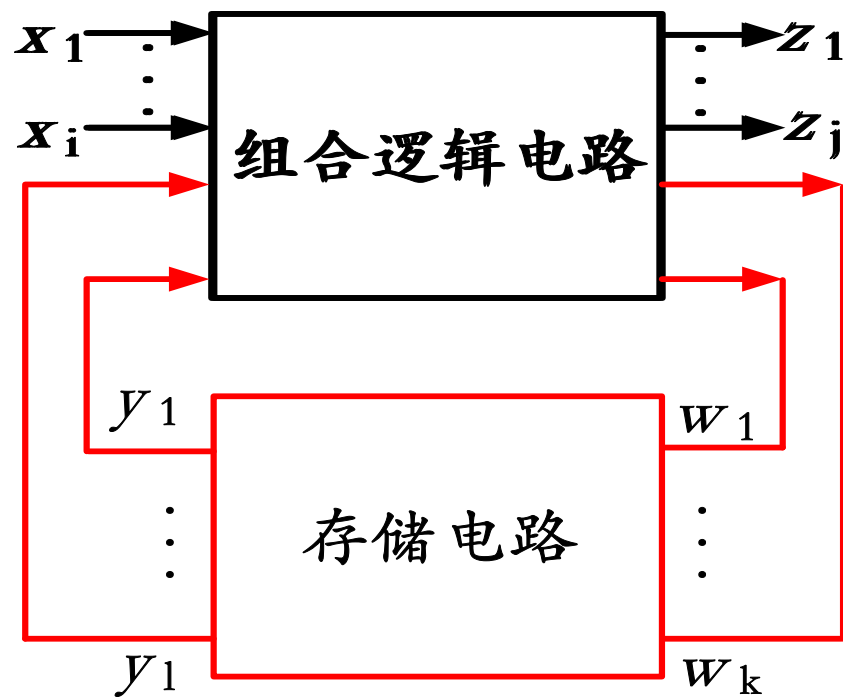
- ❑ 7.1 概述
- ❑ 7.2 时序逻辑电路的分析方法
- ❑ 7.3 常用中规模时序逻辑电路及其应用
- ❑ 7.4 时序逻辑电路的设计
- ❑ 7.5 综合应用
- ❑ 7.6 用Multisim2001分析时序逻辑电路



7.1 概述

时序逻辑电路的特点：

由组合逻辑电路和存储电路构成，它在某一时刻的输出状态不仅与该时刻输入信号有关，还与电路原来的输出状态有关。



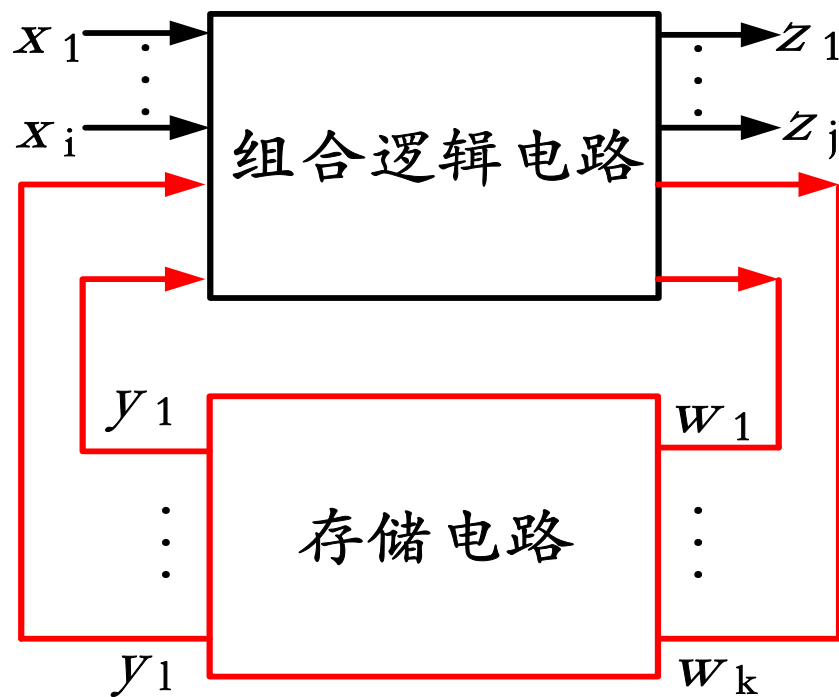
时序逻辑电路结构上的特点:

包含组合电路和存储

电路两部分

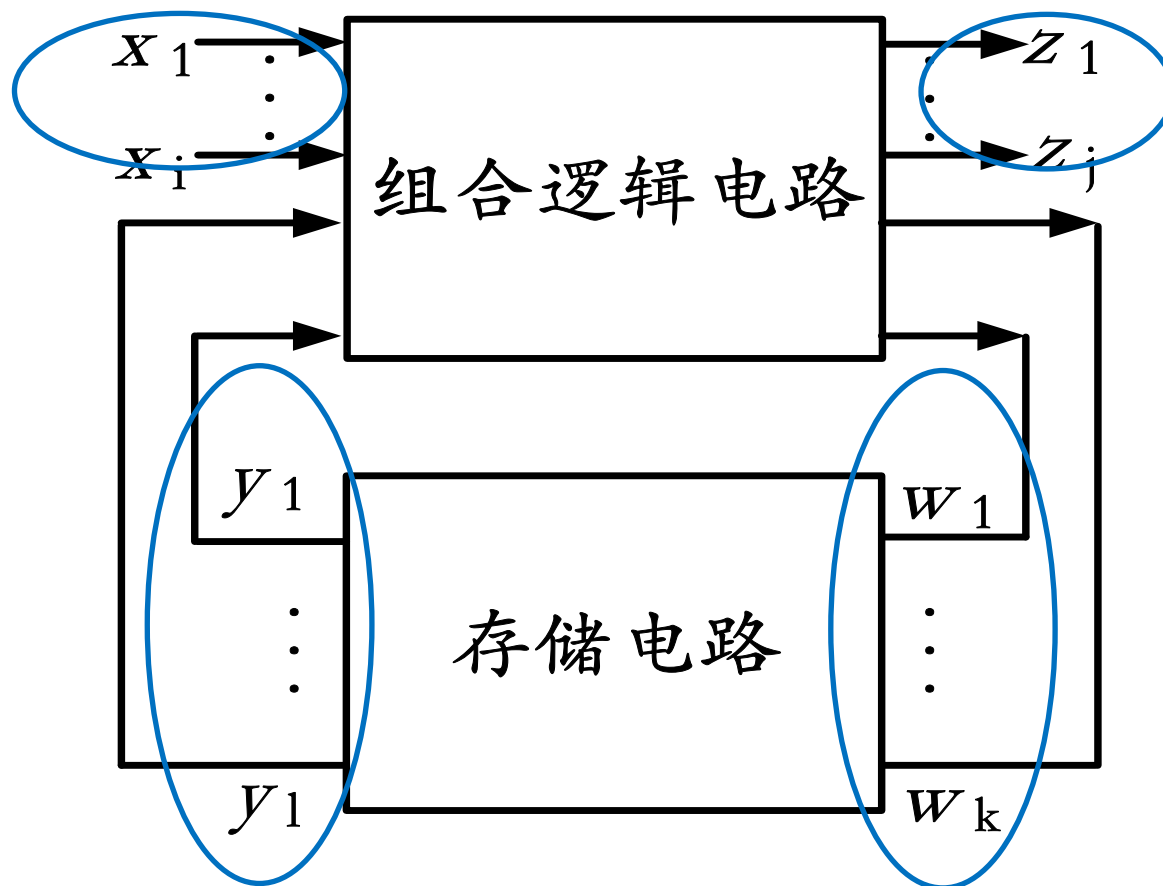
存储电路的输出反馈

到组合电路的输入端。



时序电路的输入

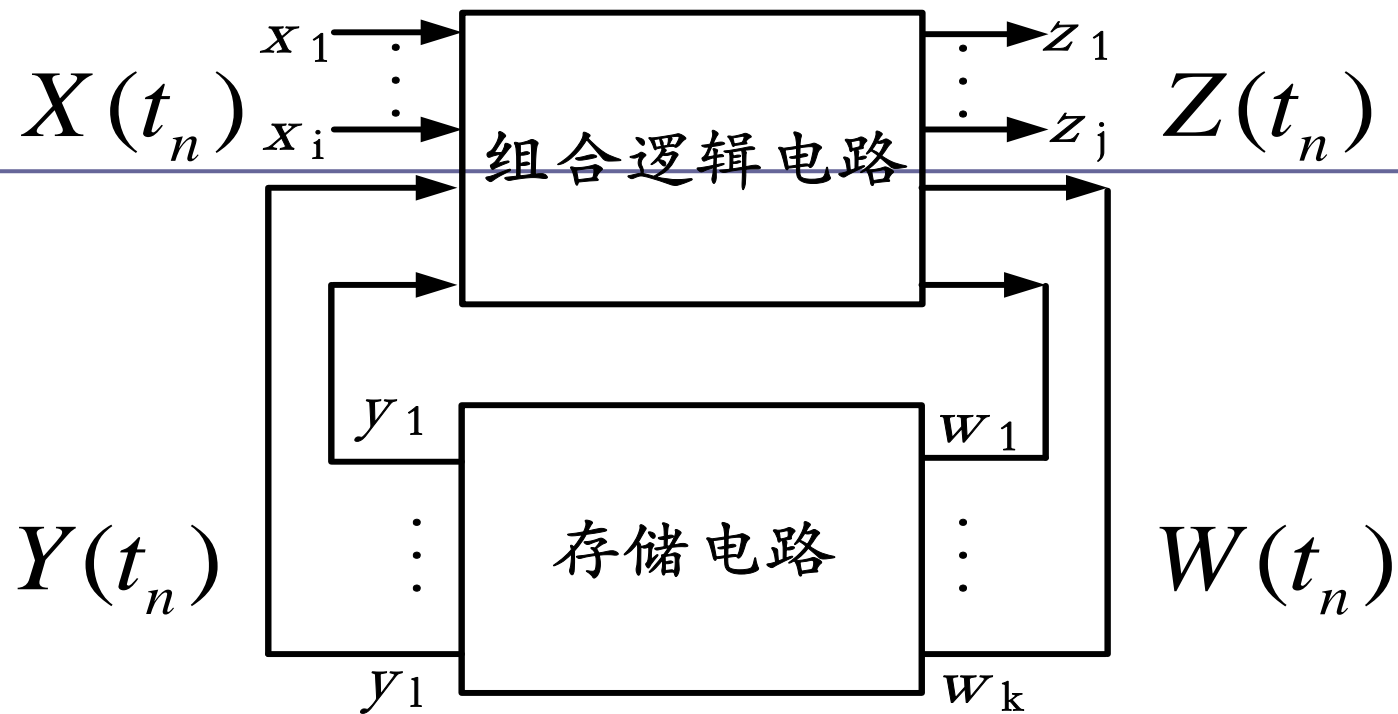
时序电路的输出



存储电路的输出

存储电路的驱动





$$Z(t_n) = F[X(t_n), Y(t_n)] \quad \text{输出方程}$$

$$W(t_n) = H[X(t_n), Y(t_n)] \quad \text{驱动方程}$$

$$Y(t_{n+1}) = G[W(t_n), Y(t_n)] \quad \text{状态方程}$$



时序电路的功能描述方法

逻辑函数表达式 (3个方程)

状态转换真值表

状态转换图

时序图



时序逻辑电路分类

按照存储单元状态变化的特点（动作特点）

同步时序逻辑电路

所有触发器状态变化受同一CP控制

异步时序逻辑电路

触发器变化不同时，有先有后



按照输出信号的特点

Mealy (米里) 型

输出信号取决于存储电路与输入变量

Moore (摩尔) 型

输出仅仅取决于存储电路的状态

注：有些电路没有输入信号。



按照逻辑功能

计数器

寄存器

移位寄存器

顺序脉冲发生器

.....



7.2 时序逻辑电路的分析方法

时序逻辑电路的分析

找出电路的状态和输出状态在输入变量和时钟信号的作用下的变化规律，
即已知逻辑图说明其逻辑功能。



同步时序逻辑电路分析方法

一般步骤

1、写方程

根据逻辑电路图写出各触发器的时钟方程、驱动方程、输出方程。

2、求状态方程

将驱动方程代入相应触发器的特性方程，得到各触发器的状态方程(即次态方程)。



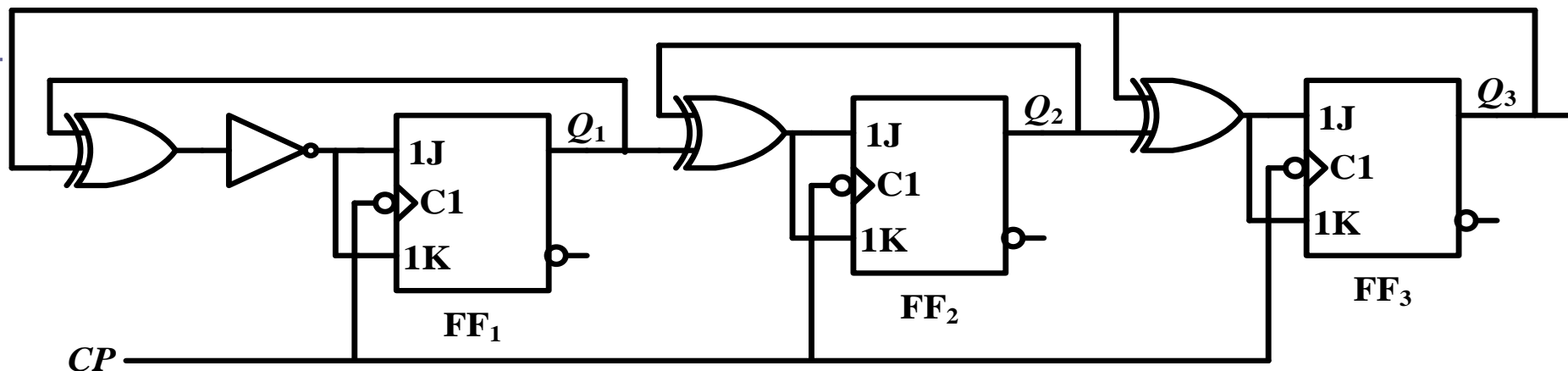
3、列状态转换真值表

依次设初态，求次态，列出状态转换真值表，或者画出状态转换图（有效循环无效循环，自启动）
（或时序图）

4、说明逻辑功能



例6-1： 分析逻辑功能



1 写方程

时钟方程

$$CP_1 = CP_2 = CP_3 = CP$$

驱动方程

$$\left\{ \begin{array}{l} J_1 = K_1 = \overline{Q_1 \oplus Q_3} \\ J_2 = K_2 = Q_1 \oplus Q_2 \\ J_3 = K_3 = Q_2 \oplus Q_3 \end{array} \right.$$

同步时序逻辑电路可以省去时钟方程



如果电路有输出，也需要写出输出方程

2 求出状态方程

将驱动方程带入JK触发器特性方程

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

$$Q^{n+1} = T \oplus Q^n$$

得到状态方程

$$Q_1^{n+1} = \overline{Q_1 \oplus Q_3 \oplus Q_1} = \overline{Q_3}$$

$$Q_2^{n+1} = Q_1 \oplus Q_2 \oplus Q_2 = Q_1$$

$$Q_3^{n+1} = Q_2 \oplus Q_3 \oplus Q_3 = Q_2$$



3 列状态转换表

依次设初态，代入状态方程及输出方程，
求出状态转换表。

初态			次态		
Q_3	Q_2	Q_1	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	1	1	1
1	1	1	1	1	0
1	1	0	1	0	0
1	0	0	0	0	0

$$Q_1^{n+1} = \overline{Q_3}$$

$$Q_2^{n+1} = Q_1$$

$$Q_3^{n+1} = Q_2$$



初态			次态		
Q_3	Q_2	Q_1	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	1	1	1
1	1	1	1	1	0
1	1	0	1	0	0
1	0	0	0	0	0
1	0	1	0	1	0
0	1	0	1	0	1

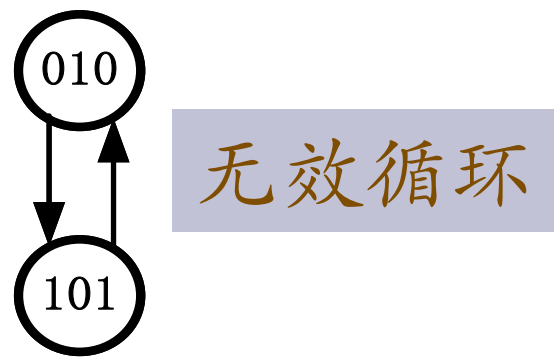
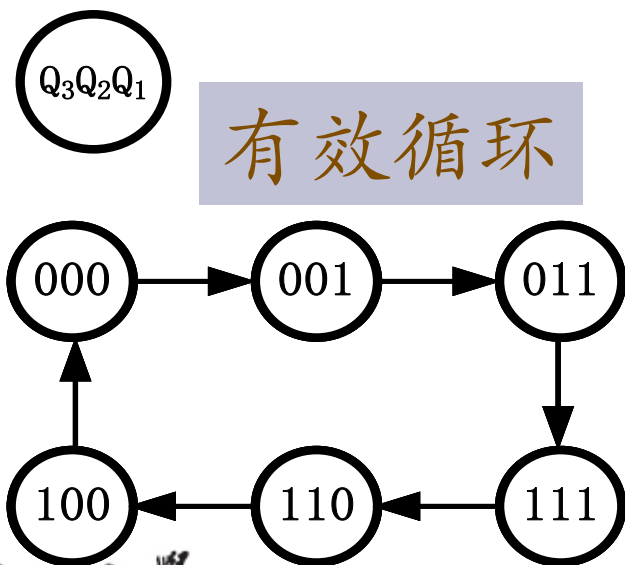
序号	Q_3	Q_2	Q_1
0	0	0	0
1	0	0	1
2	0	1	1
3	1	1	1
4	1	1	0
5	1	0	0
6	0	0	0
偏离状态	1	0	1
	0	1	0

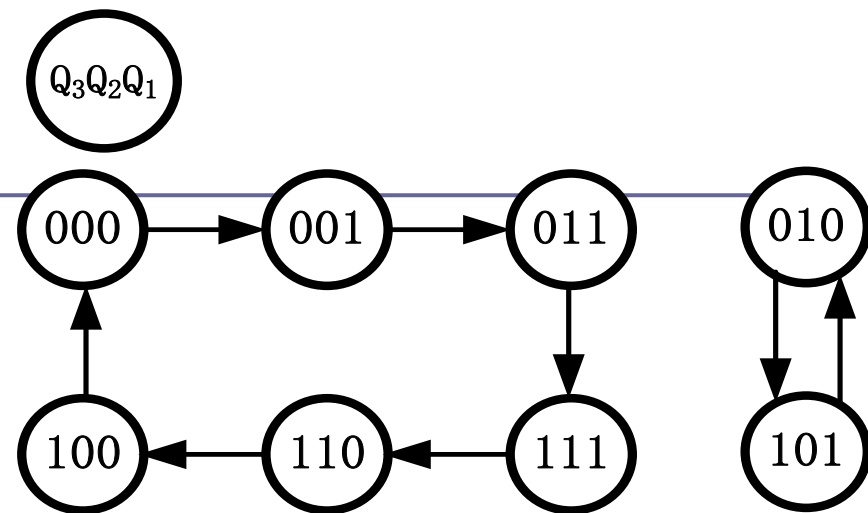
} 偏离状态



4 画状态转换图

初态			次态		
Q_3	Q_2	Q_1	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	1	1	1
1	1	1	1	1	0
1	1	0	1	0	0
1	0	0	0	0	0
1	0	1	0	1	0
0	1	0	1	0	1





有效状态:

使用的状态

000, 001, 011, 100, 110, 111

无效状态: 未使用的状态101, 010

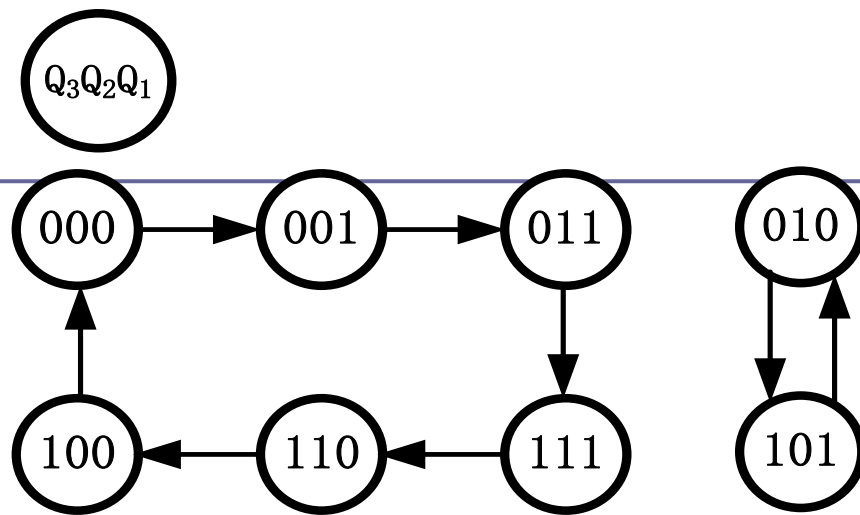
有效循环:

在CP脉冲作用下, 电路在有效状态中的循环

无效循环:

在CP脉冲作用下, 电路在无效状态中的循环



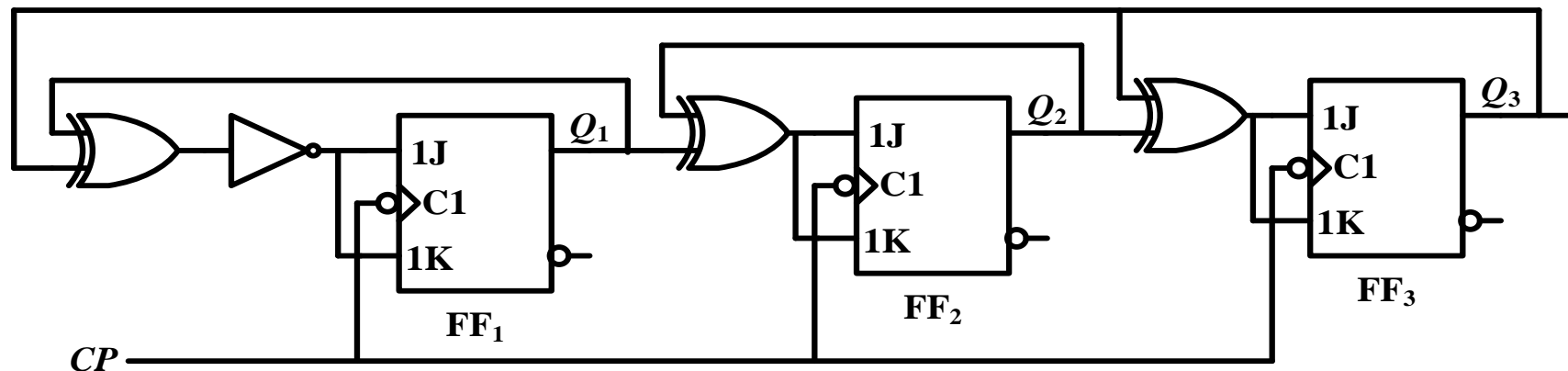


电路一旦进入无效状态，在CP脉冲作用下，能自动返回到有效循环中去的电路叫能**自启动**，否则叫不能自启动。

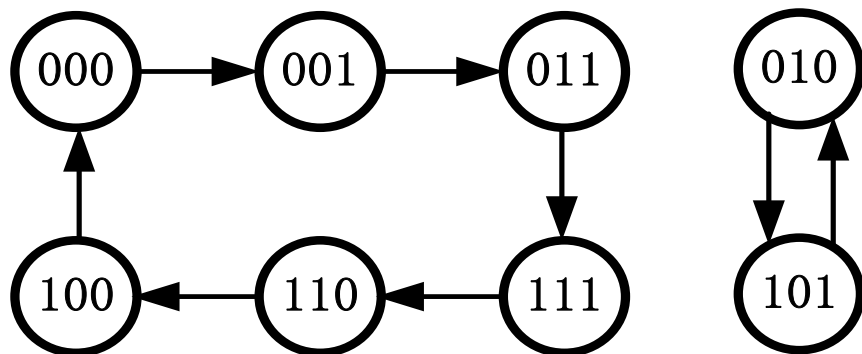
显然，此电路不能自启动。



5 分析电路功能



$Q_3Q_2Q_1$



不能自启动的
同步6进制计数
器



异步时序逻辑电路分析方法

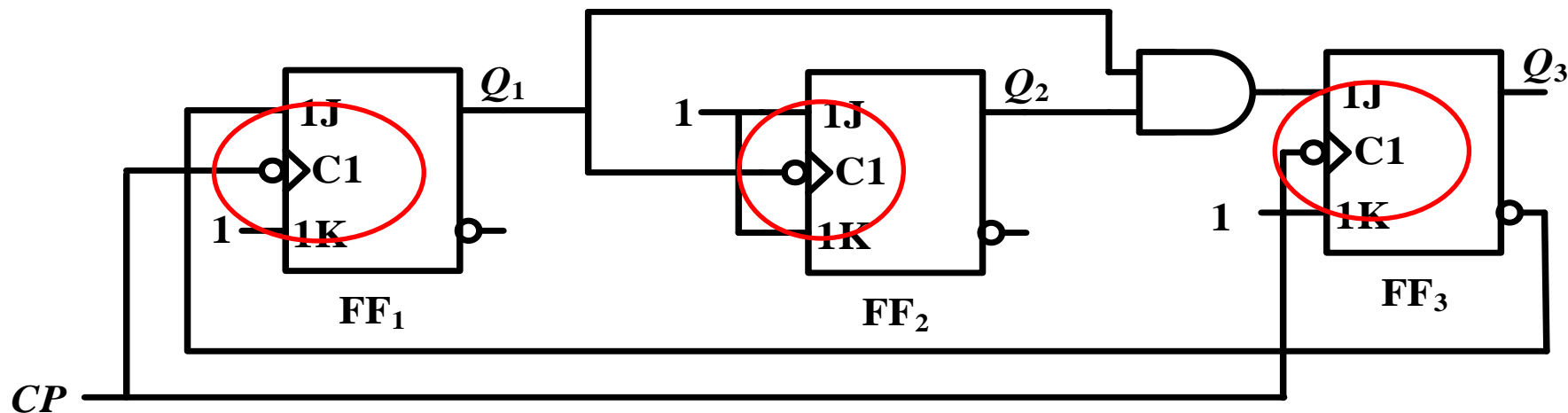
一般步骤与同步时序逻辑电路的分析步骤相同，但必须**首先考虑时钟**条件。

每次电路状态更新时，不是所有的触发器都有时钟条件，具备CP的触发器根据状态方程求次态，无CP的触发器保持原状态。

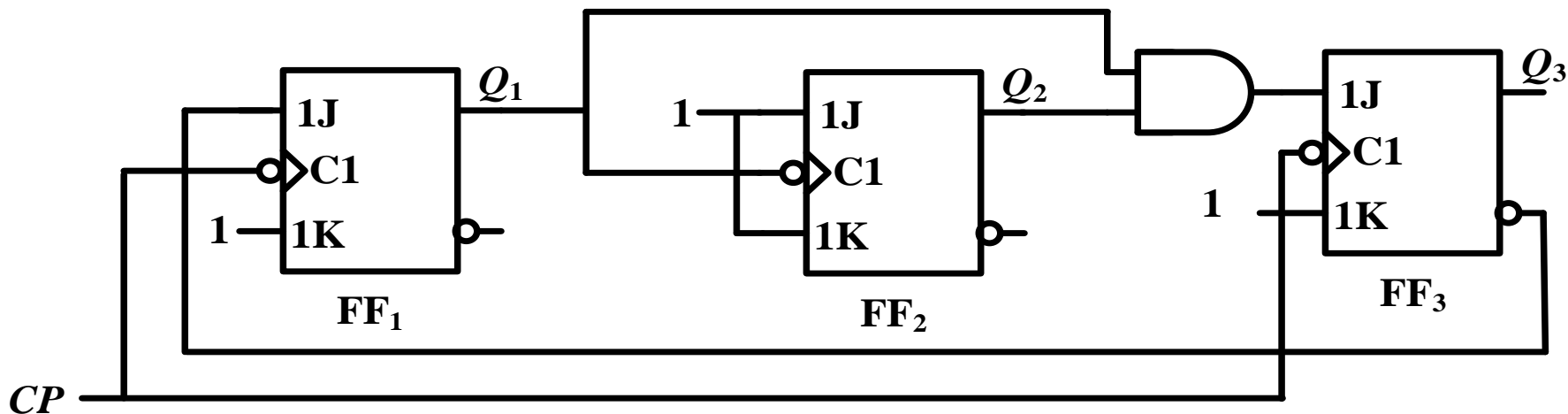
状态方程中需写入CP条件。



例6-2：分析图示的异步时序电路，要求写出驱动方程、次态方程，画出状态转换图，并说明电路的逻辑功能。



触发器的时钟不是同一时钟，其翻转不同
时发生，为异步时序逻辑电路。



1 写方程

$$J_1 = \overline{Q_3} \quad K_1 = 1 \quad CP_1 = CP \downarrow$$

$$J_2 = K_2 = 1 \quad CP_2 = Q_1 \downarrow$$

$$J_3 = Q_1 Q_2 \quad K_3 = 1 \quad CP_3 = CP \downarrow$$



2 求出状态方程

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

根据驱动方程

$$\begin{cases} J_1 = \overline{Q}_3 & K_1 = 1 & CP_1 = CP \downarrow \\ J_2 = K_2 = 1 & & CP_2 = Q_1 \downarrow \\ J_3 = Q_1Q_2 & K_3 = 1 & CP_3 = CP \downarrow \end{cases}$$

$$Q_1^{n+1} = \overline{Q}_1 \overline{Q}_3 \quad CP \downarrow$$

$$Q_2^{n+1} = \overline{Q}_2 \quad Q_1 \downarrow$$

$$Q_3^{n+1} = Q_1Q_2\overline{Q}_3 \quad CP \downarrow$$



3 画状态转换表

$$\begin{cases} Q_1^{n+1} = \overline{Q_1} \overline{Q_3} & CP \downarrow \\ Q_2^{n+1} = \overline{Q_2} & Q_1 \downarrow \\ Q_3^{n+1} = Q_1 Q_2 \overline{Q_3} & CP \downarrow \end{cases}$$

初态			次态		
Q_3	Q_2	Q_1	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	0	0	0

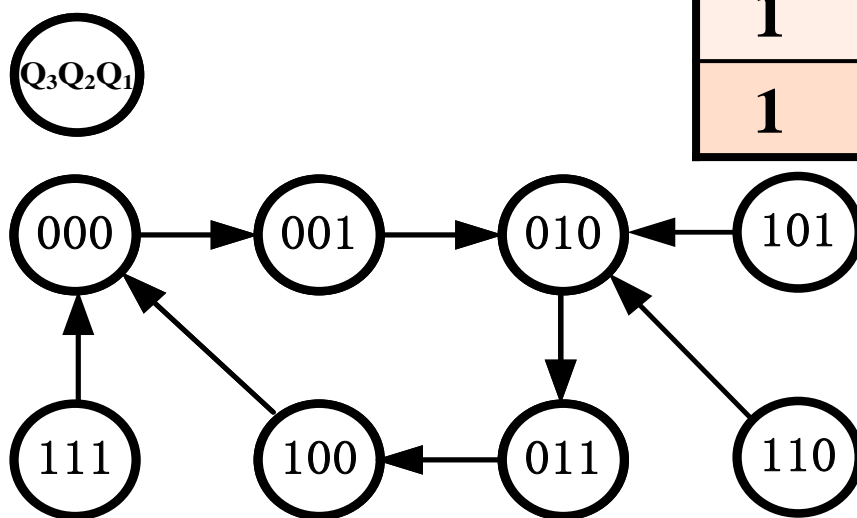
有效状态

无效状态

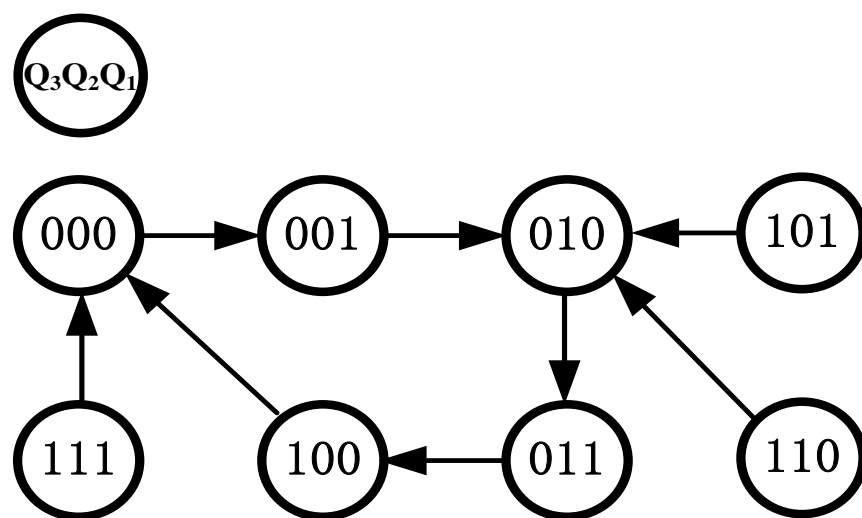


4 画状态转换图

初态			次态		
Q_3	Q_2	Q_1	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	0	0	0



5 电路功能



能自启动的异步五进制加法计数器。



7.3 常用中规模时序逻辑电路及其应用

寄存器和移位寄存器

寄存器是存放二进制数码的逻辑部件，由触发器构成。

一个触发器可寄存一位二进制代码， N 个触发器构成的寄存器可寄存 N 位二进制数码。



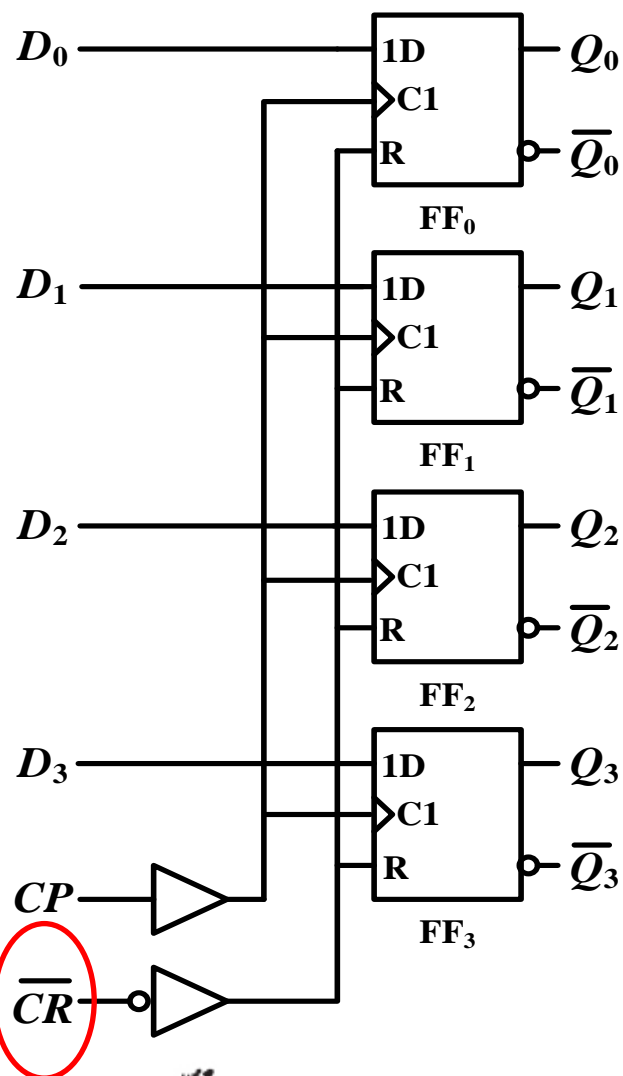
寄存器、移位寄存器应用广泛，种类繁多，有四位、八位、十六位等。

采用不同类型触发器电路形式不同，但大同小异。

关键是了解**功能表**。



寄存器的分析



4位寄存器74LS175

CP上升沿到来时

$$Q_3Q_2Q_1Q_0 = D_3D_2D_1D_0$$

其它时间保持不变

\overline{CR} 为异步清零端



74LS175 功能表

输入						输出				功能
$\overline{\text{CR}}$	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	
0	ϕ	ϕ	ϕ	ϕ	ϕ	0	0	0	0	异步 清零
1	\uparrow	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0	同步 置数
1	$\begin{smallmatrix} 0 \\ 1 \end{smallmatrix}$	ϕ	ϕ	ϕ	ϕ	Q_3^n	Q_2^n	Q_1^n	Q_0^n	保持



移位寄存器的分析

功能：

存储代码, 移位。

移位—寄存器中的代码在CP脉冲作用下, 逐位左移或右移。



用途:

存数

数据串行--并行转换

数值运算

数据处理

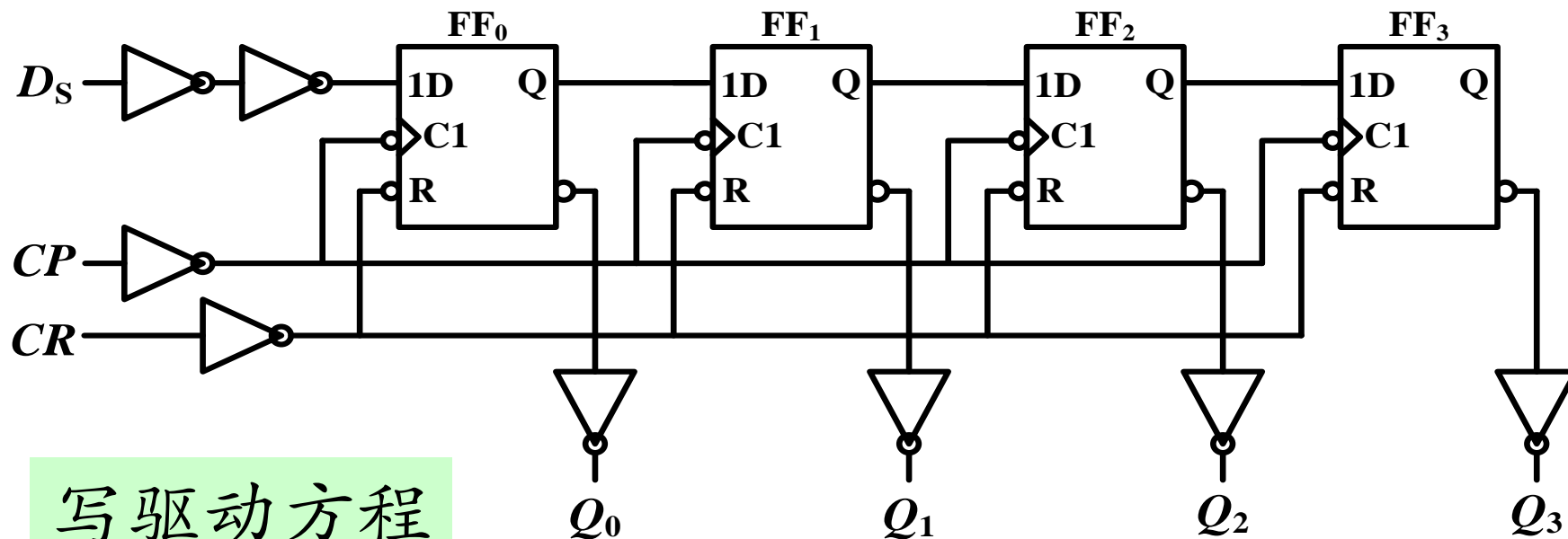
分类:

单向移位寄存器

双向移位寄存器



单向移位寄存器 CC4015



写驱动方程

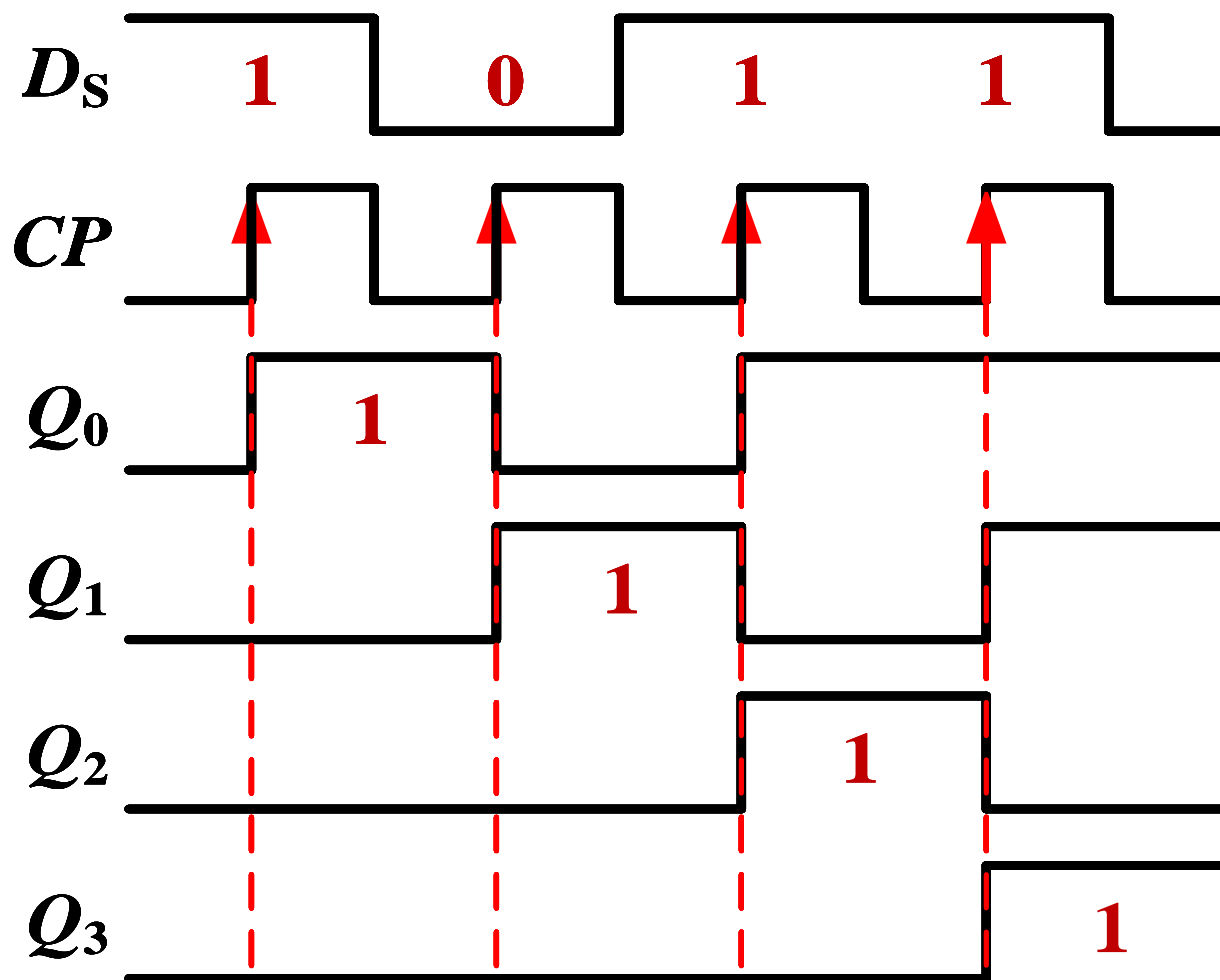
$$D_0 = \overline{\overline{D_s}} = D_s, D_1 = Q_0^n, D_2 = Q_1^n, D_3 = Q_2^n$$

求状态方程

$$Q_0^{n+1} = D_s, Q_1^{n+1} = Q_0^n, Q_2^{n+1} = Q_1^n, Q_3^{n+1} = Q_2^n$$



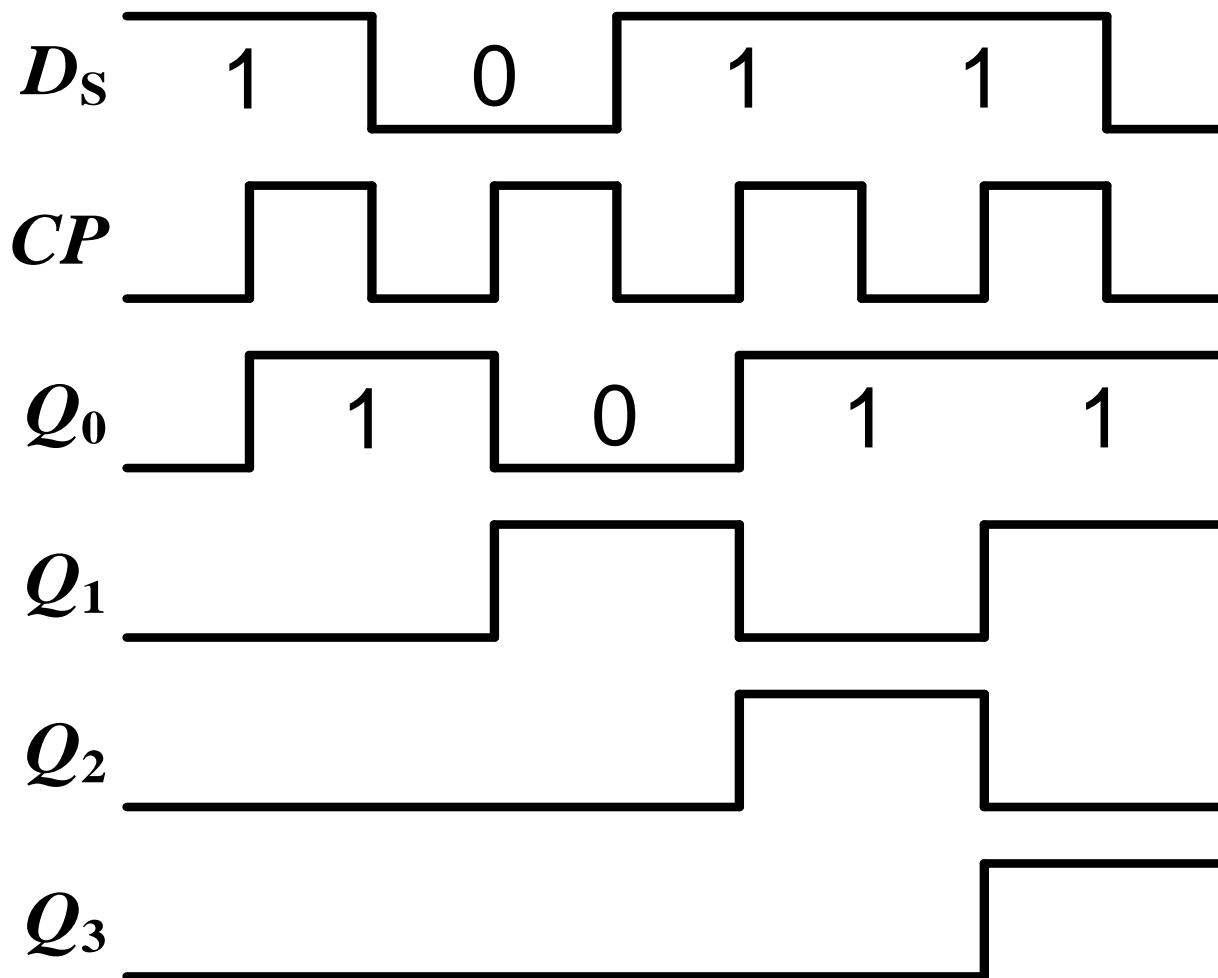
串行输入数据1011的时序图



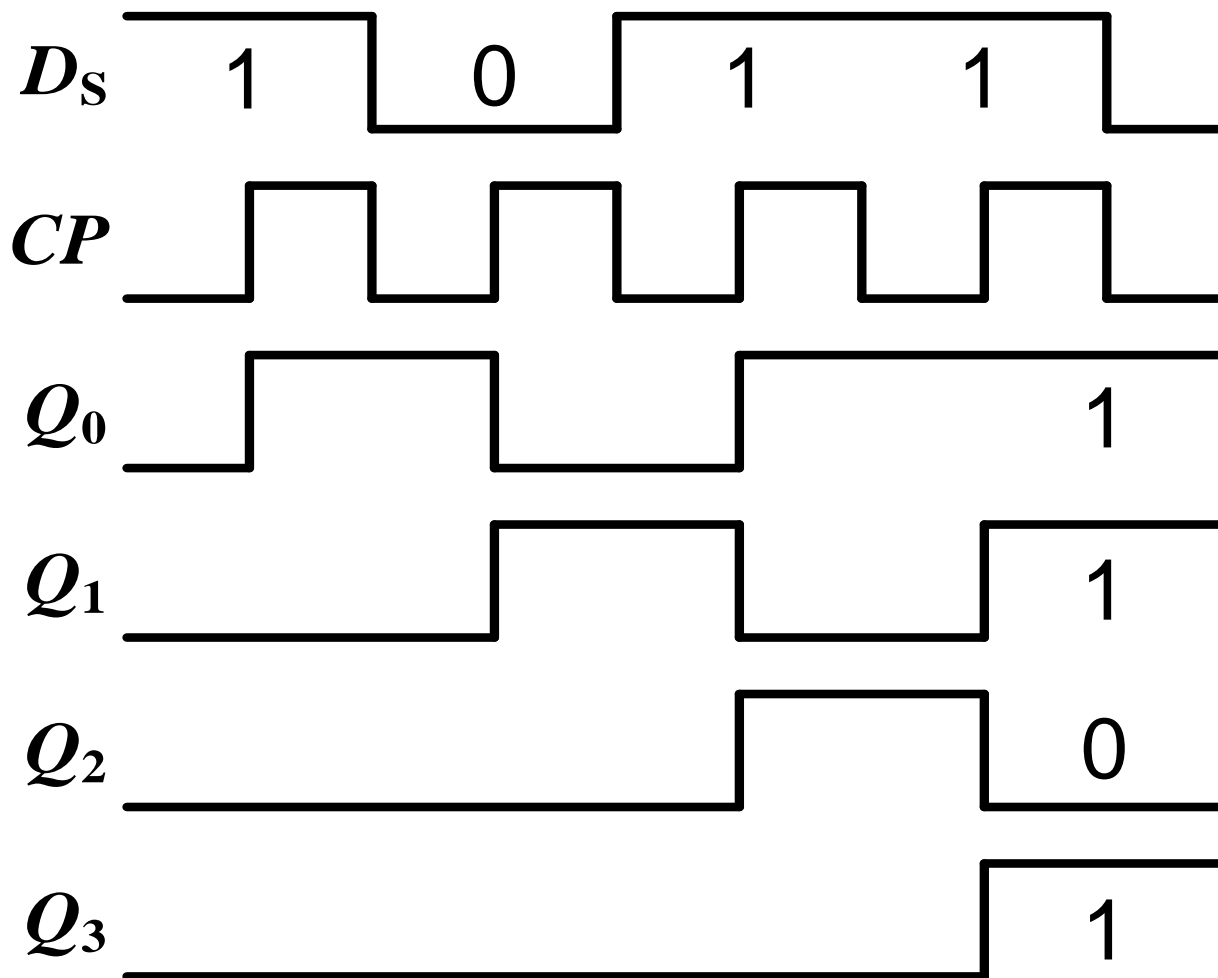
经过4个
 CP ， D_S
送到了
 Q_3 端



串行输入-串行输出



串行输入-并行输出



问题：来一个CP沿能否移两位或多位？

答：不能。

因为触发器从CP \uparrow 到达时接收数据，到输出端建立新状态，需要传输时间。

当输出端新状态建立后该CP \uparrow 已过去，待下一个CP \uparrow 到来时才能移到下一位。



双向移位寄存器 74LS194

功能：

左移、右移；

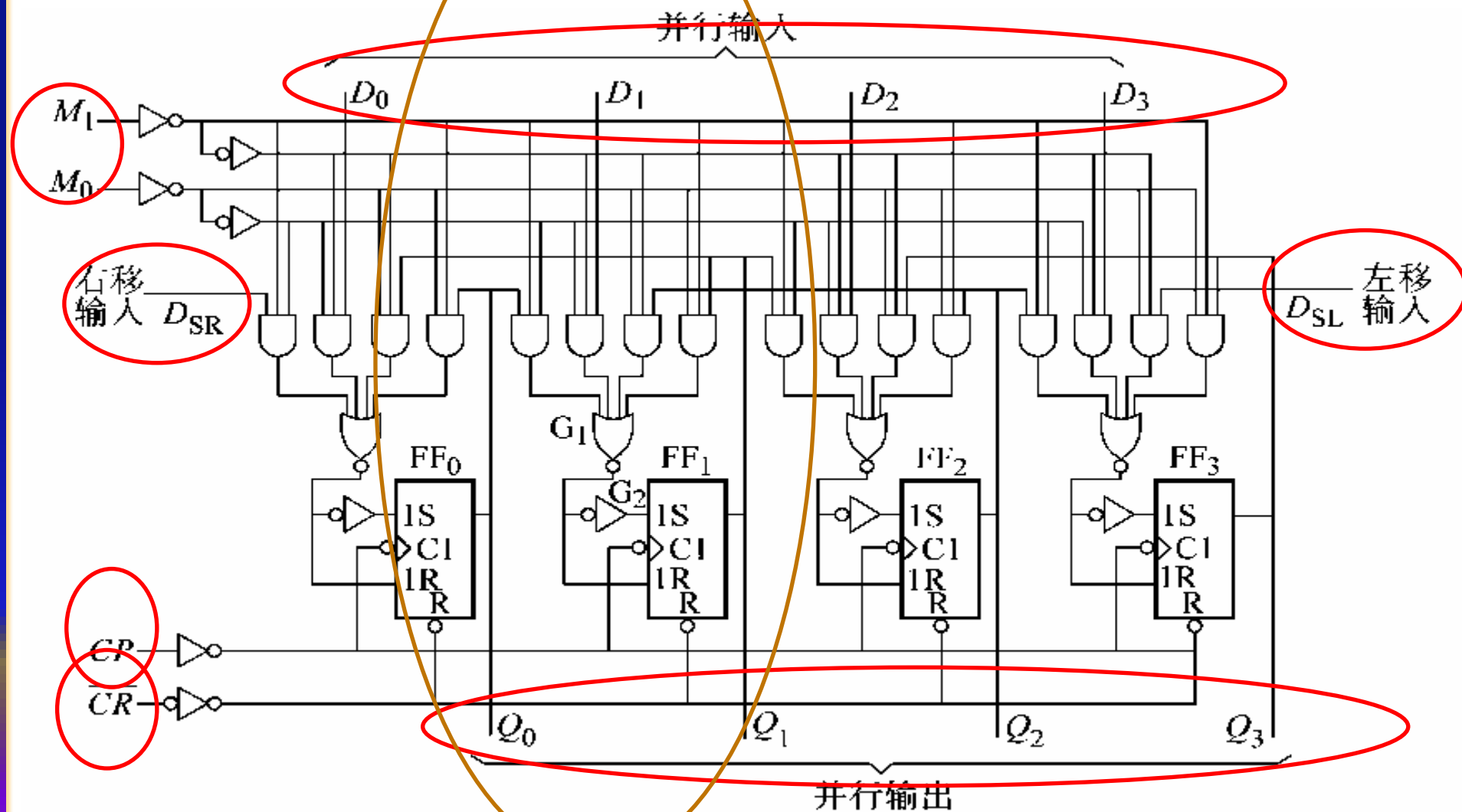
并行送数；

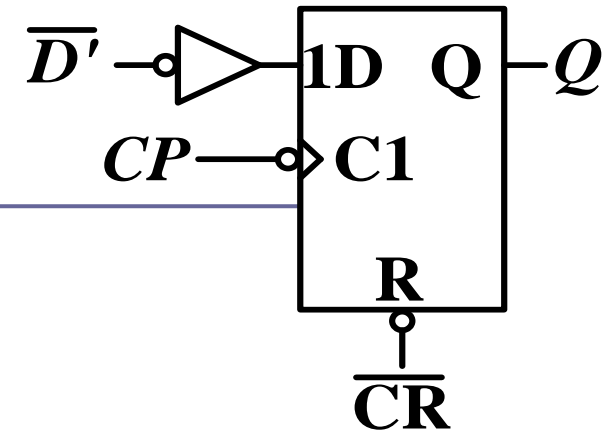
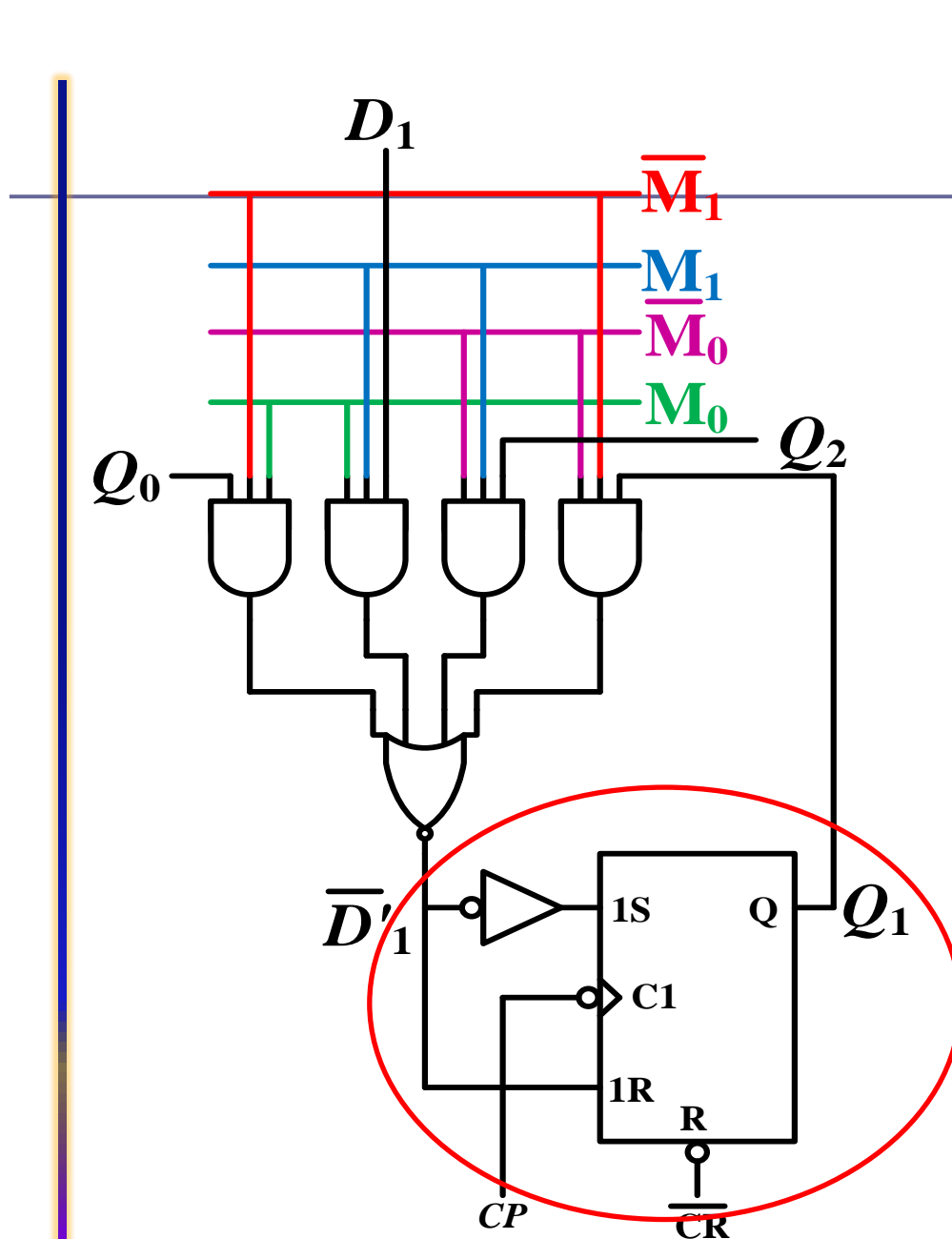
保持；

异步清0



74LS194逻辑图





$$D'_1 = \overline{M}_1 \overline{M}_0 Q_1^n + \overline{M}_1 M_0 Q_0^n + M_1 \overline{M}_0 Q_2^n + M_1 M_0 D_1$$

$$M_1 M_0 = 00 \quad Q_1^{n+1} = Q_1^n$$

$$M_1 M_0 = 01 \quad Q_1^{n+1} = Q_0^n$$

$$M_1 M_0 = 10 \quad Q_1^{n+1} = Q_2^n$$

$$M_1 M_0 = 11 \quad Q_1^{n+1} = D_1$$



74LS194功能表

功 能	输入										输出			
	$\overline{\text{CR}}$	M_1	M_0	CP	D_{SR}	D_{SL}	D_0	D_1	D_2	D_3	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
清零	0	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	0	0	0	0
保持	1	ϕ	ϕ	0	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	Q_0^n	Q_1^n	Q_2^n	Q_3^n
置数	1	1	1	\uparrow	ϕ	ϕ	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3
右移	1	0	1	\uparrow	1	ϕ	ϕ	ϕ	ϕ	ϕ	1	Q_0^n	Q_1^n	Q_2^n
	1	0	1	\uparrow	0	ϕ	ϕ	ϕ	ϕ	ϕ	0	Q_0^n	Q_1^n	Q_2^n
左移	1	1	0	\uparrow	ϕ	1	ϕ	ϕ	ϕ	ϕ	Q_1^n	Q_2^n	Q_3^n	1
	1	1	0	\uparrow	ϕ	0	ϕ	ϕ	ϕ	ϕ	Q_1^n	Q_2^n	Q_3^n	0
保持	1	0	0	\uparrow	ϕ	ϕ	ϕ	ϕ	ϕ	ϕ	Q_0^n	Q_1^n	Q_2^n	Q_3^n



计数器

数字系统中使用最多的时序电路。

功能：

计算输入脉冲CP的个数。

应用：

计数、分频、定时、产生脉冲序列及节拍脉冲，
进行数字运算等。



计数器分类

按计数增减分为

加法计数器

减法计数器

可逆计数器

其他计数器

按动作特点分为

同步计数器

异步计数器



按进制分为



二进制计数器

二-十进制计数器

任意计数器



同步计数器

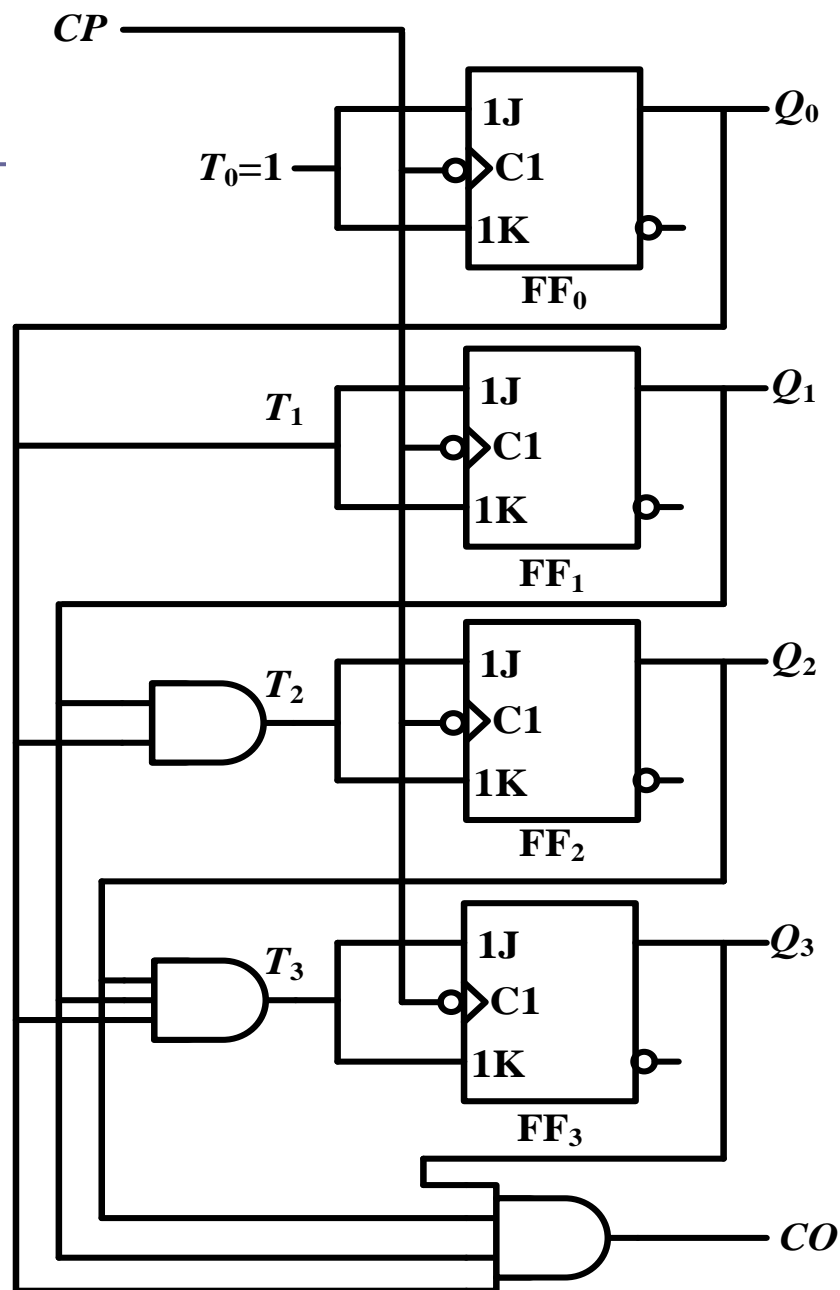
同步二进制加法计数器

特点:

最低位每来一个CP改变一次状态,

第 i 位在第 $0 \sim (i-1)$ 全为1时, 改变状态。





1 写方程

时钟方程

$$CP_0 = CP_1 = CP_2 = CP_3 = CP$$

驱动方程

$$T_0 = 1$$

$$T_1 = Q_0^n$$

$$T_2 = Q_1^n Q_0^n$$

$$T_3 = Q_2^n Q_1^n Q_0^n$$

输出方程

$$CO = Q_3^n Q_2^n Q_1^n Q_0^n$$



2 求状态方程

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0^n \\ T_2 = Q_1^n Q_0^n \\ T_3 = Q_2^n Q_1^n Q_0^n \end{cases}$$

$$Q_0^{n+1} = T_0 \oplus Q_0^n = \overline{Q}_0^n$$

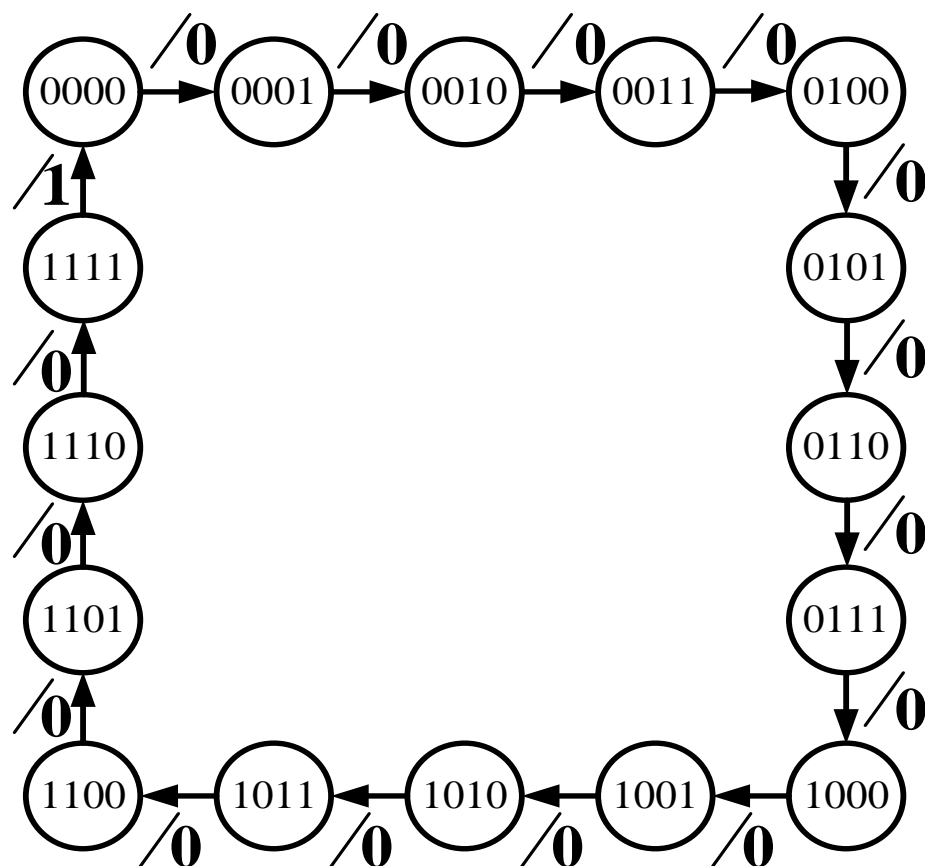
$$Q_1^{n+1} = T_1 \oplus Q_1^n = Q_0^n \oplus Q_1^n$$

$$Q_2^{n+1} = T_2 \oplus Q_2^n = (Q_0^n Q_1^n) \oplus Q_2^n$$

$$Q_3^{n+1} = T_3 \oplus Q_3^n = (Q_2^n Q_1^n Q_0^n) \oplus Q_3^n$$

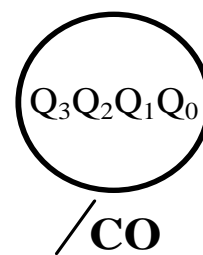


3 画状态转换图



$$\begin{cases} Q_0^{n+1} = \overline{Q_0^n} \\ Q_1^{n+1} = Q_0^n \oplus Q_1^n \\ Q_2^{n+1} = (Q_0^n Q_1^n) \oplus Q_2^n \\ Q_3^{n+1} = (Q_2^n Q_1^n Q_0^n) \oplus Q_3^n \end{cases}$$

4 逻辑功能



带进位输出的同步十六进制（四位二进制）加法计数器。

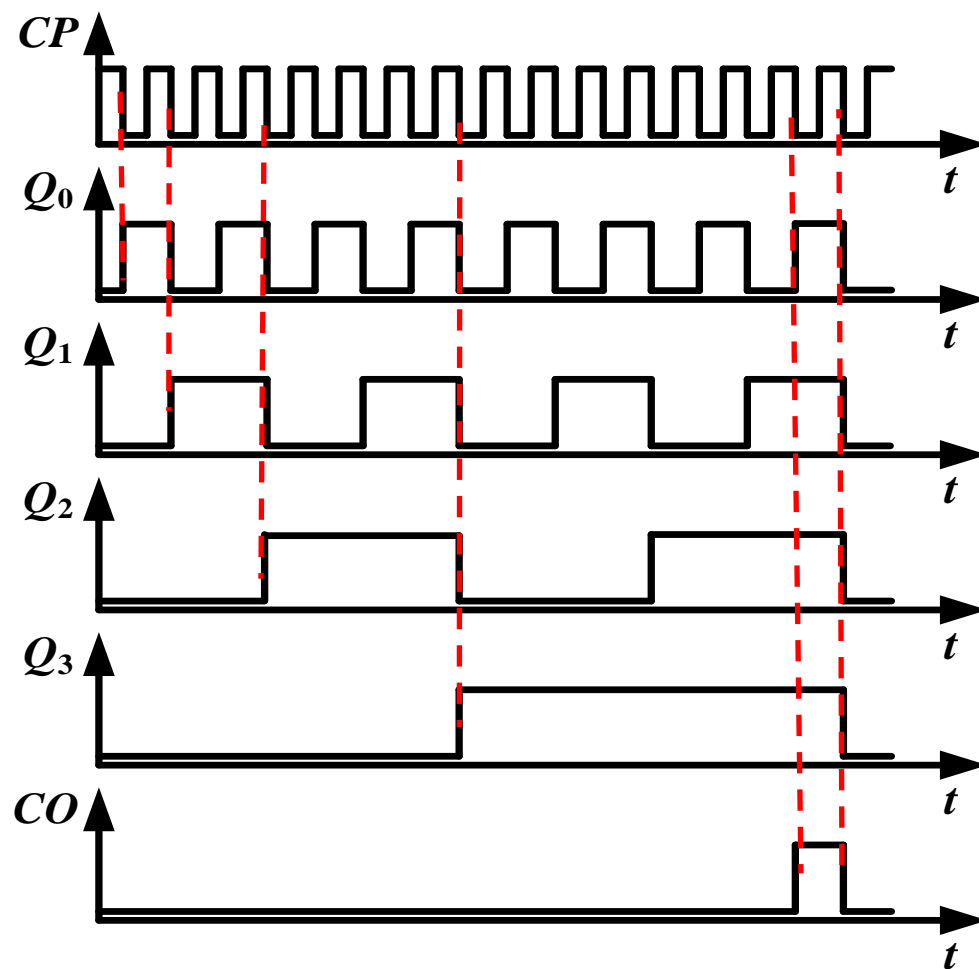


时序图

计数器又称为分频器

由时序图可以看出，CP的频率为 f_0 ，
则 Q_0 、 Q_1 、 Q_2 和 Q_3
输出脉冲的频率依次为

$$\frac{1}{2}f_0, \frac{1}{4}f_0, \frac{1}{8}f_0, \frac{1}{16}f_0$$



小结

若用T触发器构成加法计数器，则第*i*位触发器输入端*T_i*的逻辑式应为：

$$T_0 = 1 \quad T_i = Q_{i-1}Q_{i-2} \cdots Q_1Q_0 = \prod_{j=0}^{i-1} Q_j$$
$$(i = 1, 2, \cdots n-1)$$



驱动方程

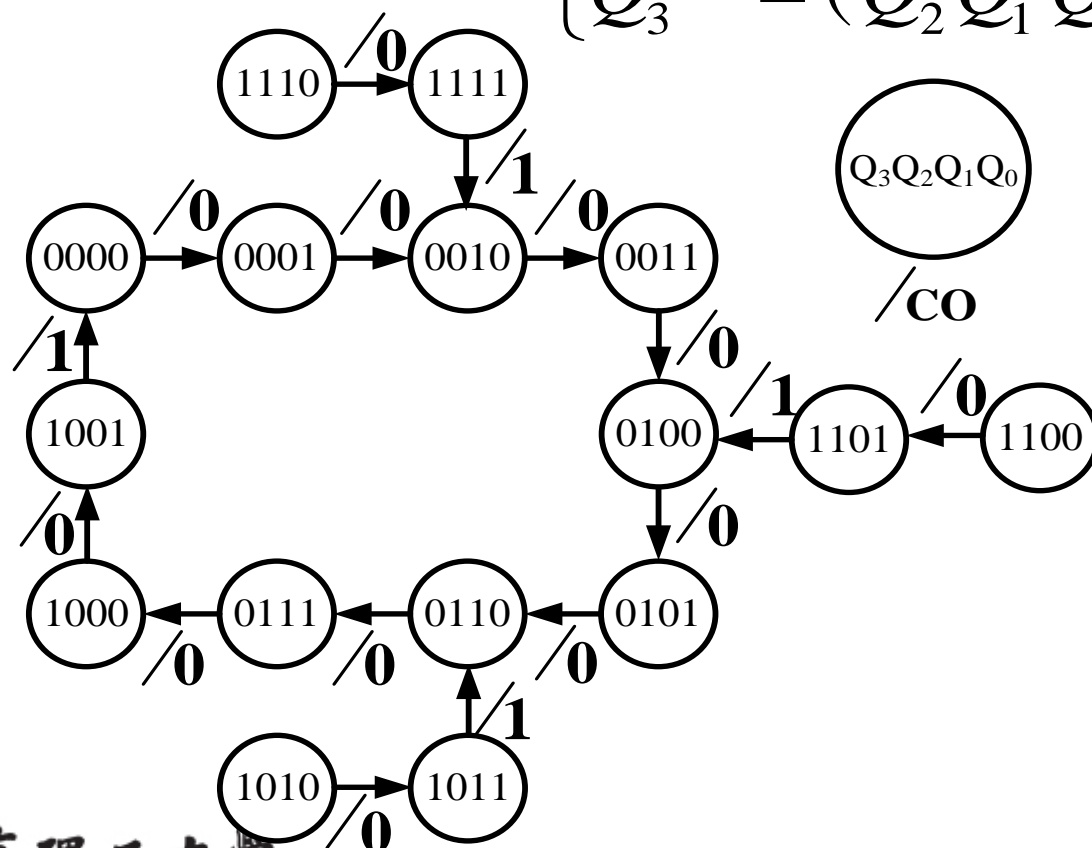
输出方程

$$CO = Q_3^n Q_0^n$$



状态方程

$$\begin{cases} Q_0^{n+1} = \overline{Q_0^n} \\ Q_1^{n+1} = (\overline{Q_3^n} Q_0^n) \oplus Q_1^n \\ Q_2^{n+1} = (Q_1^n Q_0^n) \oplus Q_2^n \\ Q_3^{n+1} = (Q_2^n Q_1^n Q_0^n + Q_3^n Q_0^n) \oplus Q_3^n \end{cases}$$

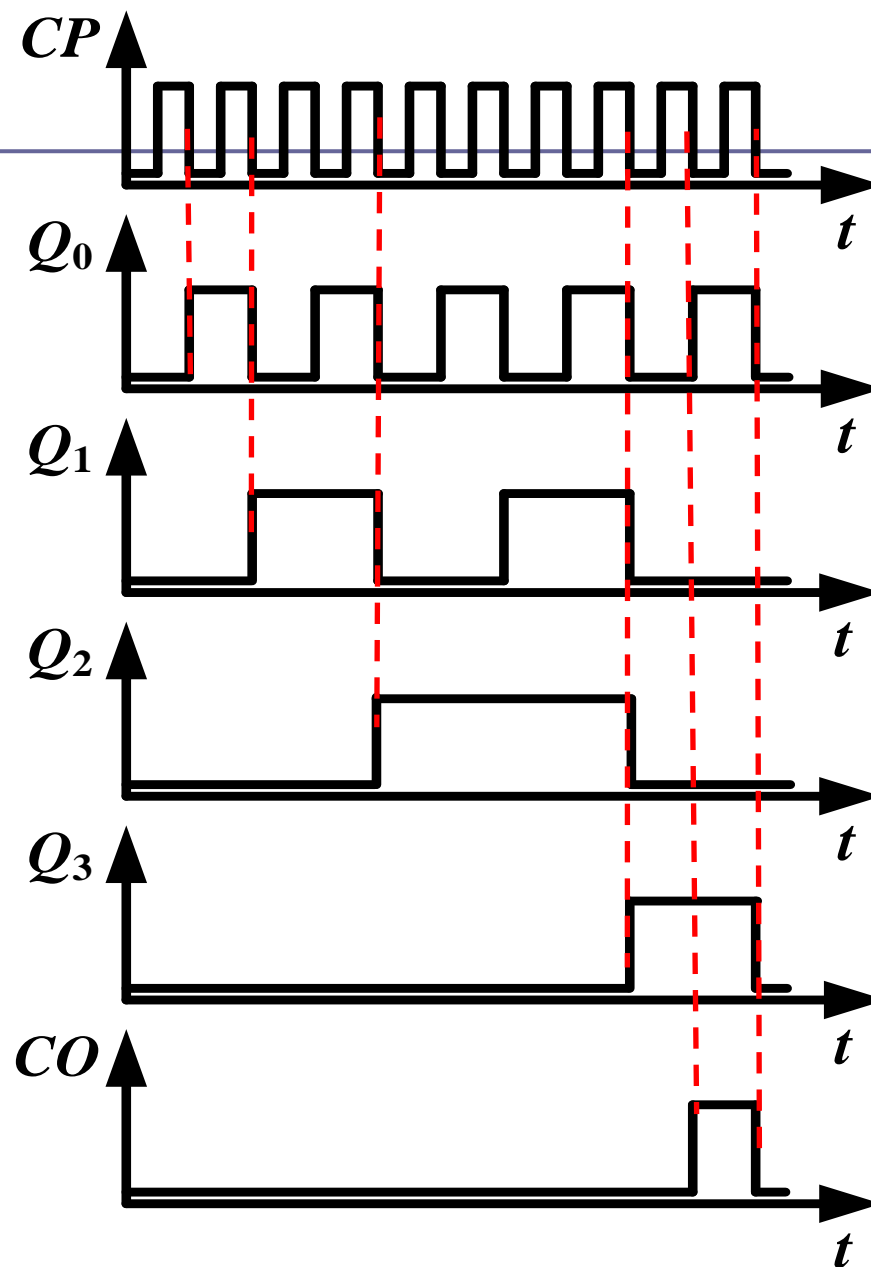


同步十进制

加法计数器



时序图



减法计数器

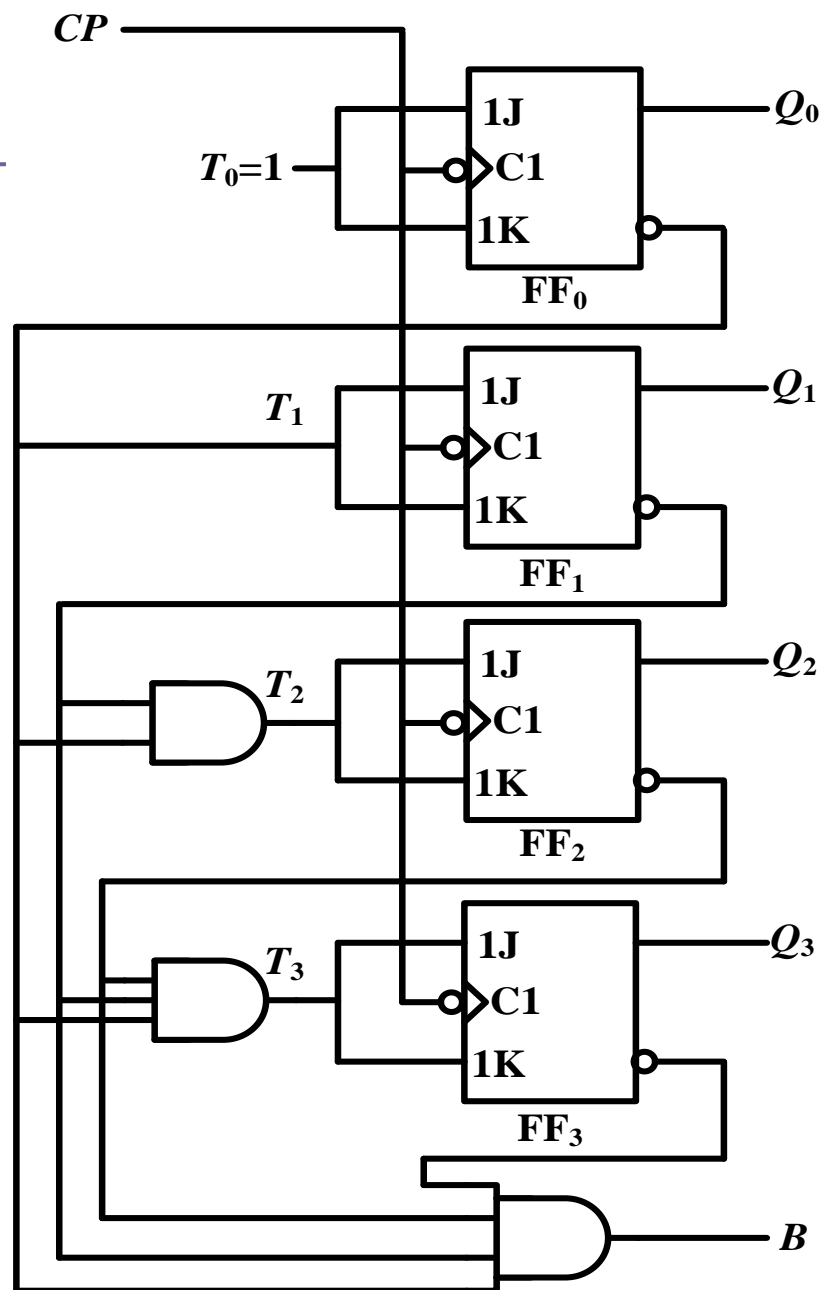
用T触发器实现的二进制减法计数器：

$$T_0 = 1 \quad T_i = \overline{Q_{i-1}} \overline{Q_{i-2}} \cdots \overline{Q_1} \overline{Q_0} = \prod_{j=0}^{i-1} \overline{Q_j}$$
$$(i = 1, 2, \cdots n-1)$$

同步二进制减法计数器

在多位二进制数末位减1，若第i位以下皆为0时，
则第i位应翻转。





同步二进制减法计数器

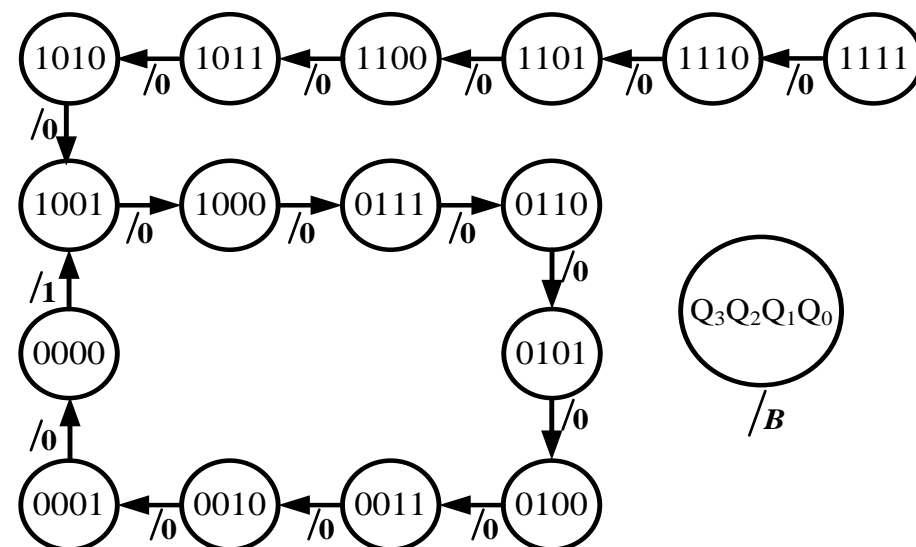


十进制减法计数器

基本原理:

对二进制减法计数器进行修改，在0000时减“1”后跳变为1001，然后按二进制减法计数就行了。





异步计数器

特点:

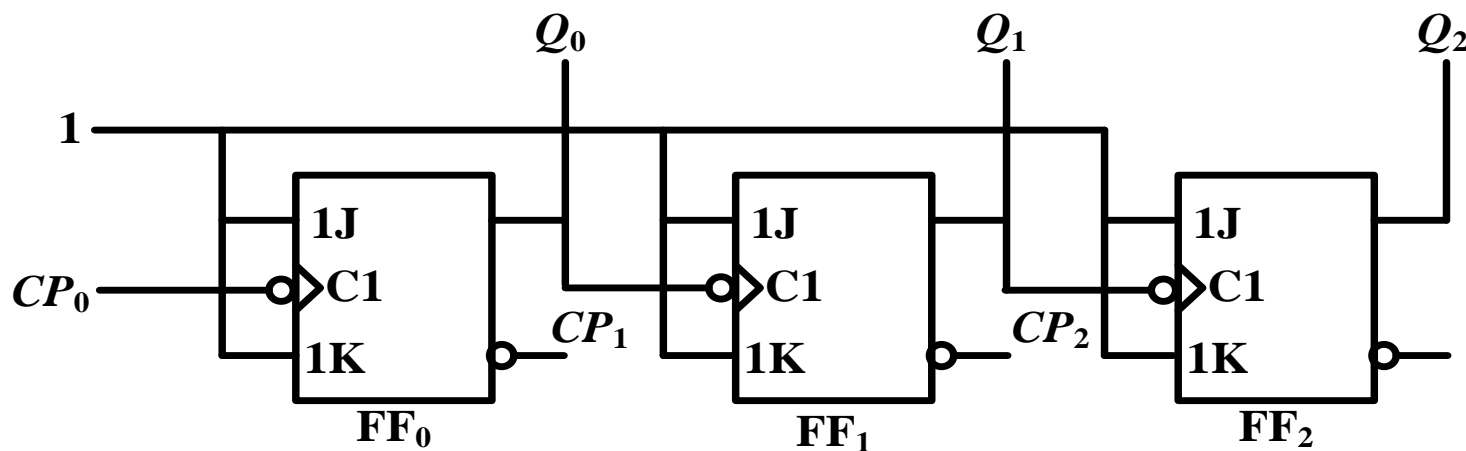
各触发器的CP脉冲不同，触发器状态刷新不同步。

分类:

- (1) 异步二进制计数器
- (2) 异步十进制计数器



异步二进制加法计数器

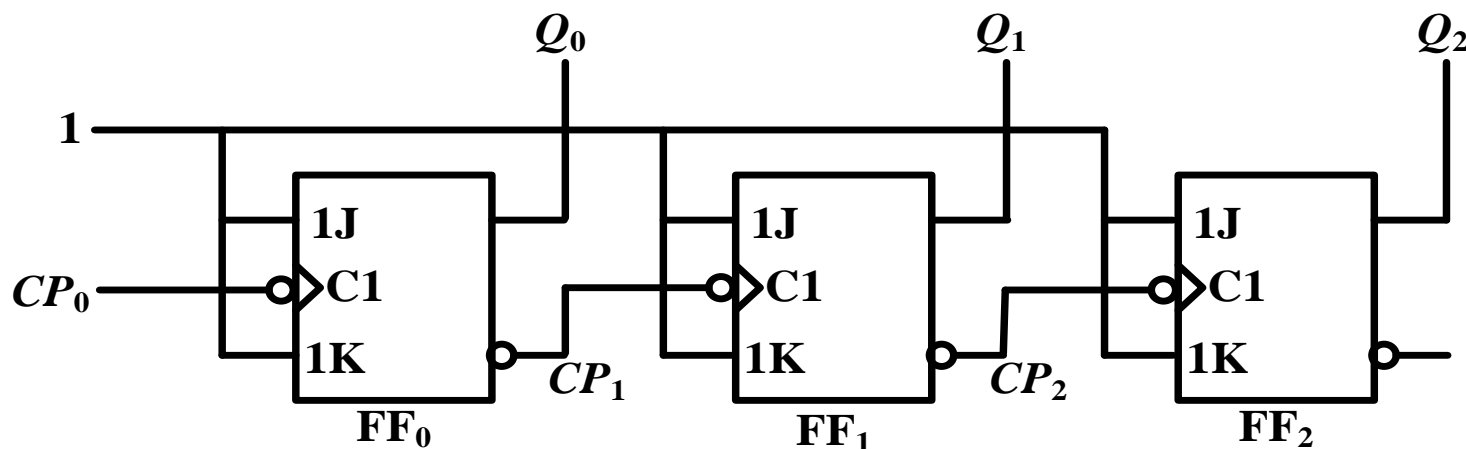


在末位+1时，从低位到高位逐位进位方式工作。

原则：每位从“1”变“0”时，向高位发出进位，使高位翻转。



时序逻辑电路小测验

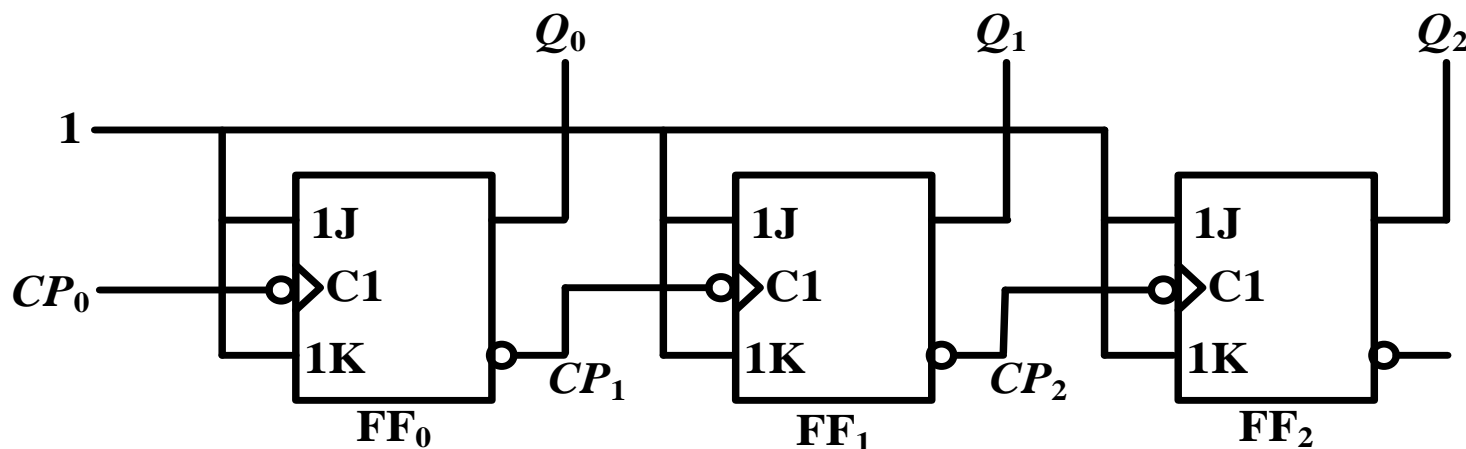


实现的是什么功能？

- 要求：
- 1) 写时钟方程、驱动方向、状态方程；
 - 2) 画出状态转换真值表/状态转换图
 - 3) 描述它的功能



异步二进制减法计数器



在末位-1时，从低位到高位逐位借位方式工作。

原则：每位从“0”变“1”时，向高位发出借位，使高位翻转。



异步二进制计数器如由T' 触发器组成，
其各级触发器的的时钟选择规律为：

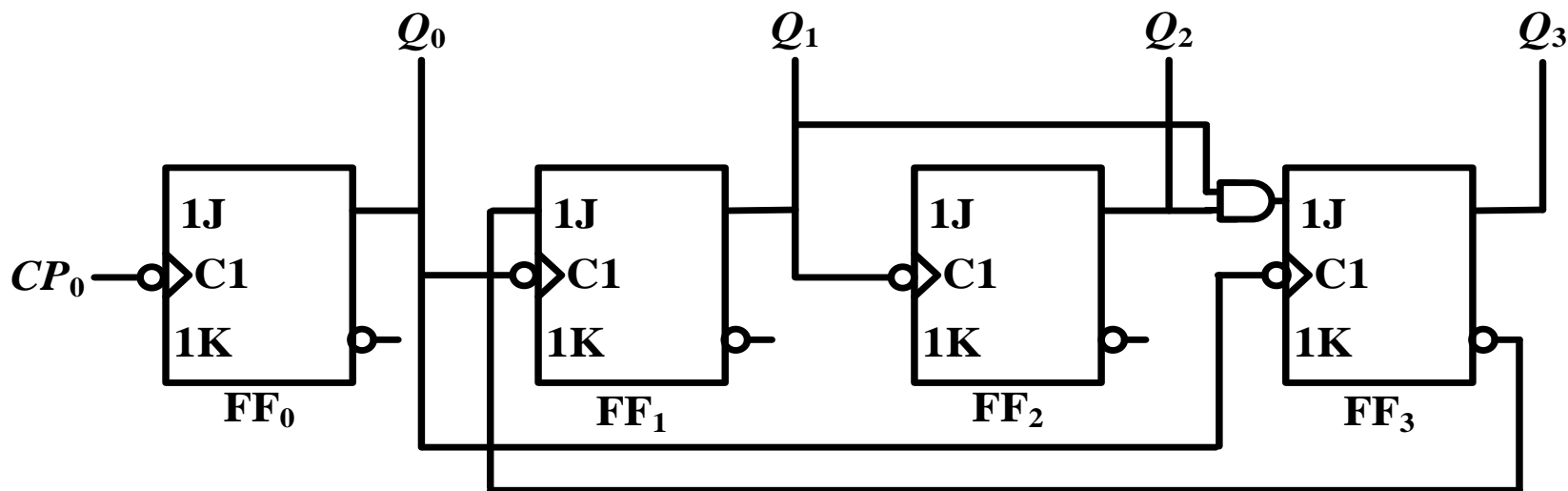
$$CP_0 = CP$$

	↓触发	↑触发
加法	$Q_{i-1} \rightarrow CP_i$	$\bar{Q}_{i-1} \rightarrow CP_i$
减法	$\bar{Q}_{i-1} \rightarrow CP_i$	$Q_{i-1} \rightarrow CP_i$



原理：

在4位二进制异步加法计数器上修改而成，要跳过1010~1111这六个状态。



异步N进制计数器

分析方法与之前介绍方法完全相同。

异步六进制计数器

(自己分析一下)



异步计数器由于触发器逐级翻转，工作速度低；将某些状态译码时，译码器输出端会有竞争冒险产生的尖峰脉冲；但其结构简单，可自启动。

同步计数器工作频率较高，传输延迟短，但结构复杂。



加减可逆计数器

同步十六进制加/减计数器74191

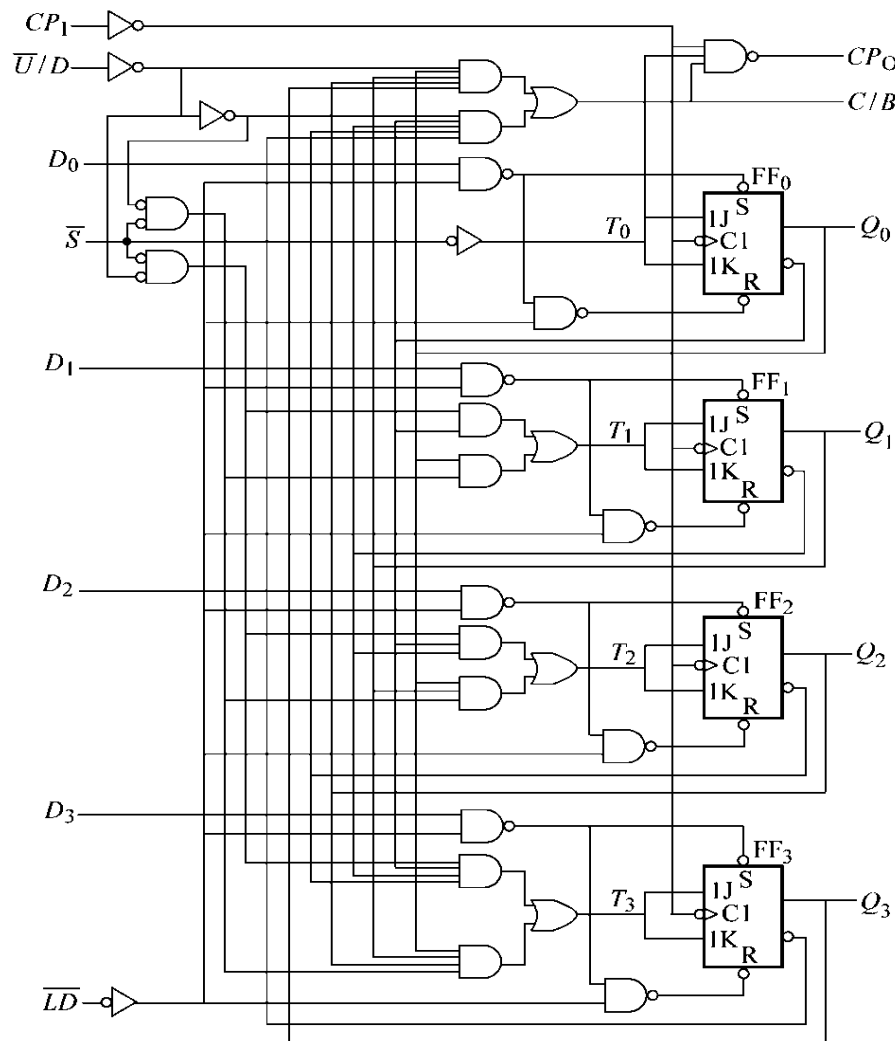
$\overline{U/D}$: 加减控制

0加, 1减。

\overline{S} : 使能控制

0计数, 1保持。

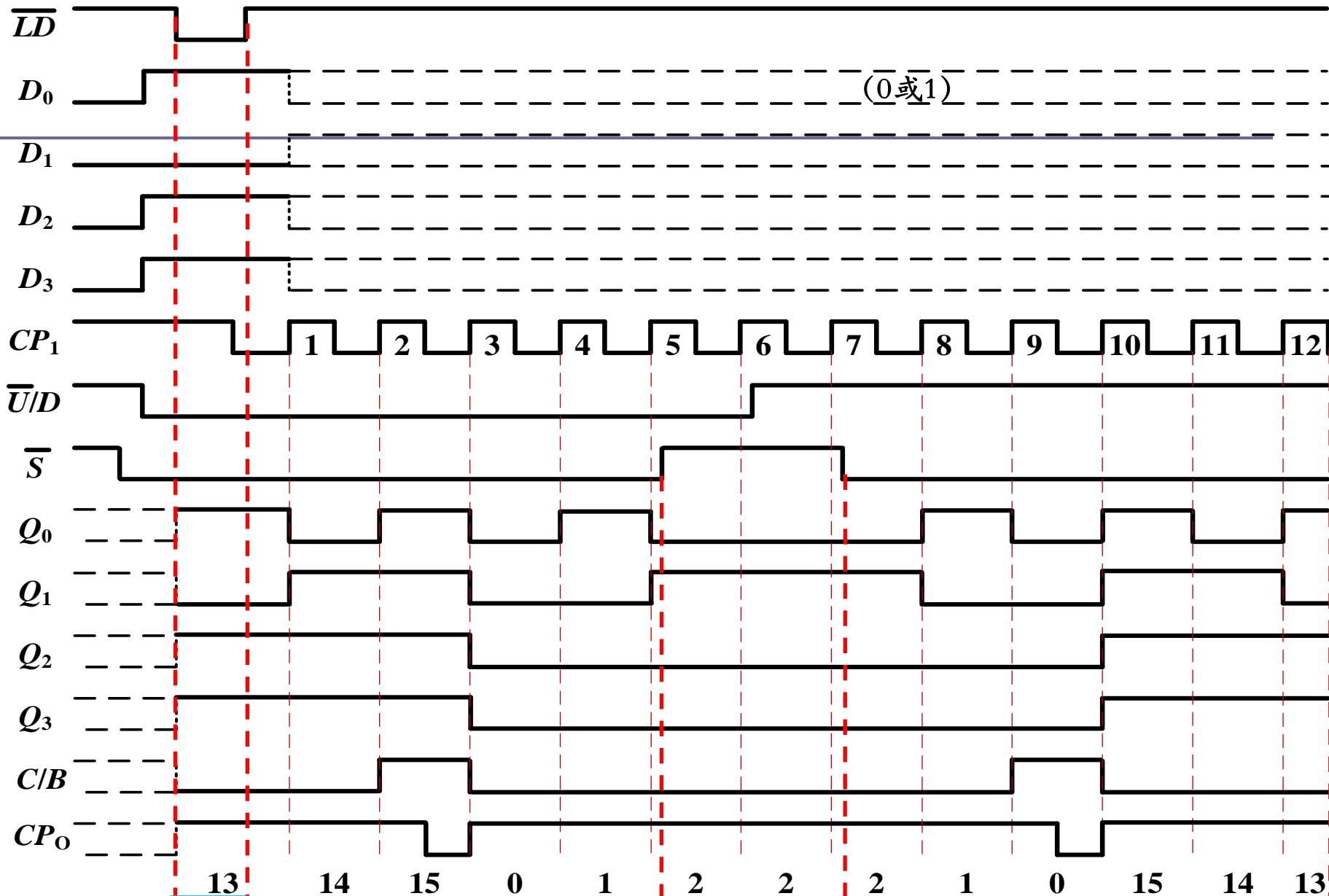
C/B : 进位/借位输出。



74LS191功能表

CP_1	\overline{S}	\overline{LD}	$\overline{U/D}$	工作状态
ϕ	1	1	ϕ	保持
ϕ	ϕ	0	ϕ	预置数
<u>\uparrow</u>	<u>0</u>	1	<u>0</u>	加法计数
\uparrow	<u>0</u>	1	<u>1</u>	减法计数





置数

加法计数

保持

减法计数

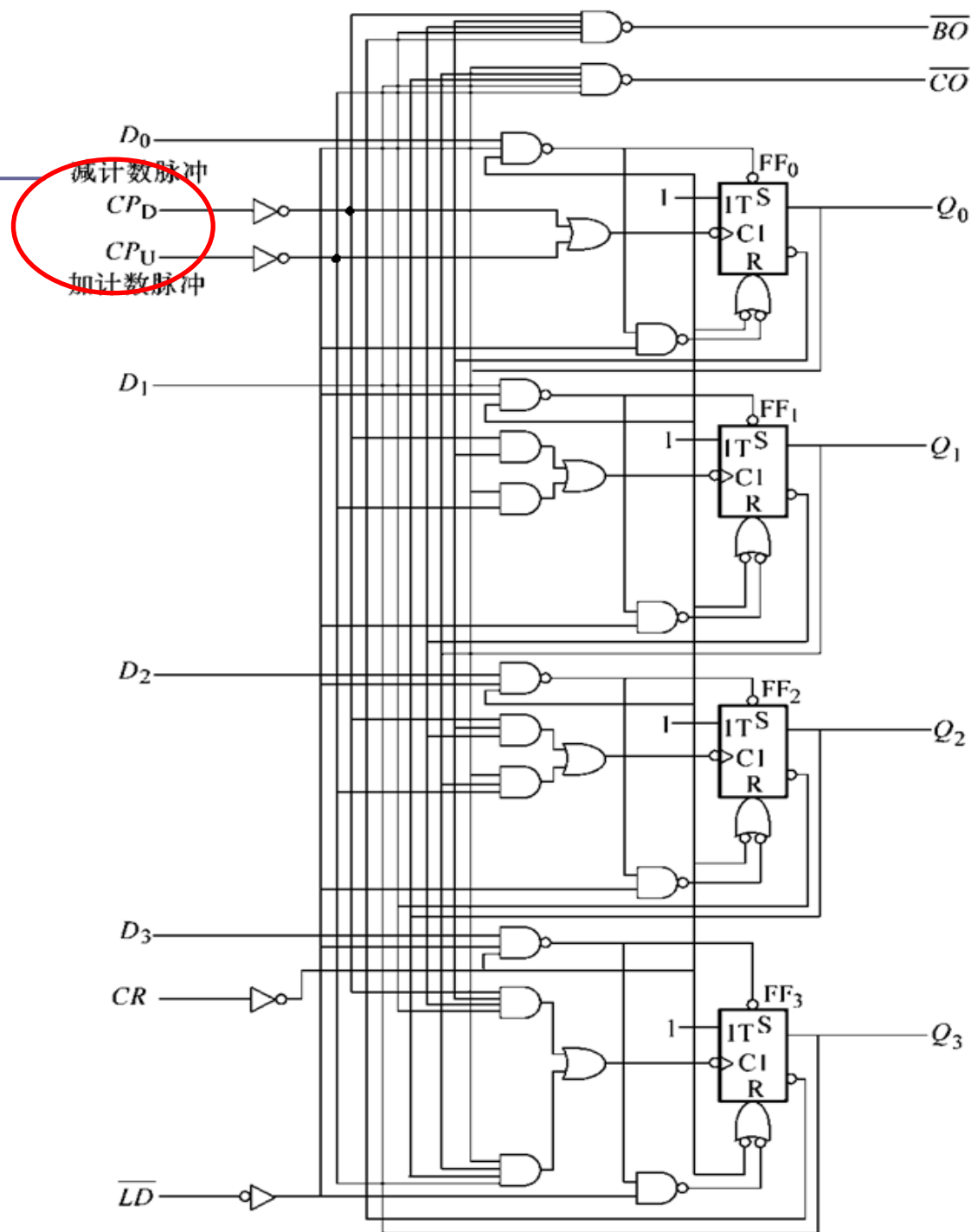


双时钟方式

74LS193

双时钟同步十六
进制加/减计数器

采用T'触发器。



移位计数器

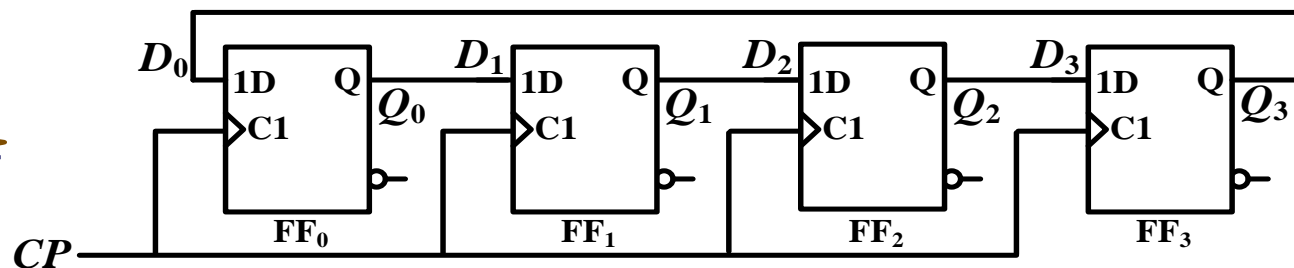
移位计数器是一种特殊形式的计数器。

它是在移位寄存器的基础上增加反馈电路构成的。

常用的移位计数器有环形计数器和扭环形计数器。



环形计数器

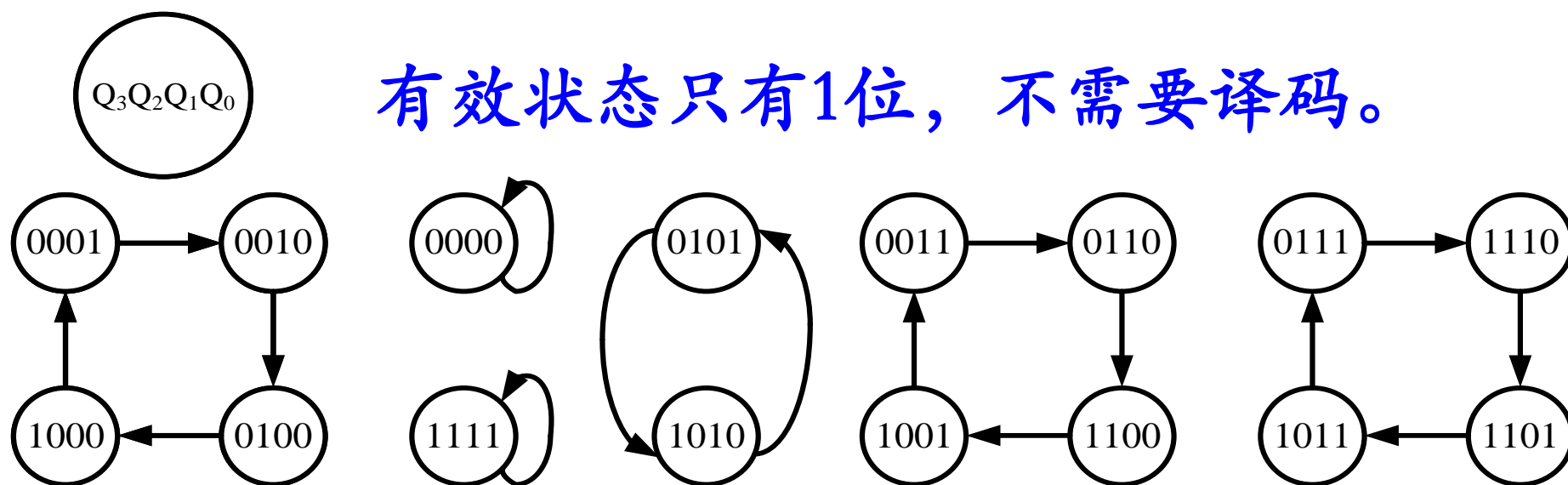


原理：直观法分析

不能自启动。

用电路的不同状态表示CP的数目。

有效状态只有1位，不需要译码。



有效循环

无效循环



解决自启动的方法

方法1:

修改输出与输入之间的反馈逻辑，使电路具有自启动能力。

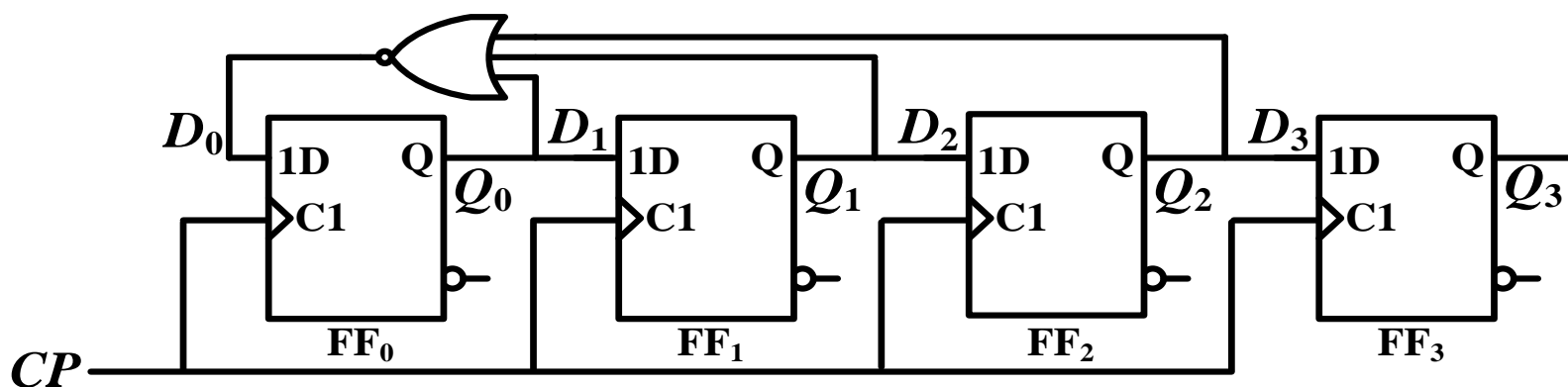
方法2:

当电路进入无效状态时，利用触发器的异步置位、复位端，把电路置成有效状态。

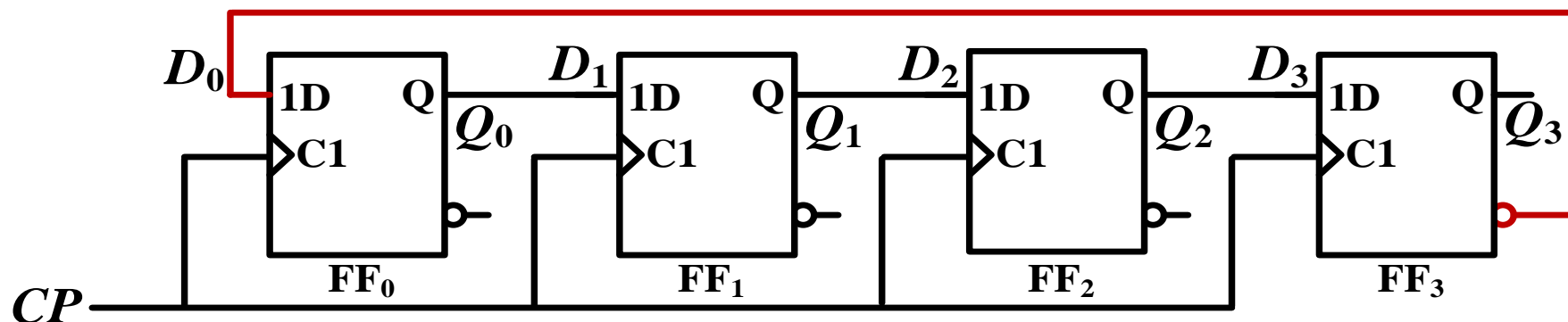


能自启动的环形计数器

修改反馈逻辑 令 $D_0 = \overline{Q_0 + Q_1 + Q_2}$



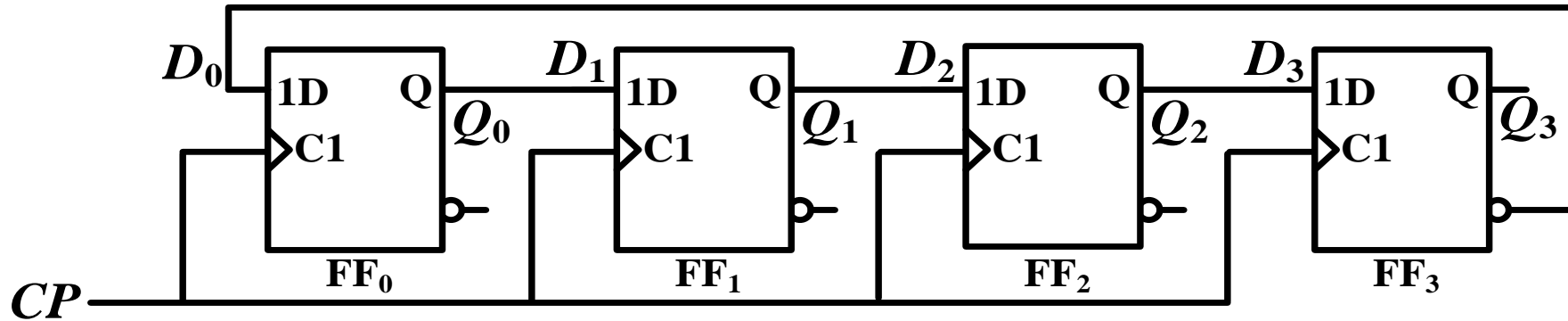
扭环形计数器



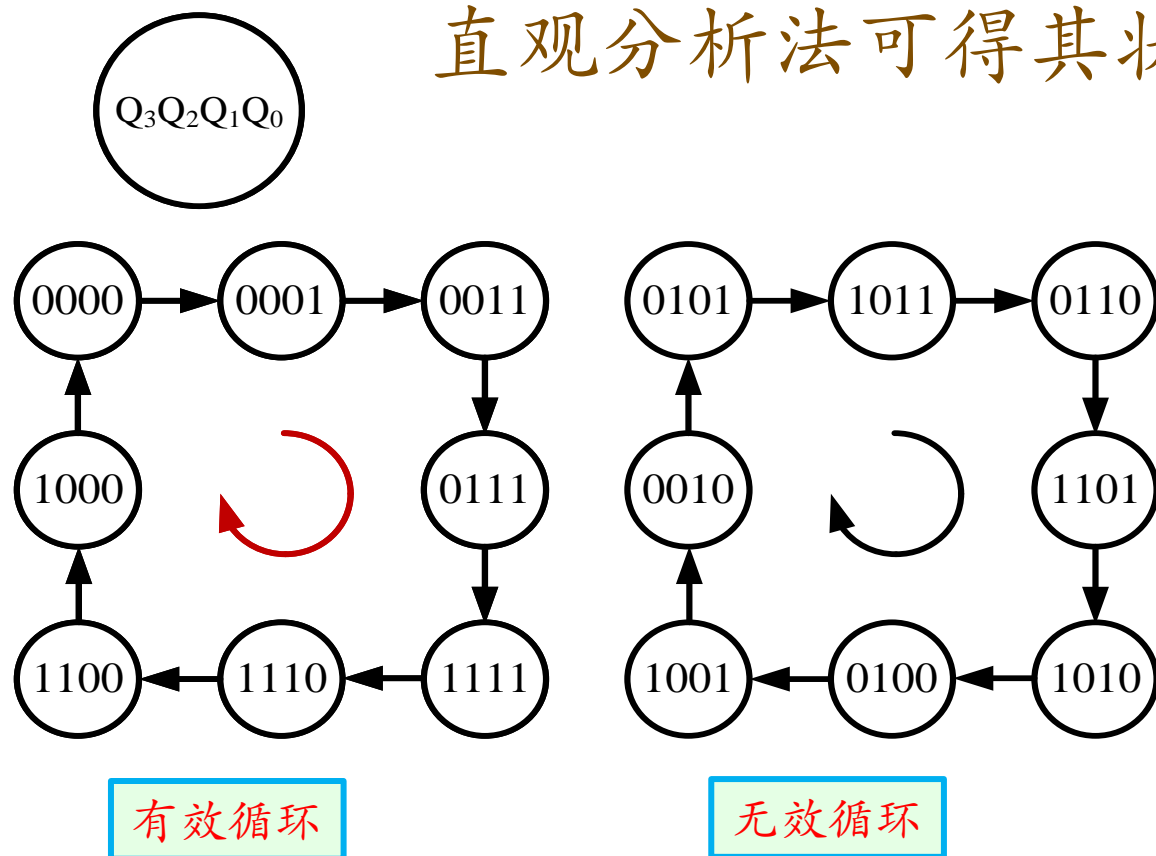
将末级的反相输出端反馈到第一级的输入端。

一方面保持移位寄存器的特点，另一方面又能提高触发器的利用率。





直观分析法可得其状态转换图



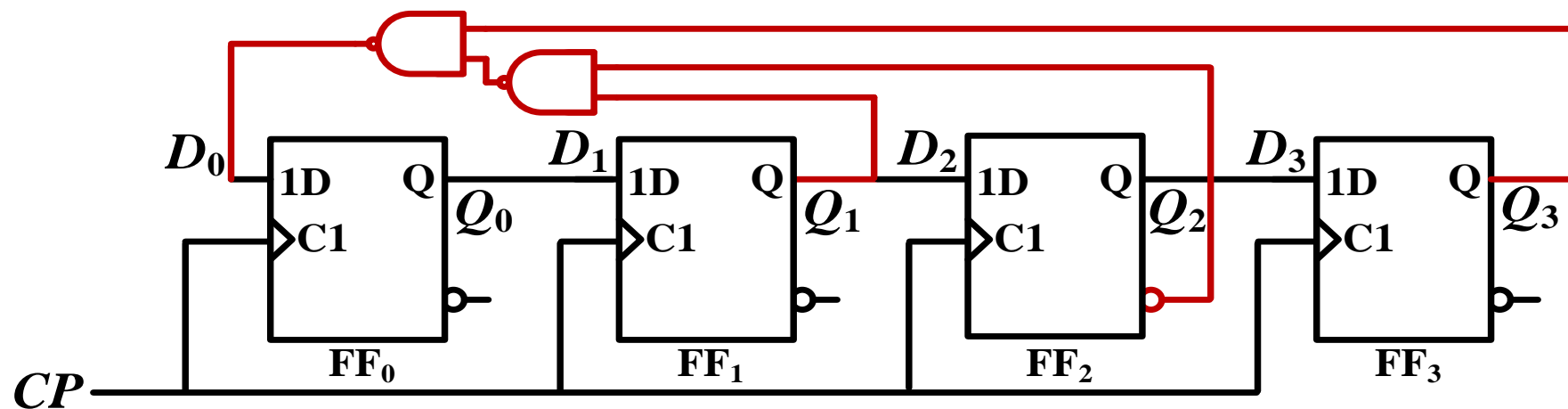
不改变移位寄存器的内部结构，提高电路状态的利用率。

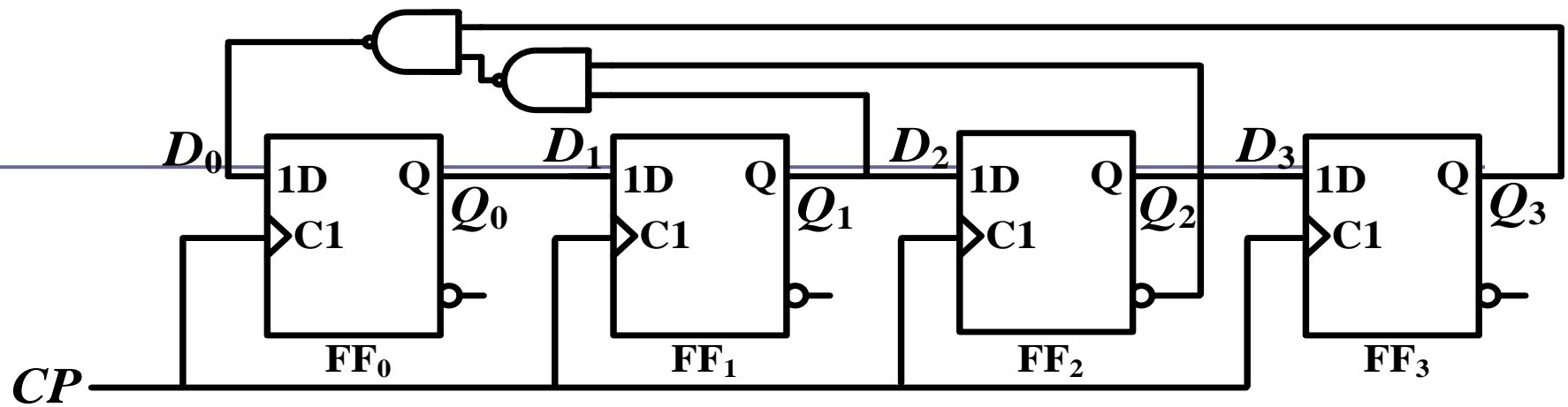
不能自启动。



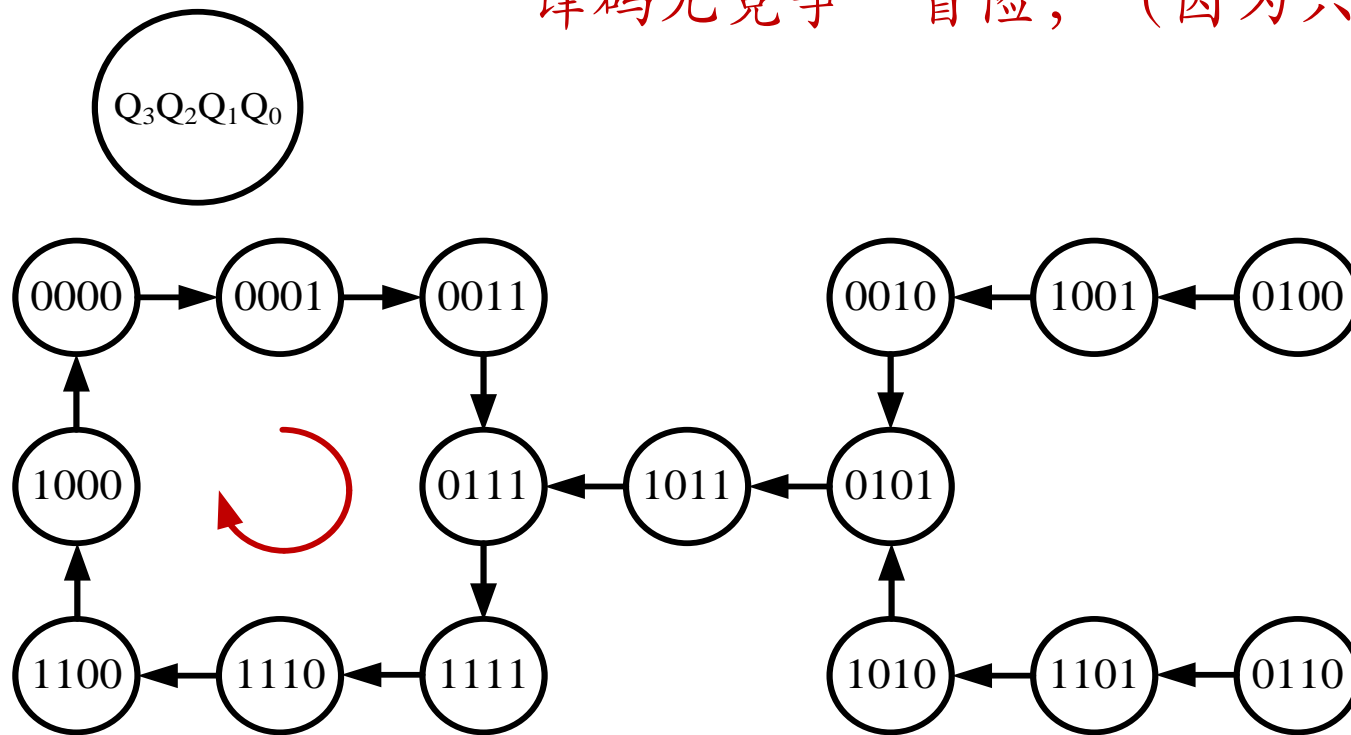
能自启动的扭环形计数器

修改反馈逻辑 令 $D_0 = \overline{\overline{Q_1} \overline{Q_2} \cdot Q_3} = Q_1 \cdot \overline{Q_2} + \overline{Q_3}$





n 个触发器有 $2n$ 个有效状态，利用率提高一倍。
译码无竞争—冒险，（因为只有一位变化）。



常用中规模集成计数器

同步十进制加法计数器74160

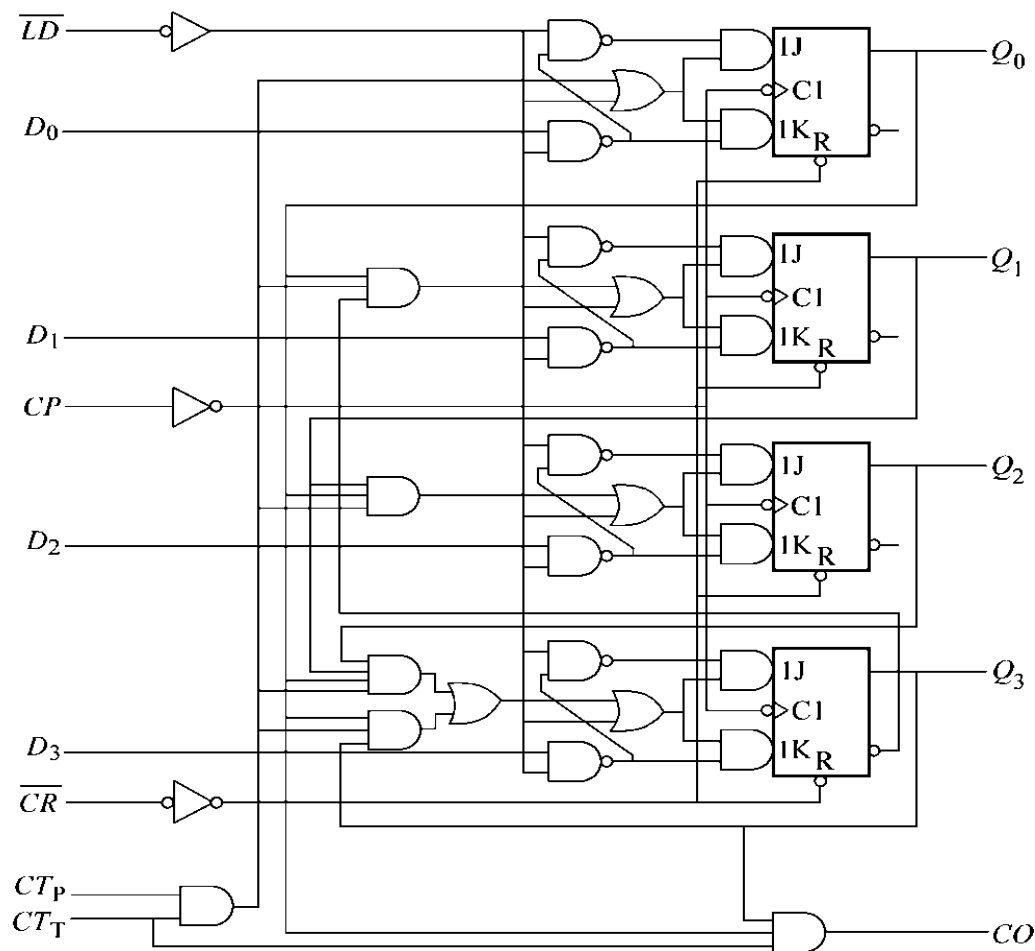
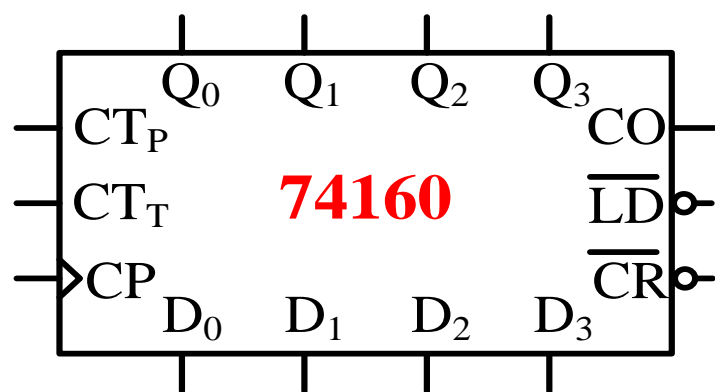
同步四位二进制加法计数器74161

异步二-五-十进制加法计数器74290

同步四位二进制加减法计数器CC4516



同步十进制计数器74160



a)



要求根据功能表，看出电路的逻辑功能、功能端的有效电平、异步/同步作用端。

74160 功能表

CP	$\overline{\text{CR}}$	$\overline{\text{LD}}$	CT_P	CT_T	工作状态
ϕ	0	ϕ	ϕ	ϕ	异步清零
\uparrow	1	0	ϕ	ϕ	同步预置
ϕ	1	1	0	1	保持
ϕ	1	1	ϕ	0	保持 (CO=0)
\uparrow	1	1	1	1	计数

$$\text{CO} = \text{CT}_T q_3 q_0$$



计数控制端
高电平有效

状态输出端

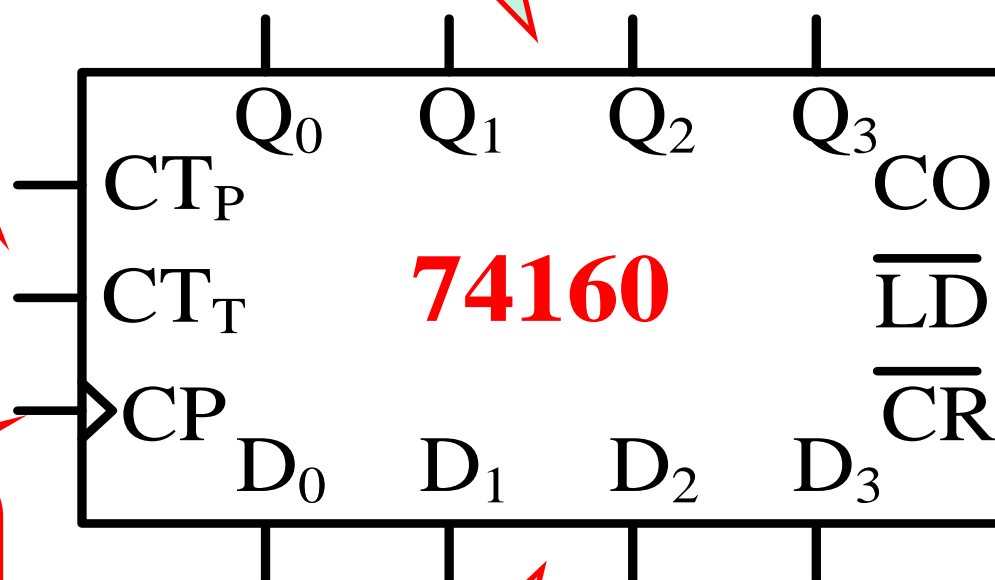
进位输出端

预置端
低电平有效

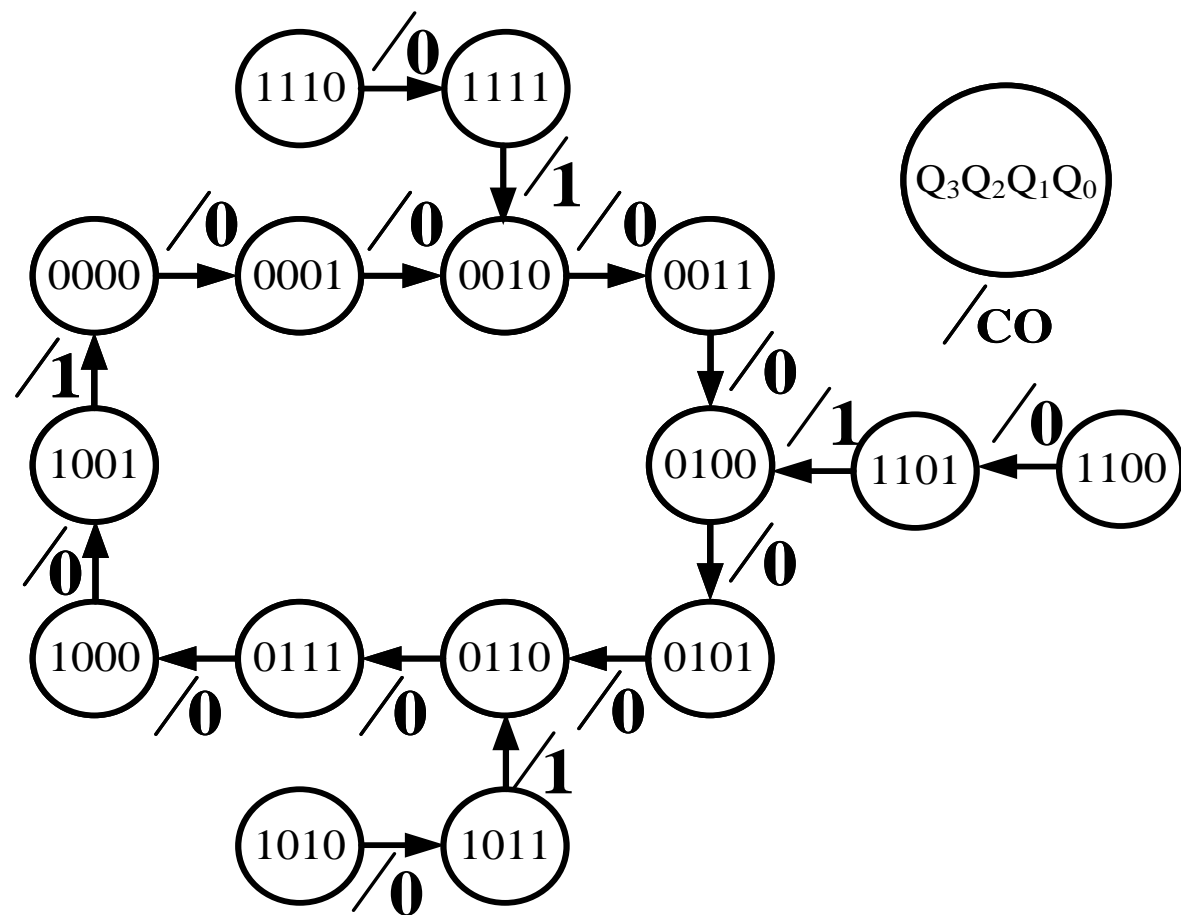
清零端
低电平有效

计数脉冲上升沿计数

预置数输入端

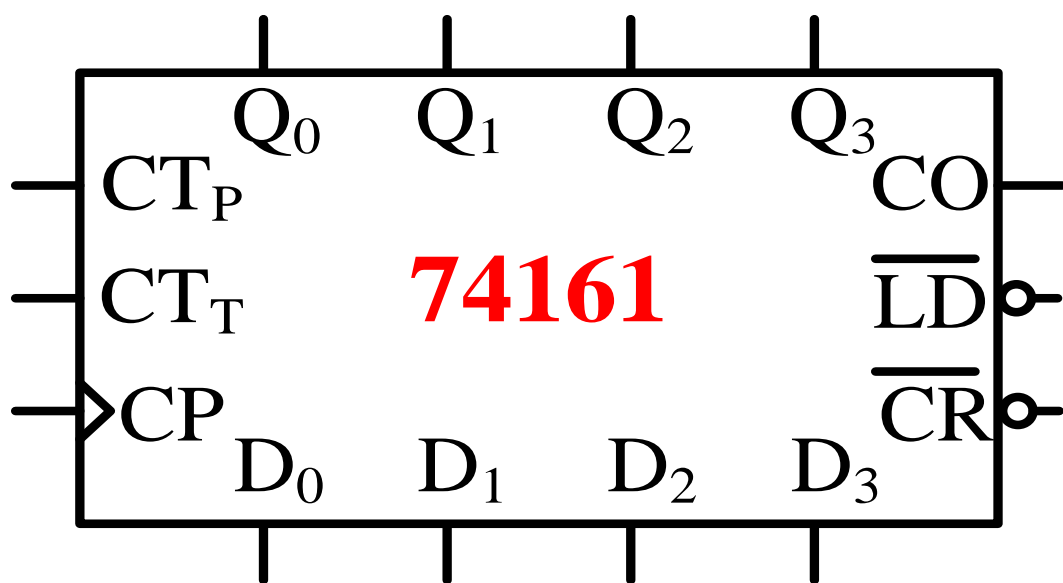


74160 状态转换图



同步四位二进制计数器74161

74161（16进制）除了进制与74160（10进制）不同之外，其他功能与74160相同。



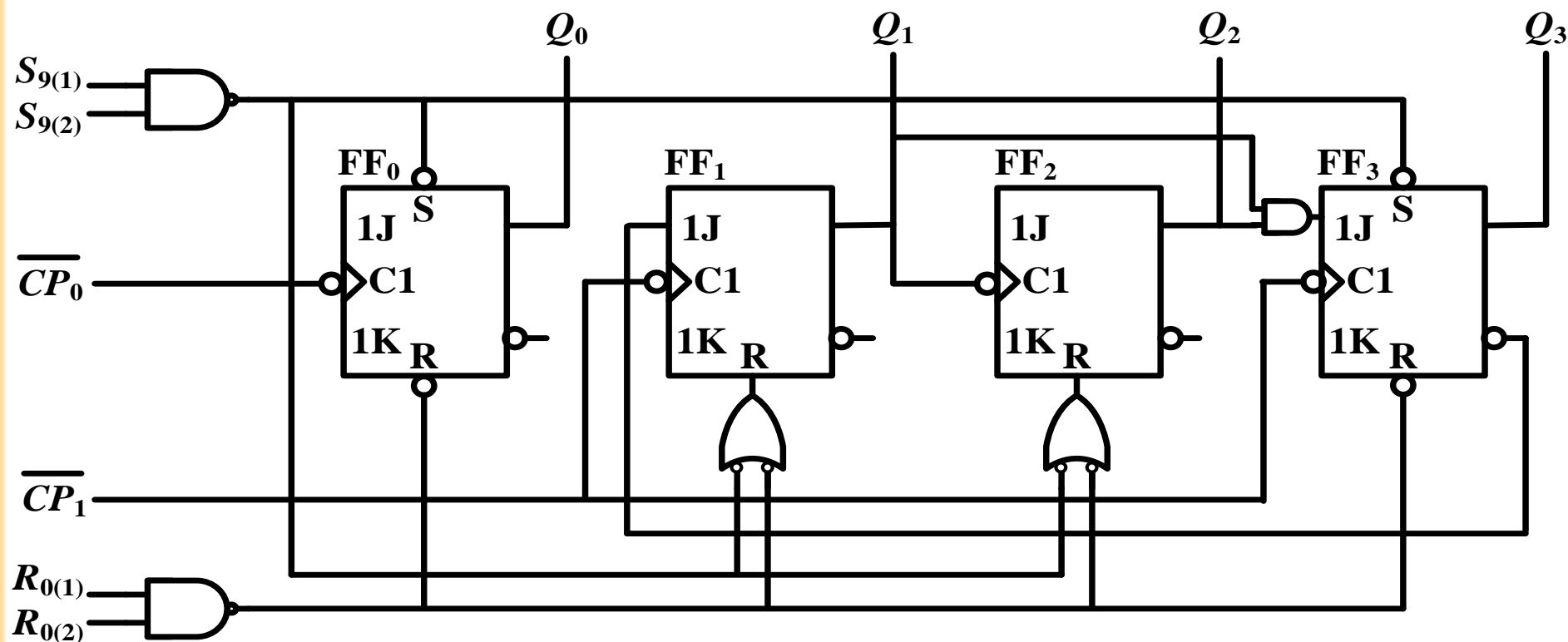
74161 功能表

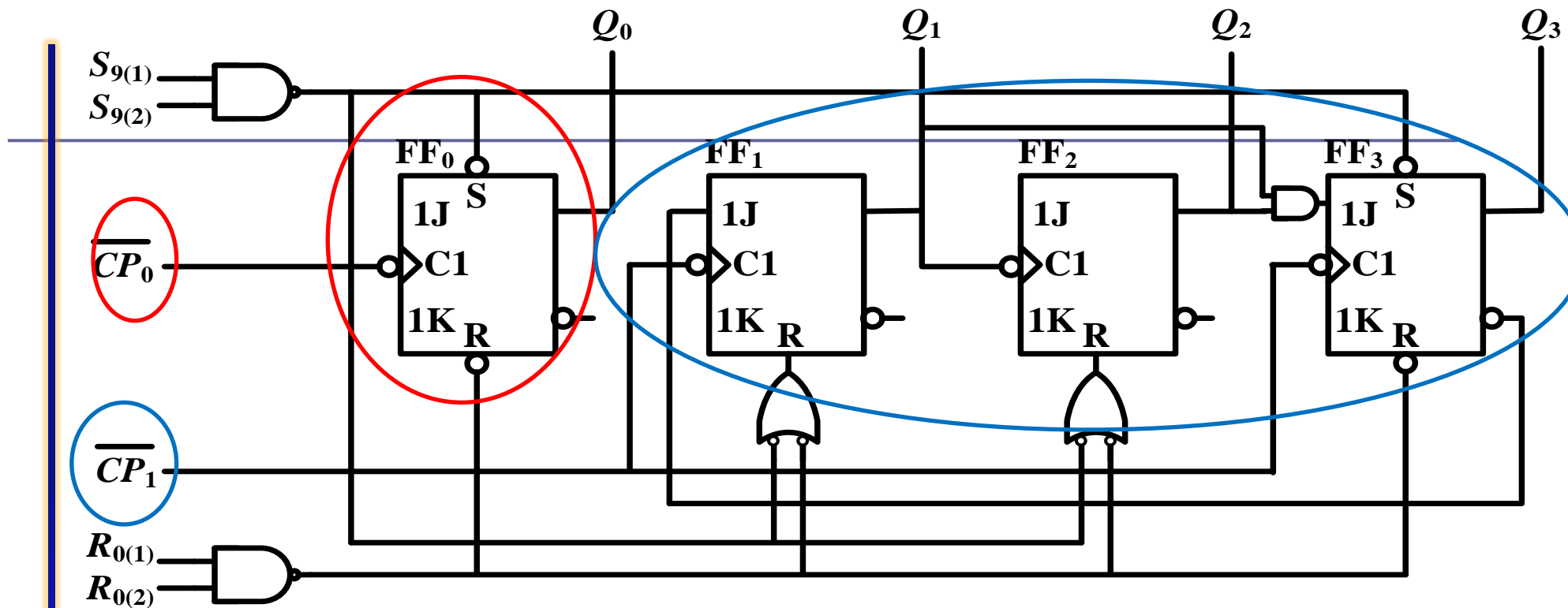
CP	$\overline{\text{CR}}$	$\overline{\text{LD}}$	CT_P	CT_T	工作状态
ϕ	0	ϕ	ϕ	ϕ	异步清零
\uparrow	1	0	ϕ	ϕ	同步预置
ϕ	1	1	0	1	保持
ϕ	1	1	ϕ	0	保持 (CO=0)
\uparrow	1	1	1	1	计数

16进制



异步二-五-十进制加法计数器74290



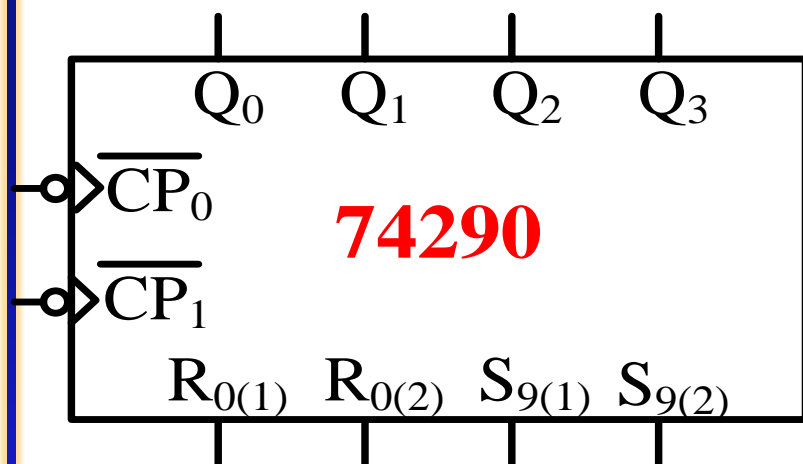


FF_0 构成二进制计数器

FF_1 、 FF_2 、 FF_3 构成五进制计数器



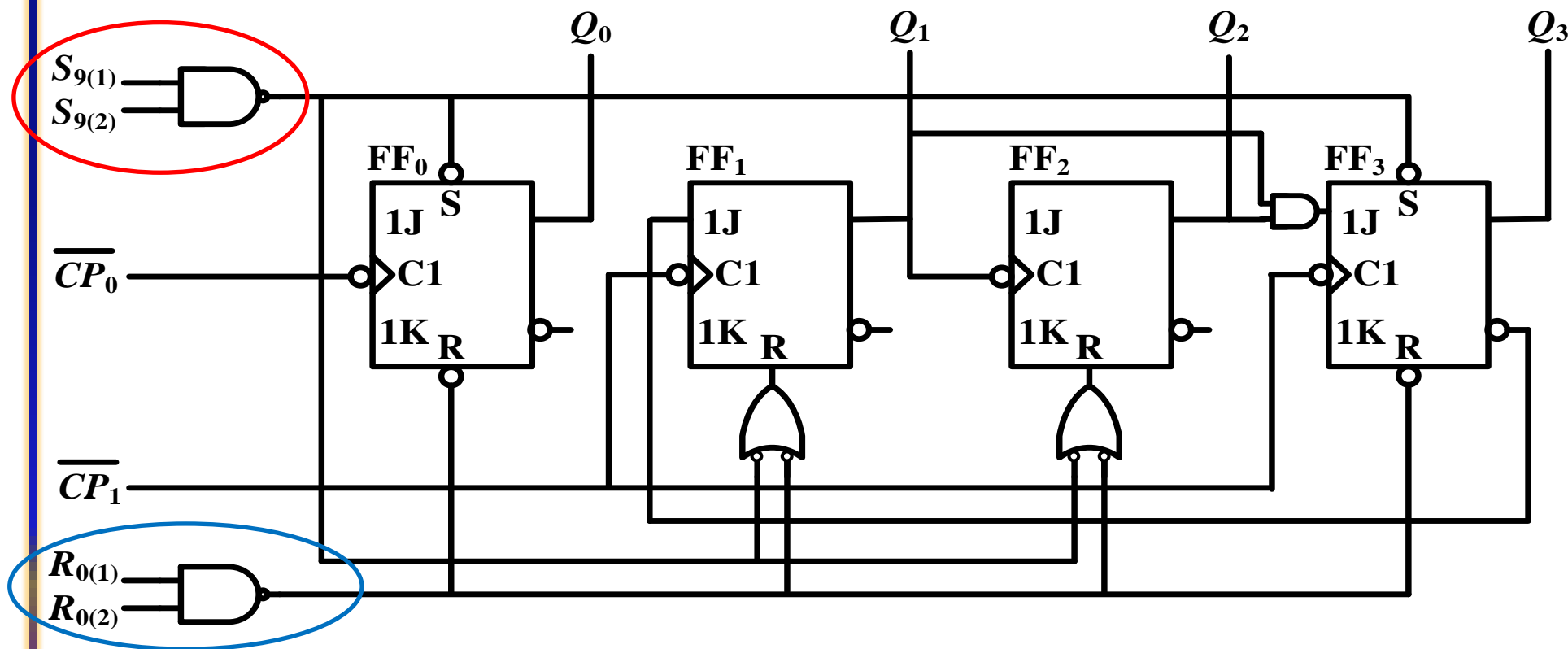
74290功能表

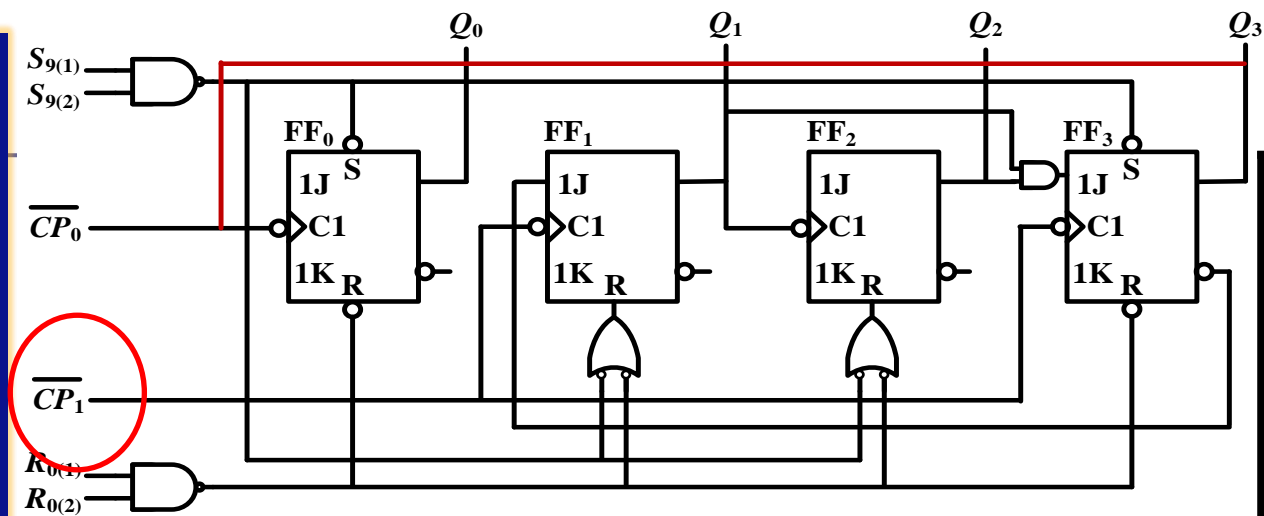


$R_{0(1)}$	$R_{0(2)}$	$S_{9(1)}$	$S_{9(2)}$	Q_3	Q_2	Q_1	Q_0
1	1	0	ϕ	0	0	0	0
1	1	ϕ	0	0	0	0	0
0	ϕ	1	1	1	0	0	1
ϕ	0	1	1	1	0	0	1
ϕ	0	ϕ	0	计数			
0	ϕ	0	ϕ				
0	ϕ	ϕ	0				
ϕ	0	0	ϕ				



具有异步置9与异步清0的功能。





Q_3 与 CP_0 相连

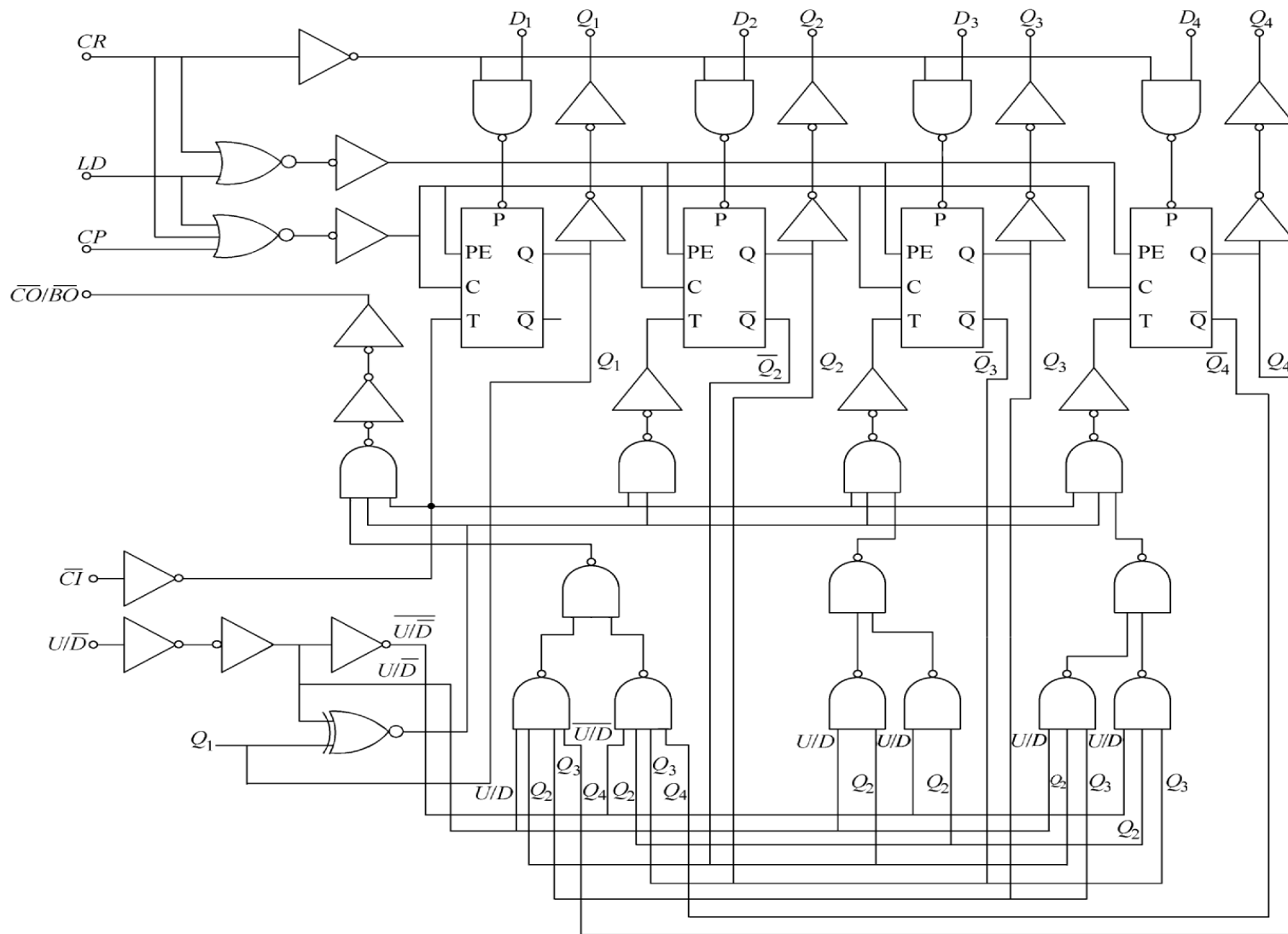
5421码十进制计数器

$Q_0Q_3Q_2Q_1$

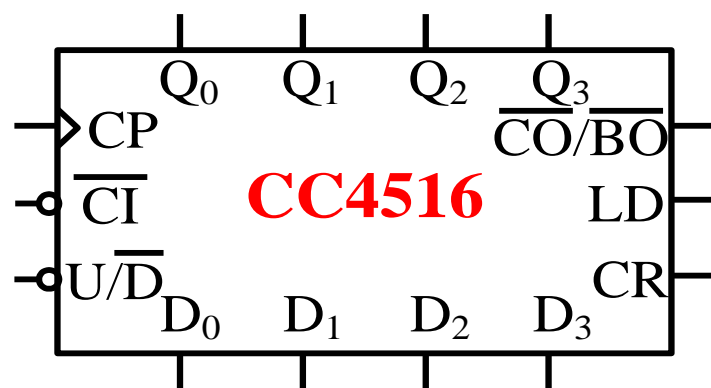
CP	Q_0	Q_3	Q_2	Q_1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	1	0	0	0
6	1	0	0	1
7	1	0	1	0
8	1	0	1	1
9	1	1	0	0
10	0	0	0	0



同步四位二进制加减法计数器CC4516



CC4516功能表



CP	CR	LD	$\overline{\text{CI}}$	$\text{U}/\overline{\text{D}}$	工作状态
ϕ	1	ϕ	ϕ	ϕ	异步置0
ϕ	0	1	ϕ	ϕ	异步置数
ϕ	0	0	1	ϕ	保持
\uparrow	0	0	0	1	加计数
\uparrow	0	0	0	0	减计数



任意进制计数器的设计

任意进制计数器的构成方法

为降低成本，计数器的定型产品须有足够的批量，常见的定型产品有：十进制、十六进制（4位二进制）、7位二进制、12位二进制、14位二进制等。

若需其它进制计数器，可在此基础上进行设计。



若已有N进制计数器芯片，需M进制计数器，分两种情况：

$M < N$: 用一片N进制计数器即可。

$M > N$: 视情况需用多片N进制计数器。



M<N的情况

用一片N进制计数器实现N以内任意进制计数器，
想办法跳过N-M个状态。

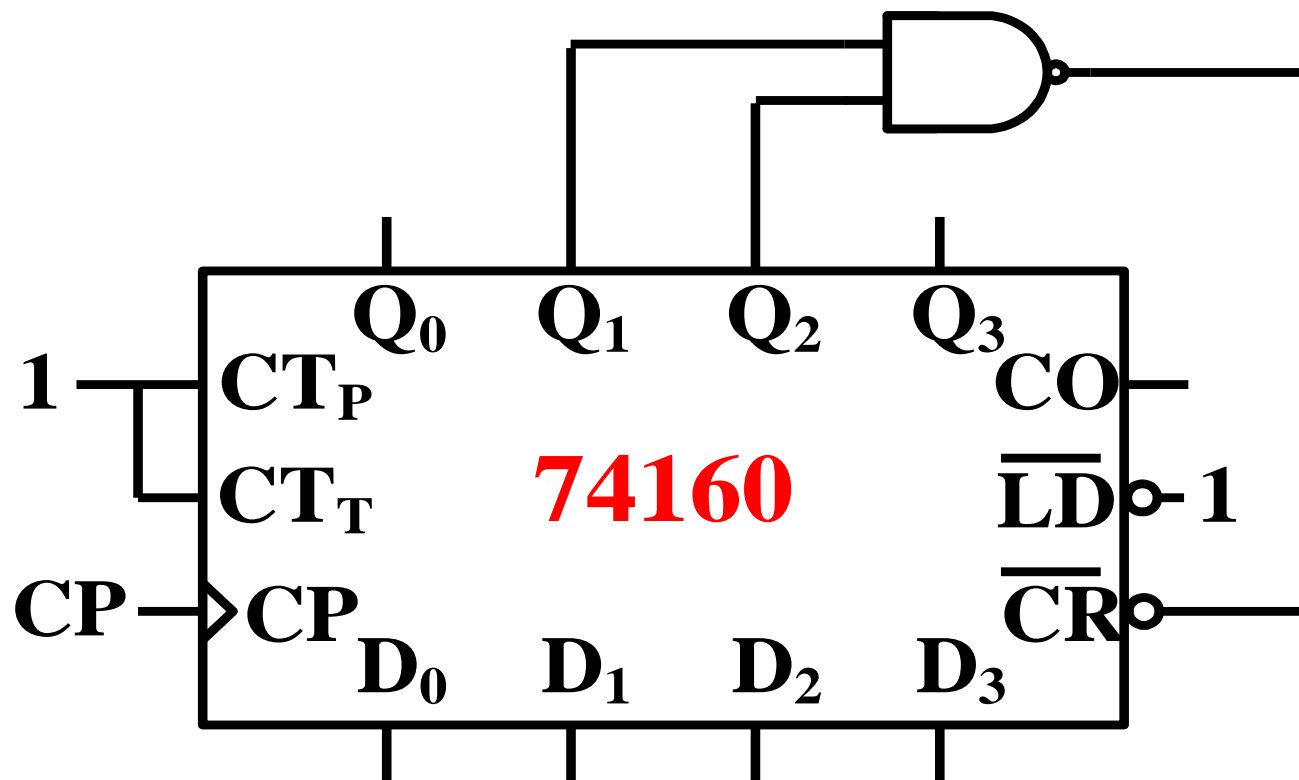
清零法（复位法）（反馈归零法）：

适用于有清零端的计数器。

置数法（置位法）：

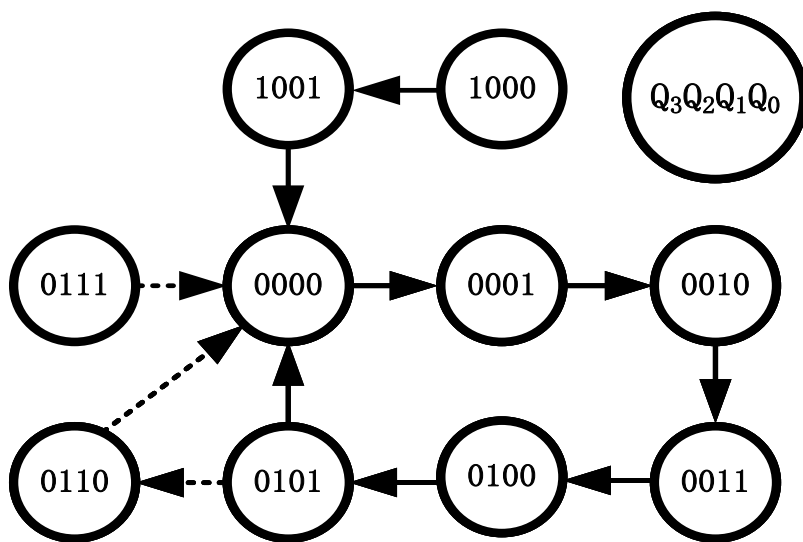
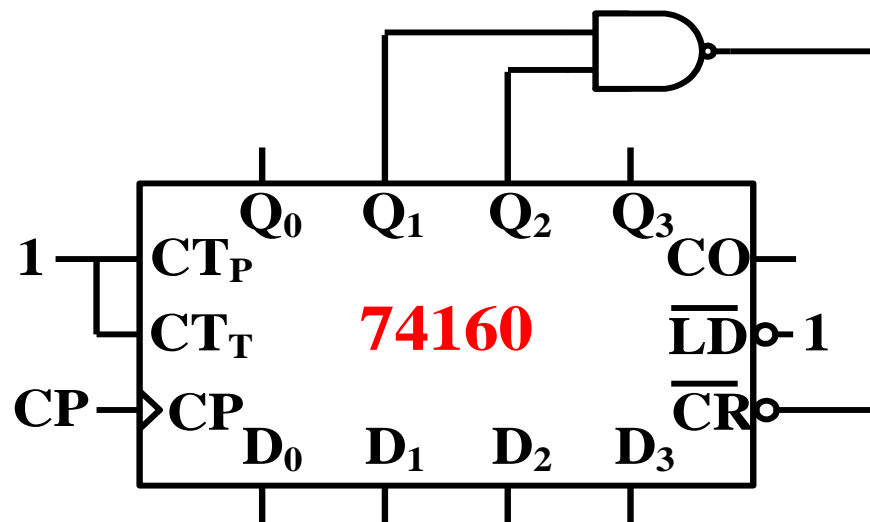
适用于有预置数功能的计数器。





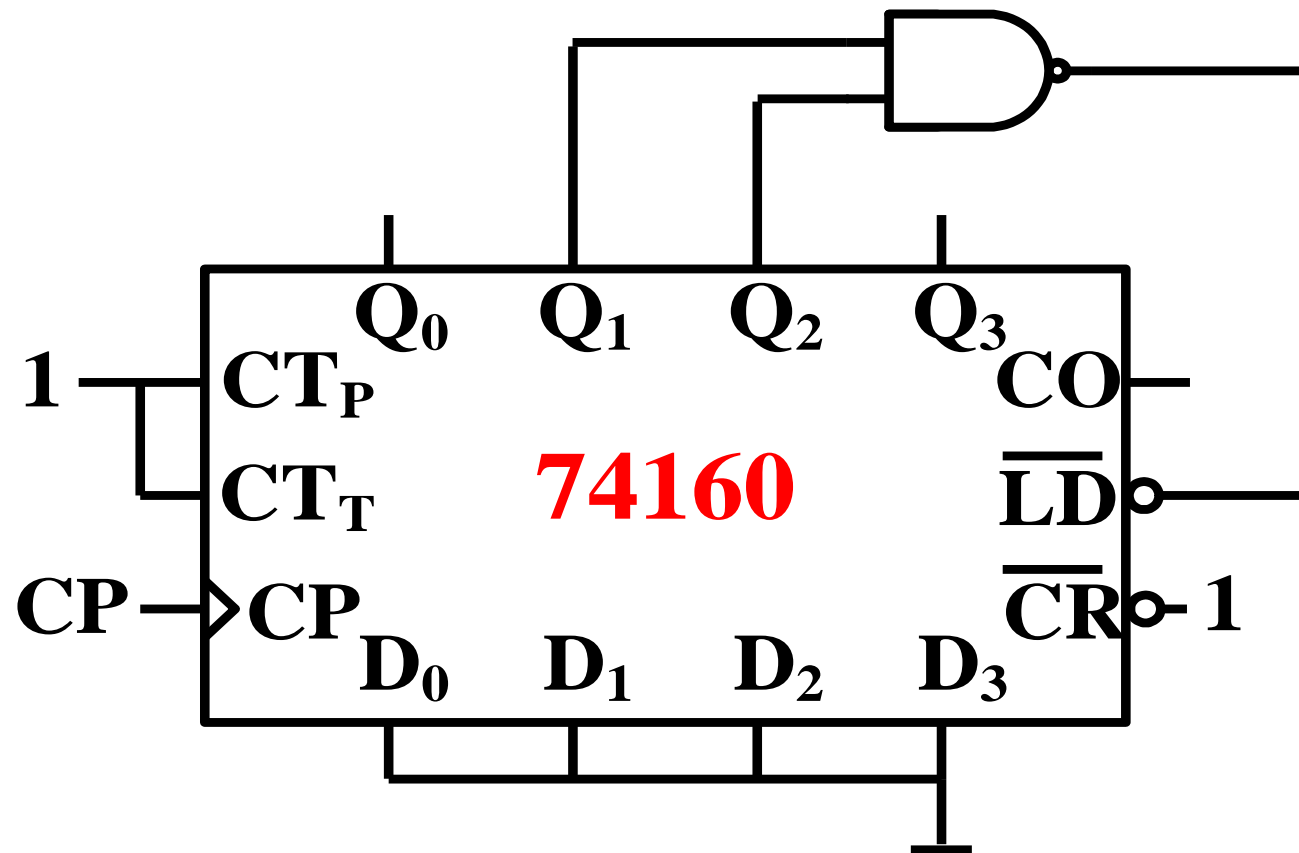
六进制计数器

$$\overline{CR} = \overline{Q_1 Q_2}$$



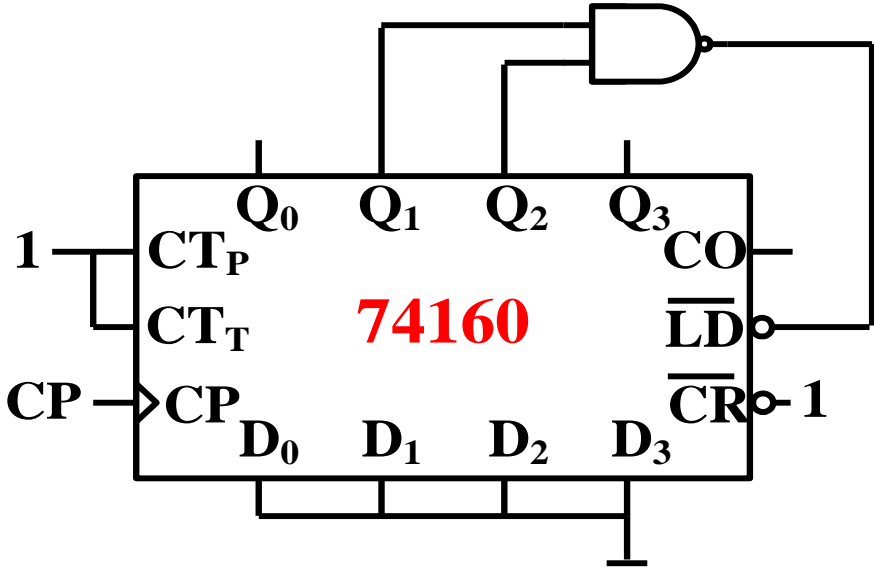
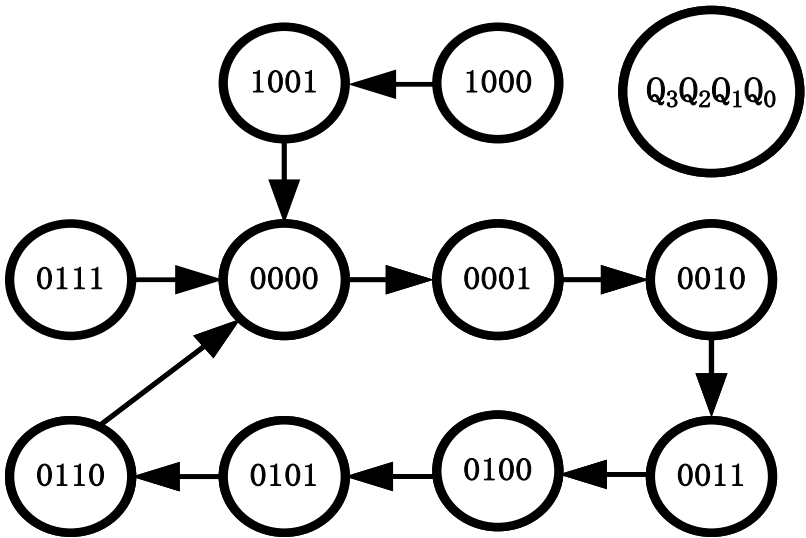
CP	\overline{CR}	\overline{LD}	CT _P	CT _T	工作状态
φ	0	φ	φ	φ	异步清零
↑	1	0	φ	φ	同步预置
φ	1	1	0	1	保持
φ	1	1	φ	0	保持 (CO=0)
↑	1	1	1	1	计数



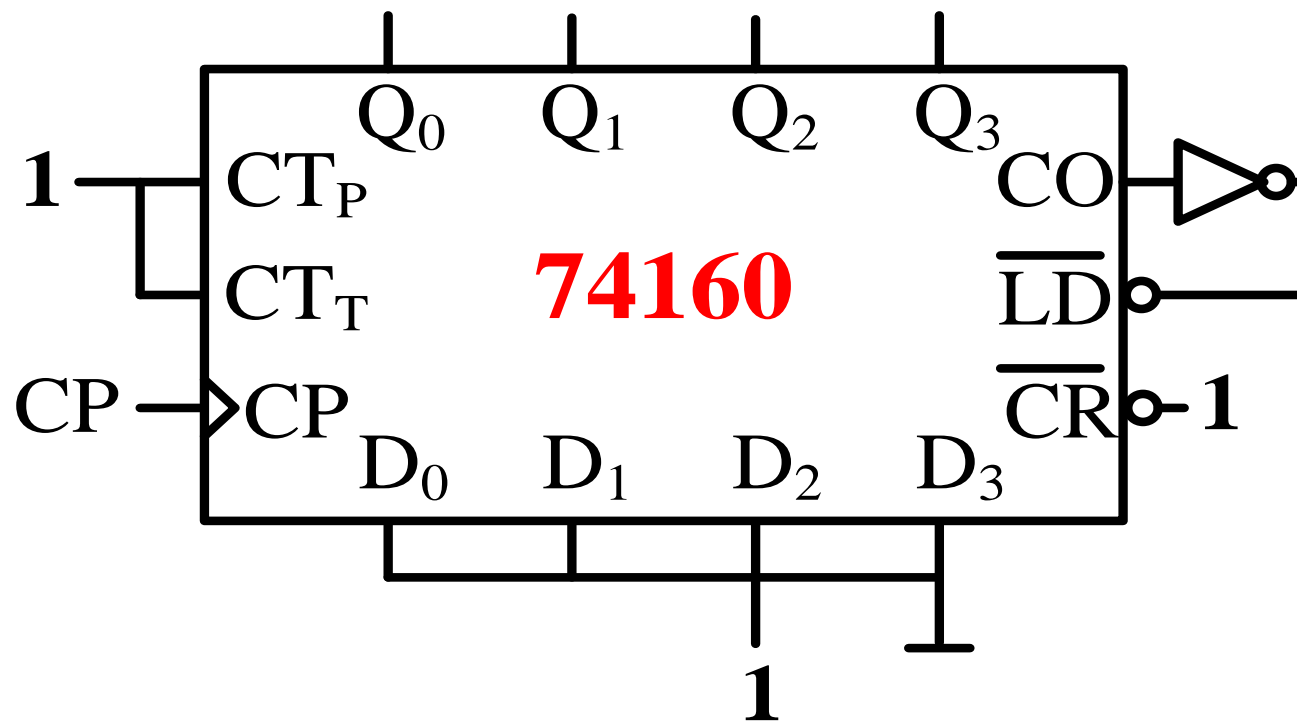


七进制计数器

$$\overline{LD} = \overline{Q_1 Q_2}$$

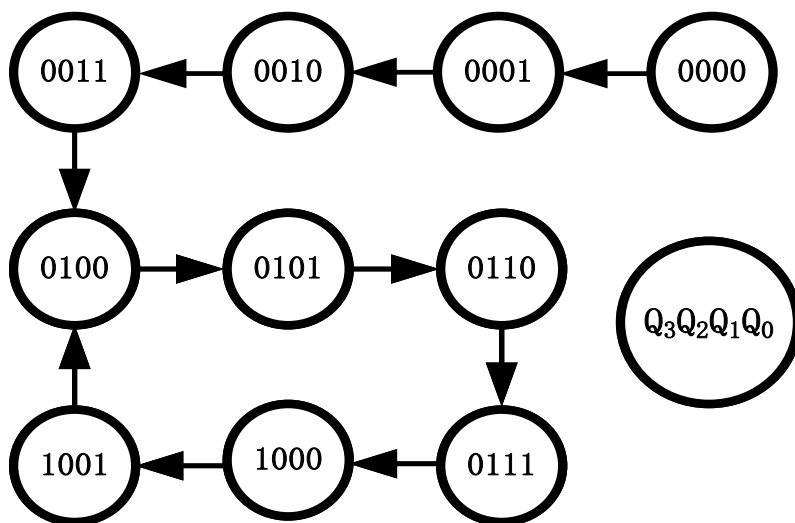
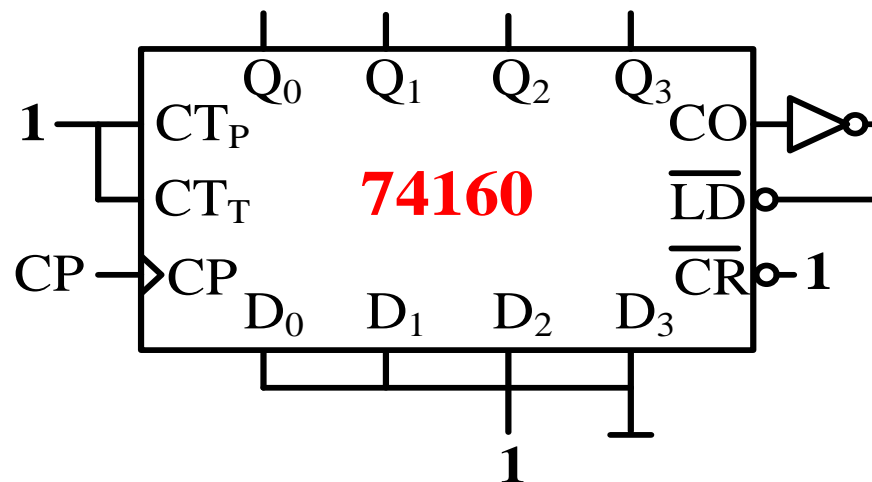


CP	$\overline{\text{CR}}$	$\overline{\text{LD}}$	CT _P	CT _T	工作状态
ϕ	0	ϕ	ϕ	ϕ	异步清零
\uparrow	1	0	ϕ	ϕ	同步预置
ϕ	1	1	0	1	保持
ϕ	1	1	ϕ	0	保持 (CO=0)
\uparrow	1	1	1	1	计数



六进制计数器

$$\overline{LD} = \overline{CO}$$



CP	\overline{CR}	\overline{LD}	CT _P	CT _T	工作状态
ϕ	0	ϕ	ϕ	ϕ	异步清零
\uparrow	1	0	ϕ	ϕ	同步预置
ϕ	1	1	0	1	保持
ϕ	1	1	ϕ	0	保持 (CO=0)
\uparrow	1	1	1	1	计数



1) 反馈归零法

原理:

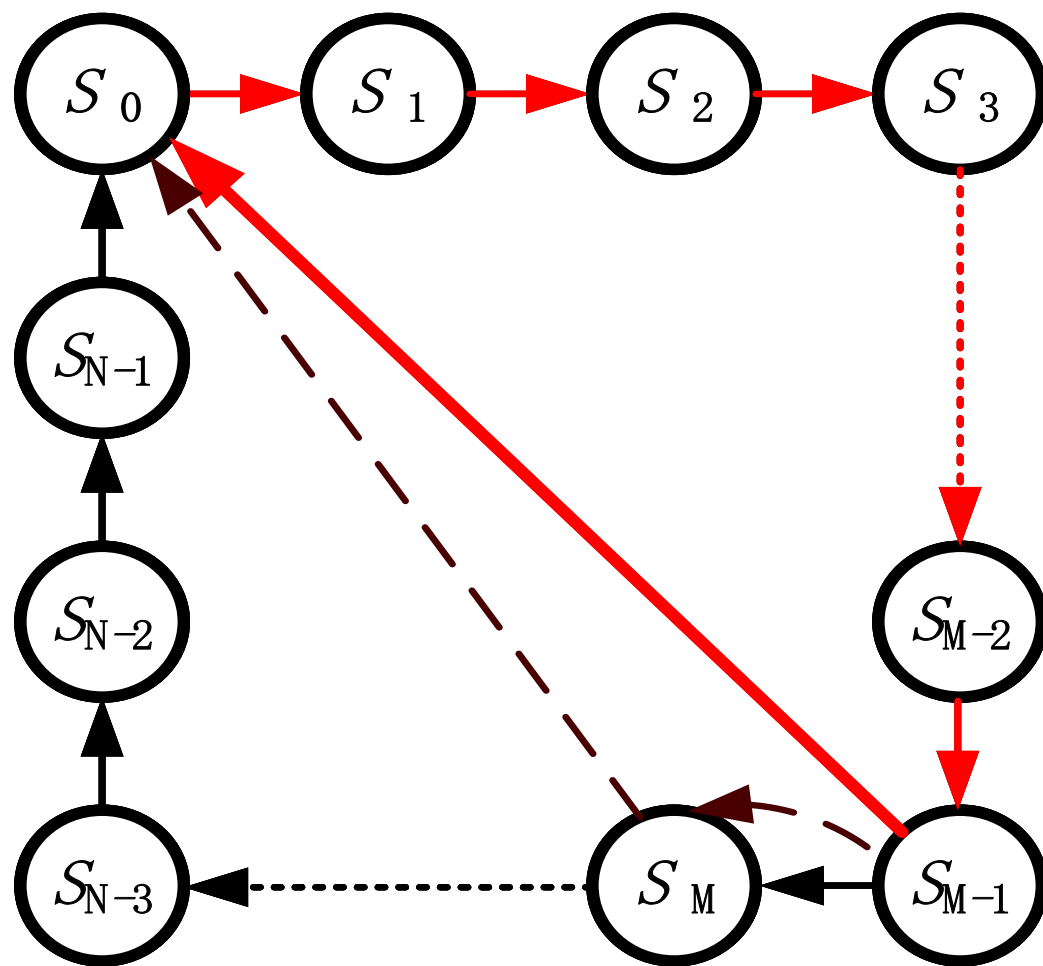
跳过 $N-M$ 个状态直接回到0状态

分类:

异步清零

同步清零





异步清零

74160、74161、74290

特点:

从 S_0 (全0) 开始, 达到 S_M 状态时, 立刻回到 S_0 。

S_M 为瞬态。

方法:

写出模 M 的二进制代码

写出反馈逻辑 CR 的表达式

M 中所有为1的 Q 端相与 (与非)

将与 (与非) 结果接到清零端



同步清零

特点:

从 S_0 (全0) 开始, 达到 S_{M-1} 状态时, 使清零信号有效, 下一状态回到 S_0 。

方法:

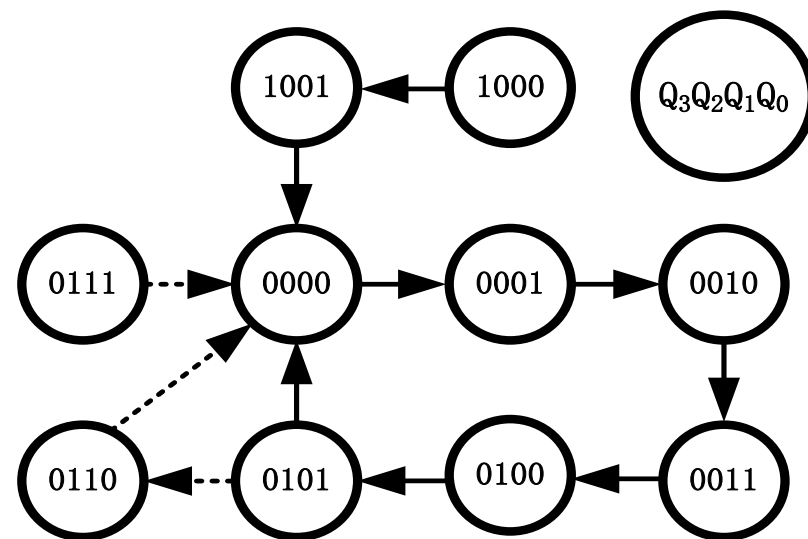
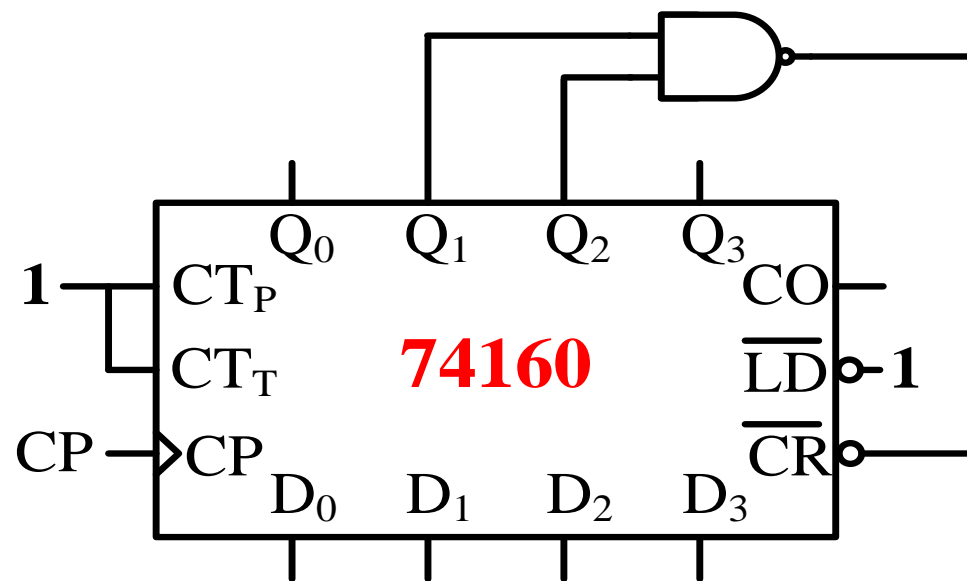
写出模 (M-1) 的二进制代码

写出反馈逻辑CR的表达式

(M-1) 中所有为1的Q端相与 (与非)

将与 (与非) 结果接到清零端





清零法(异步作用端)存在问题:

缺点:

异步控制可靠性差。清零信号随着计数器被置零立即消失，持续时间极短，易导致触发器的误动作，该电路不可靠。

解决方法:

- 1) 采用同步预置端-置数法。
- 2) 对清零信号增加基本RS触发器，保持一段时间。(见后面74290应用设计)



2) 置数法

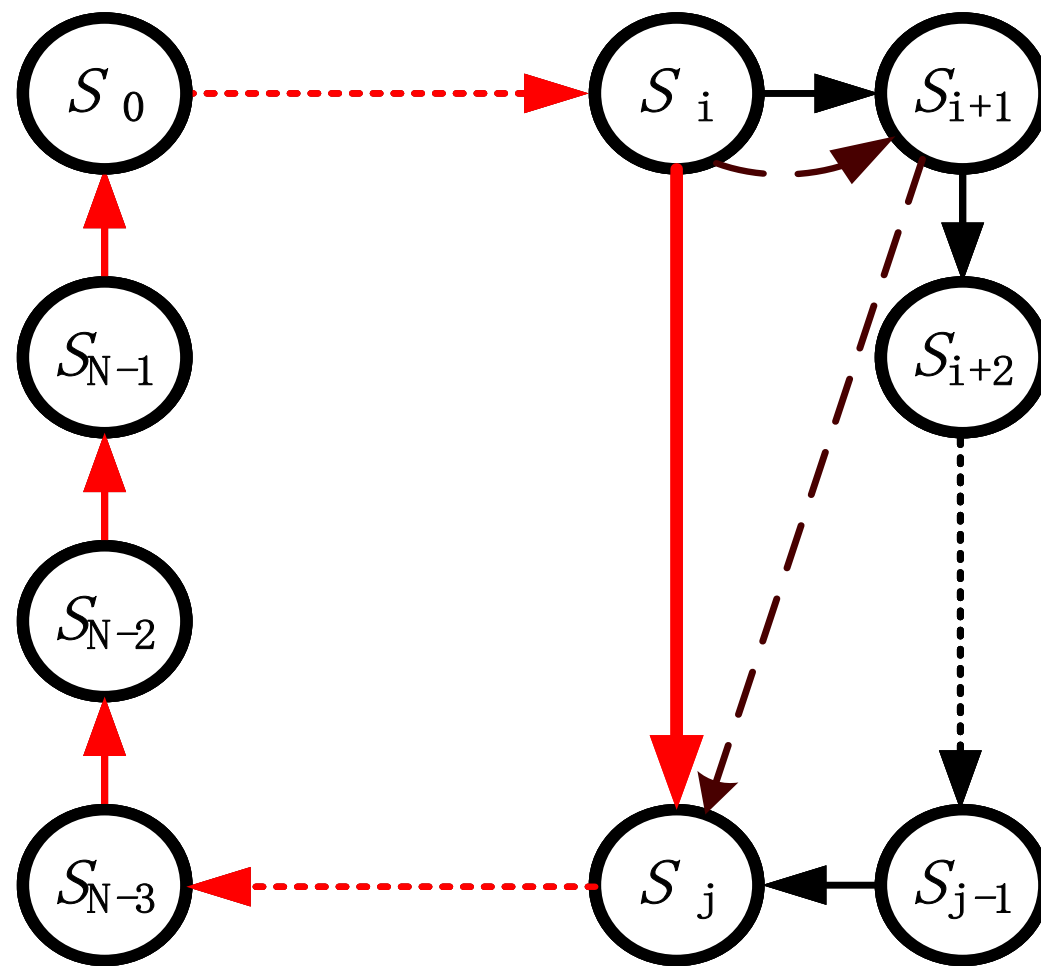
利用预置数端

原理：

通过给计数器重复置入某数值的方法跳越 $N-M$ 个状态，从而获得 M 进制计数器。

采用置数法可以从计数循环的任一状态置入适当的数值而跳越 $N-M$ 个状态，获得 M 进制计数器。





N-M个状态



同步式预置数的计数器（74160，74161）：

预置数信号从 S_i 状态译出，待下一个CP信号到来，才将所需数据置入。

异步式预置数的计数器（74191）：

预置数信号从 S_{i+1} 状态译出，只要预置数信号有效，立即将所需数据置入，不受CP信号控制。



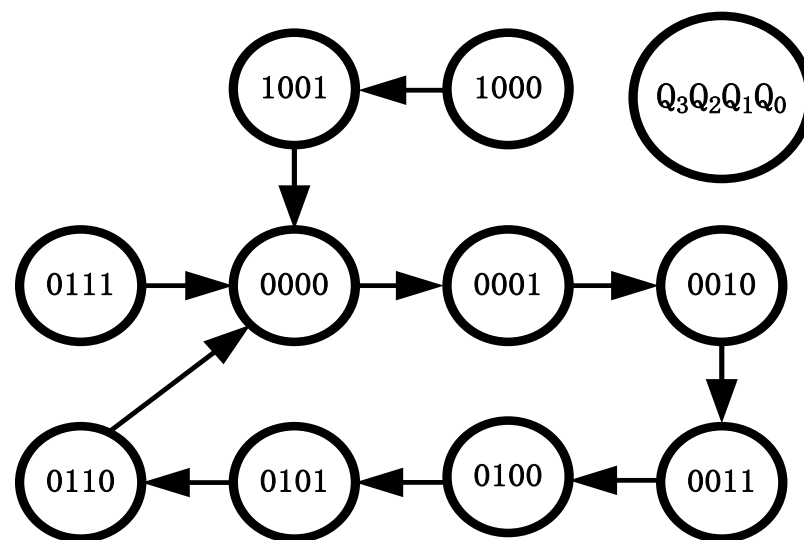
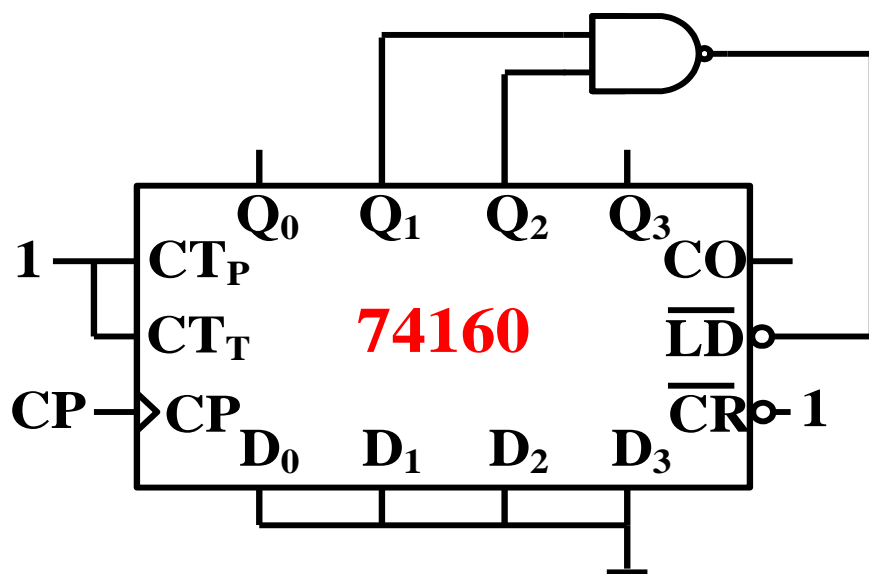
常用置数方法

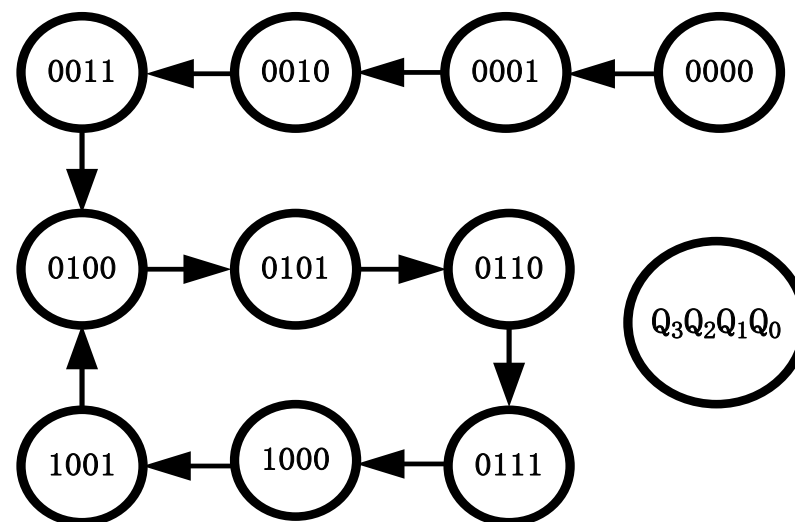
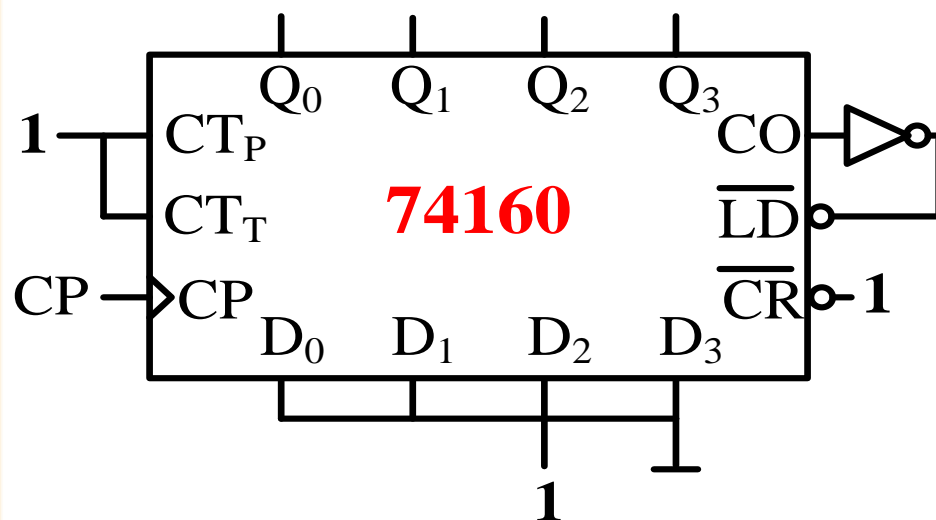
置最小数全零(0000)

用最大数 (CO) 置数

其他置数除去中间状态







M>N的情况

有四种设计方法:

串行进位方式

并行进位方式

适合于 $M=N_1 \times N_2$ 的情况

整体清零方式

整体置数方式

适合于所有情况



串行进位和并行进位方式

若M可分解为 $M=N_1 \times N_2$,

可用串行进位或并行进位方式,

将 N_1 进制和 N_2 进制的计数器连接起来。



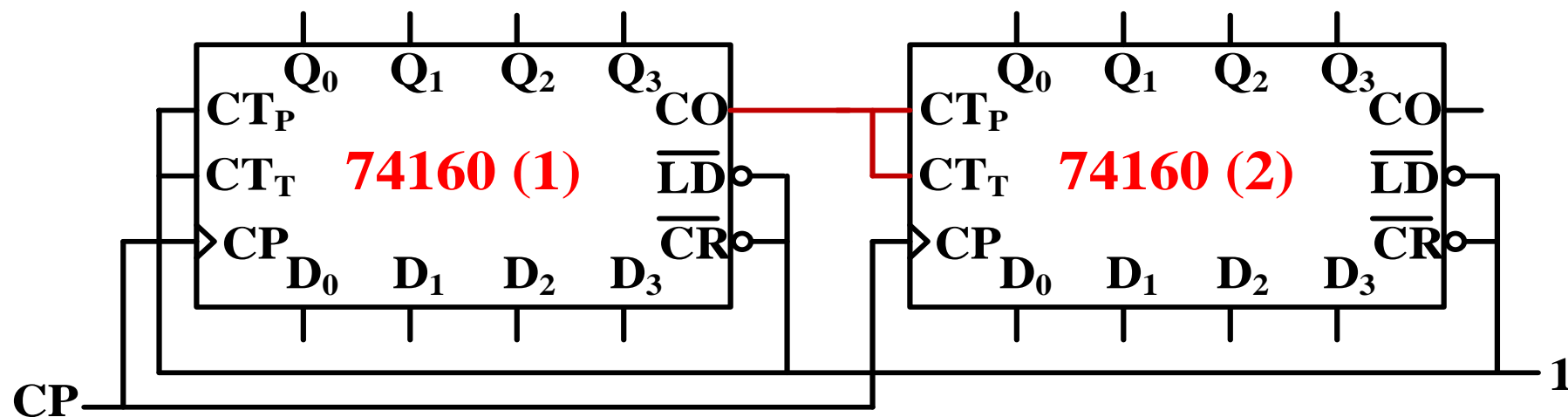
串行进位方式:

低位片的进位输出信号作为高位片的时钟输入。

并行进位方式:

低位片的进位输出信号作为高位片的工作状态控制信号（使能），两片的时钟输入端同时接输入信号。

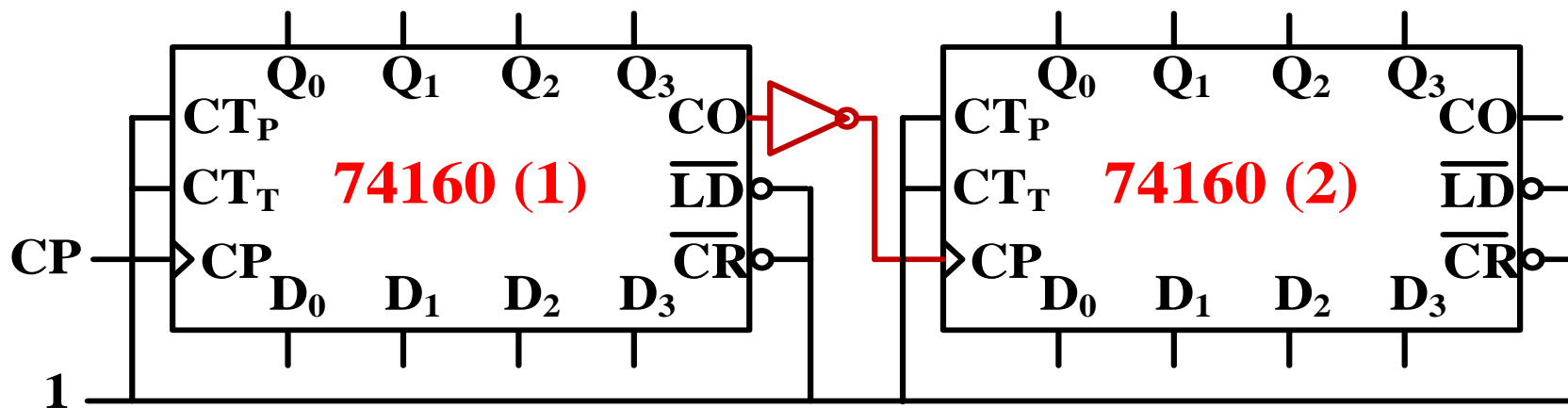




100进制计数器

同步级联（并行进位方式）





100进制计数器

异步级联（串行进位方式）



当所设计计数器 M 不是素数时, $M=N_1 \times N_2$, 并且 N_1 、 N_2 都小于 N 时, 则可采用级联法构成 M 进制计数器。

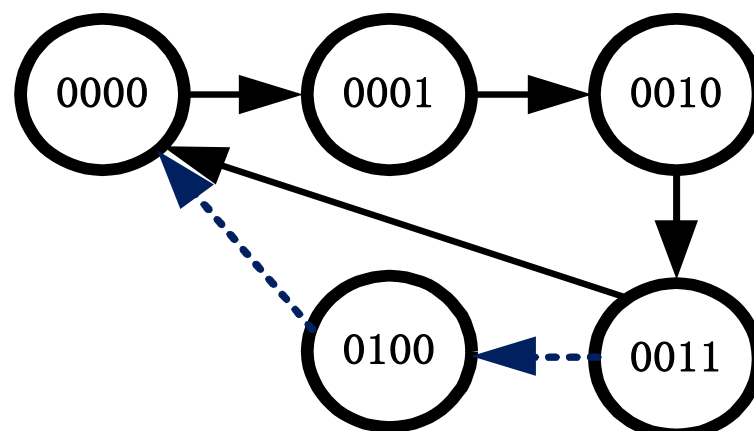
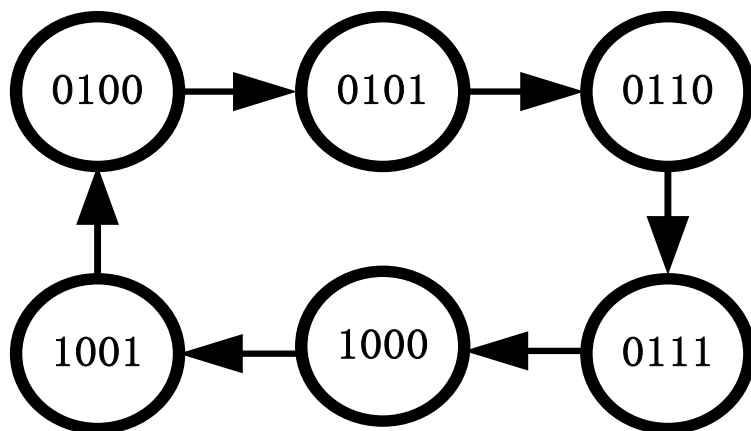
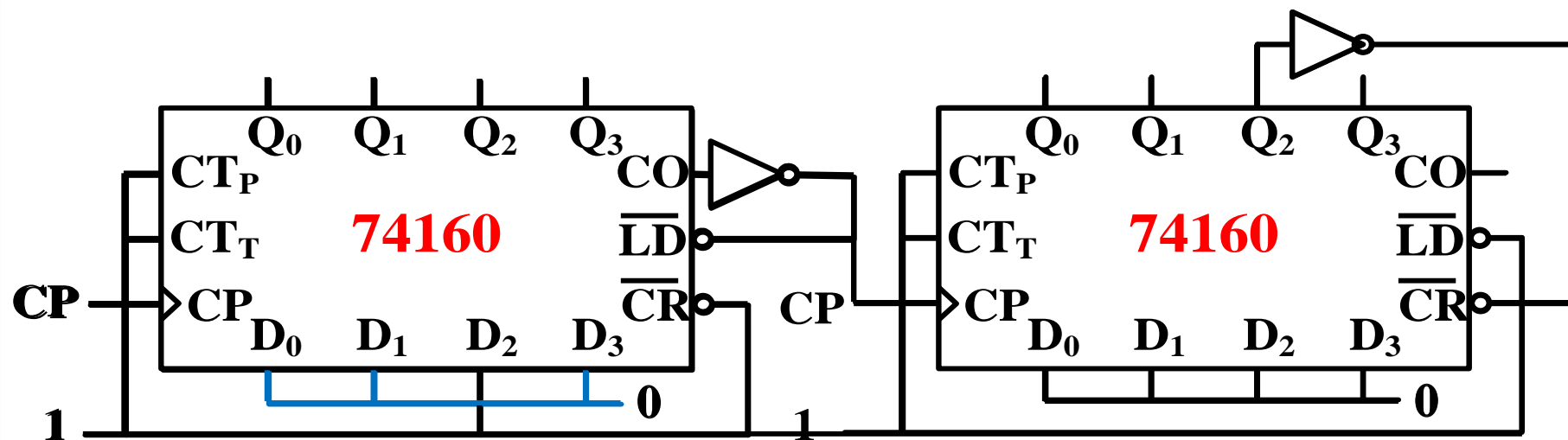
例：用两片74160构成 $M=24$ 进制计数器

令 $N_1=6$ 、 $N_2=4$

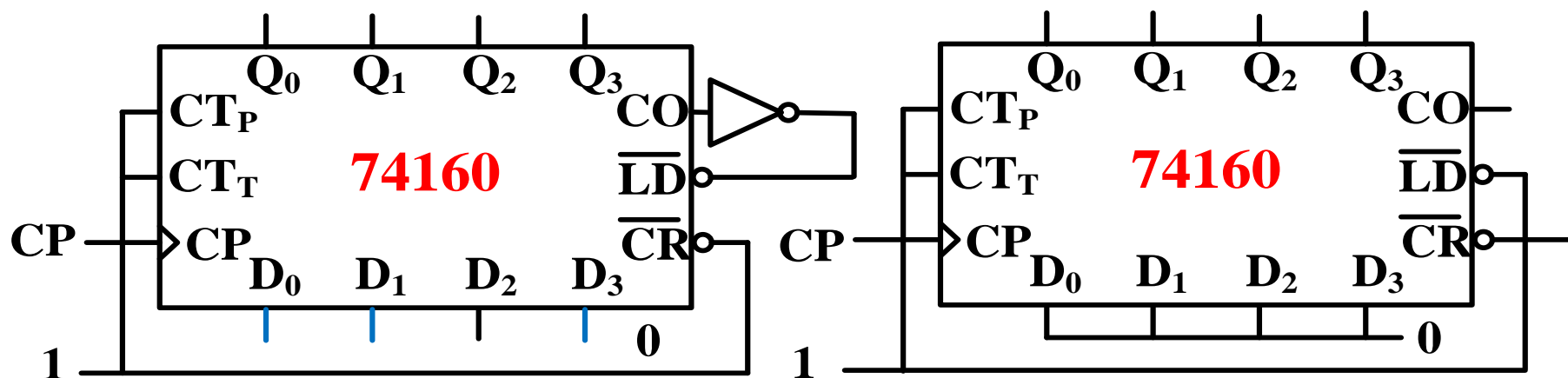
或 $N_1=3$ 、 $N_2=8$



24进制计数器



24进制计数器



如果要求 $N_1=3$, $N_2=8$, 如何设计?



当所设计计数器 M 是素数时，不能分解成 $N_1 \times N_2$ 的形式，并且 M 大于 N 时：

将2片 N 进制计数器通过级联构成 $N \times N$ 进制计数器，并且假定 $M < N \times N$ 。

通过整体清零或整体预置法，采用与 $M < N$ 情况相同的方法构成 M 进制计数器。



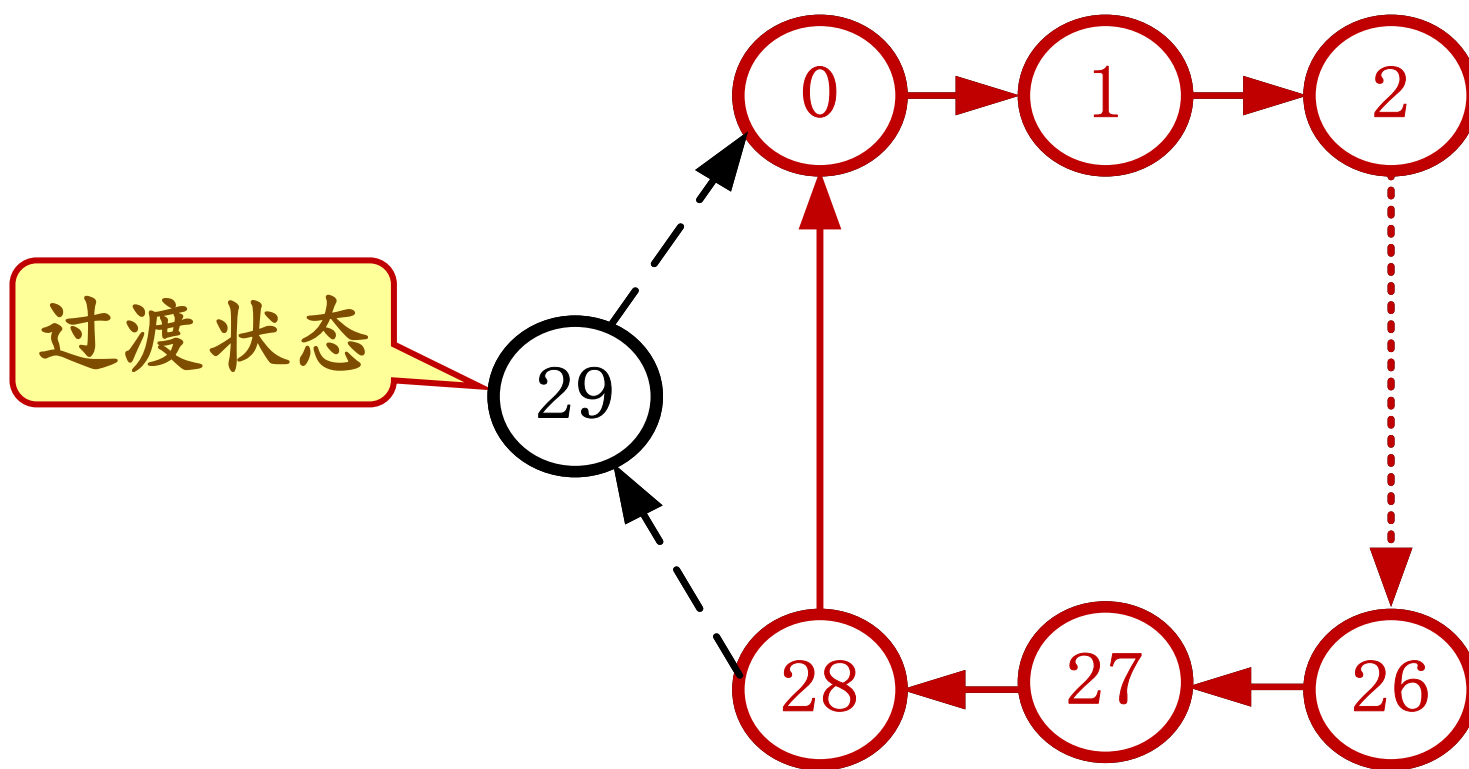
例：用两片74160接成29进制计数器

29是素数，只能采用整体清零法或整体预置法。

首先接成100进制计数器，然后采用清零或者置数方法得到29进制。

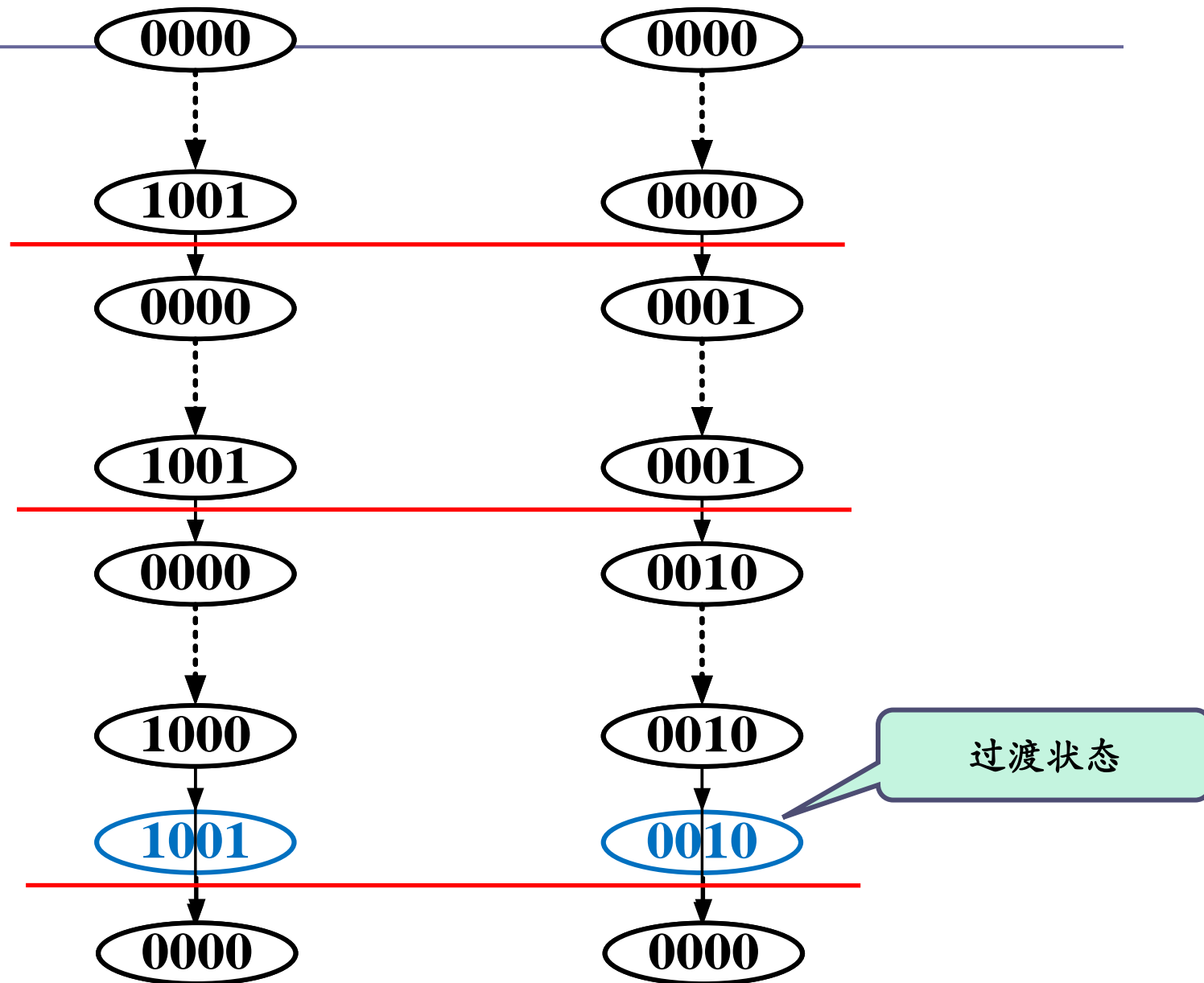


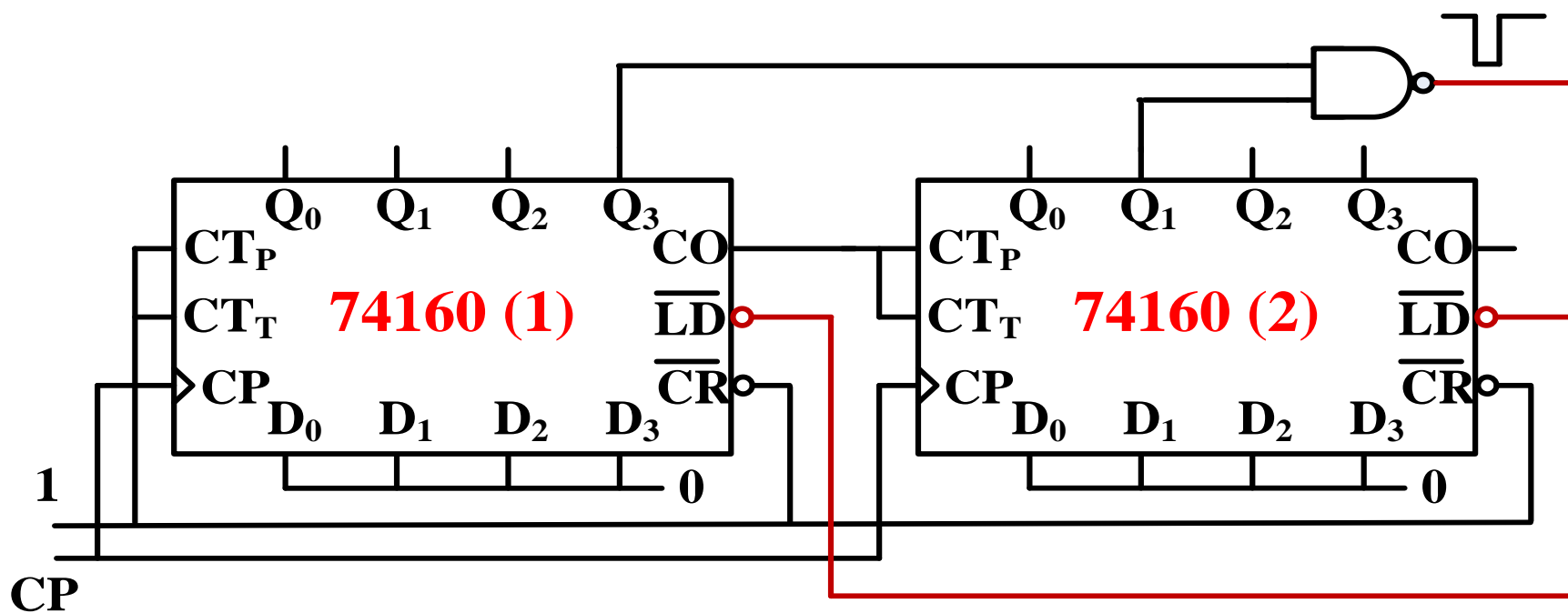
整体简化状态转换图



片1状态转换

片2状态转换



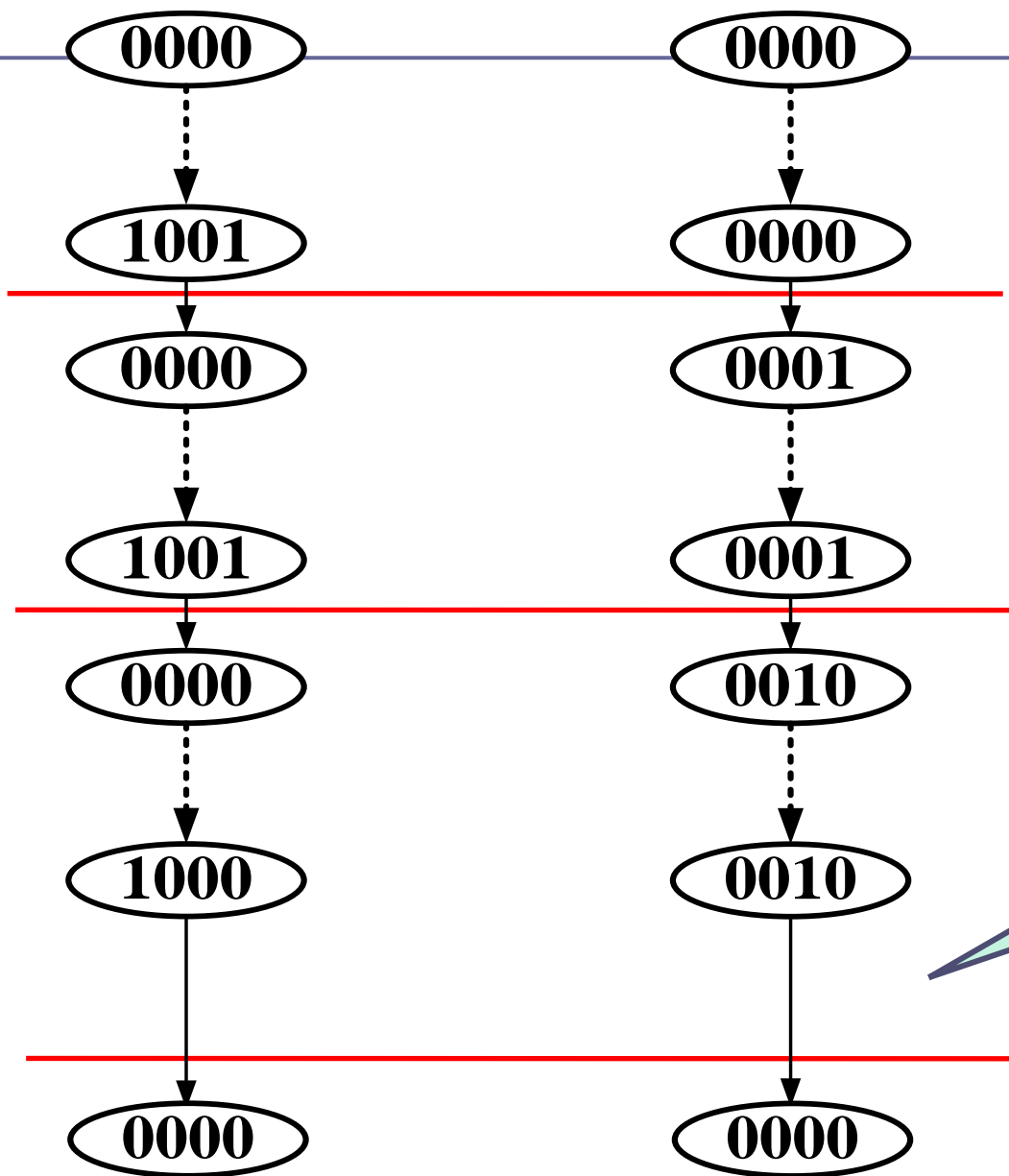


工作可靠，进位信号可直接从与非门引出。



片1状态转换

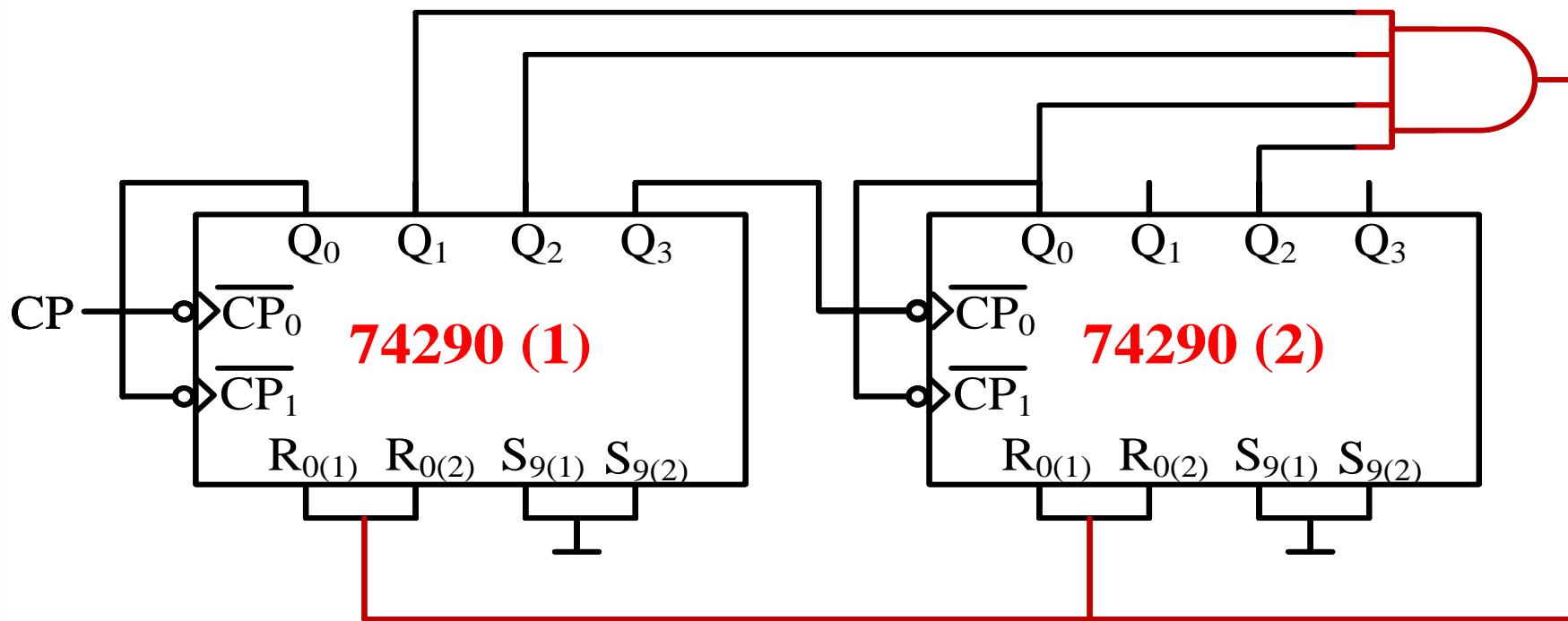
片2状态转换



无过渡状态



例6-4 用两片74290构成56进制计数器



整体清零法

异步作用端设计电路存在可靠性差

顺序脉冲发生器

在计算机和控制系统中，常常要求系统的某些操作按时间顺序分时工作，因此需要产生一个节拍控制脉冲，以协调各部分的工作。

能产生节拍脉冲的电路叫做**节拍脉冲发生器**，又称**顺序脉冲发生器(脉冲分配器)**。



顺序脉冲发生器分类

计数器型

移位寄存器型

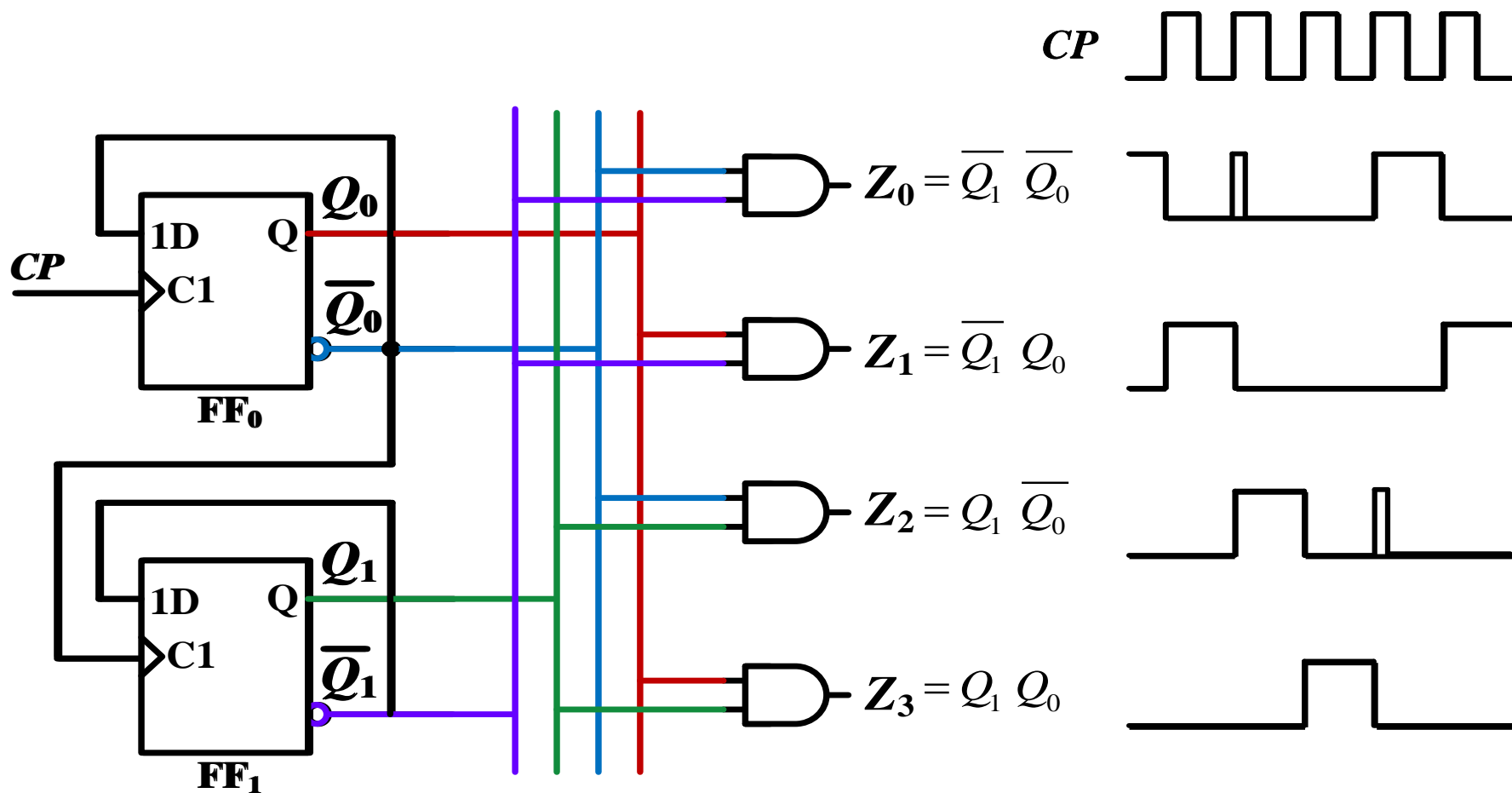


计数器型

该电路由计数器和译码器构成。

n 个触发器构成的计数器有 2^n 个状态。在时钟脉冲作用下，计数器不断改变状态，经译码后在 2^n 个输出端上每一时刻只有相应的一条输出线上出现高电平(或低电平)，其他输出线上均出现低电平(或高电平)。





触发器翻转时刻不可能完全一致，可能存在干扰脉冲。



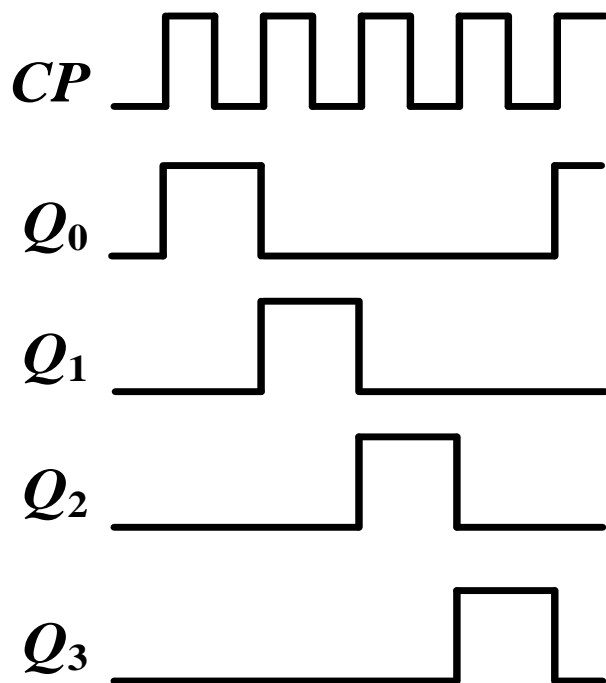
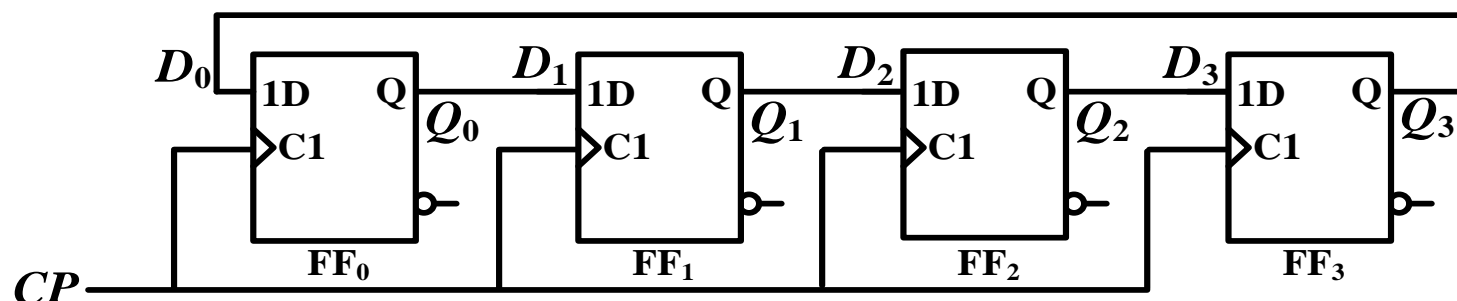
移位寄存器型

采用环形计数器和扭环形计数器构成顺序脉冲发生器。

可以避免在译码过程中出现干扰脉冲。



采用环形计数器

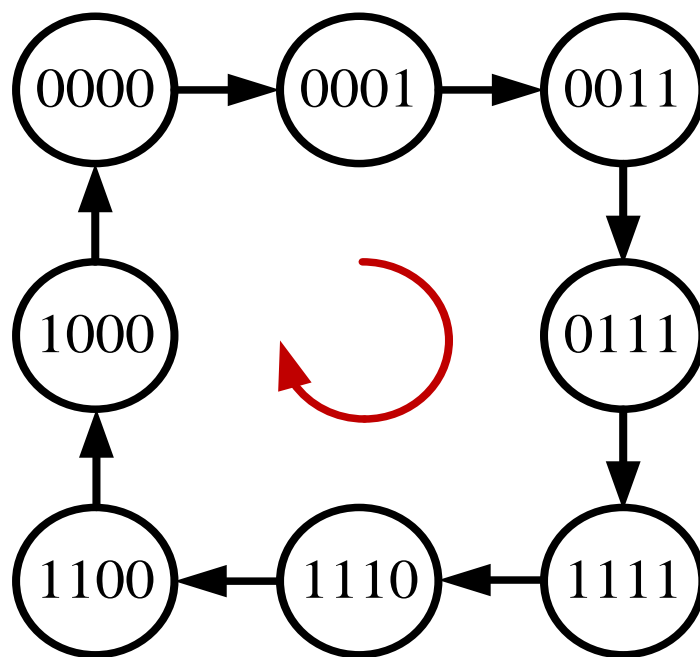
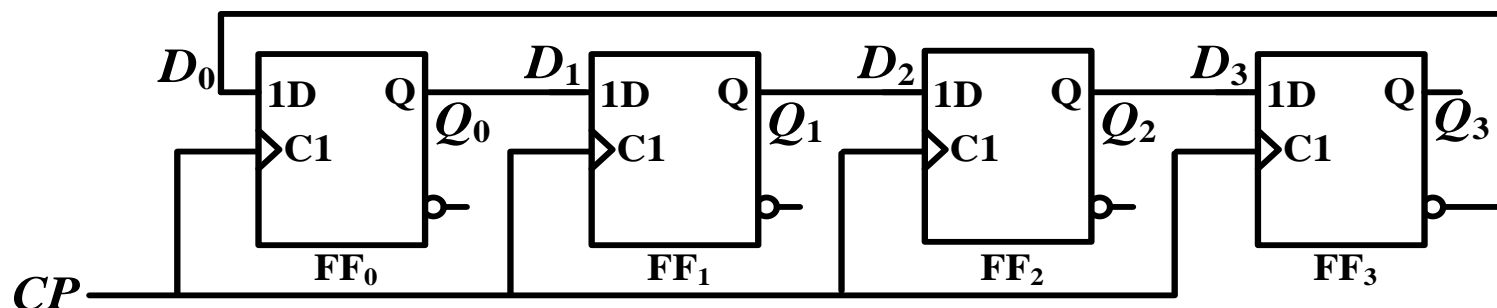


环形计数器的每个触发器的Q端输出就是节拍脉冲。

不需要另加译码器。



采用扭环形计数器



译码后不会存在干扰

脉冲



序列脉冲发生器

在数字信号的传输和数字系统的测试中，有时需要用到一组特定的串行数字信号，通常把这种串行数字信号叫做**序列信号**。

产生序列信号的电路称为**序列信号/脉冲发生器**。



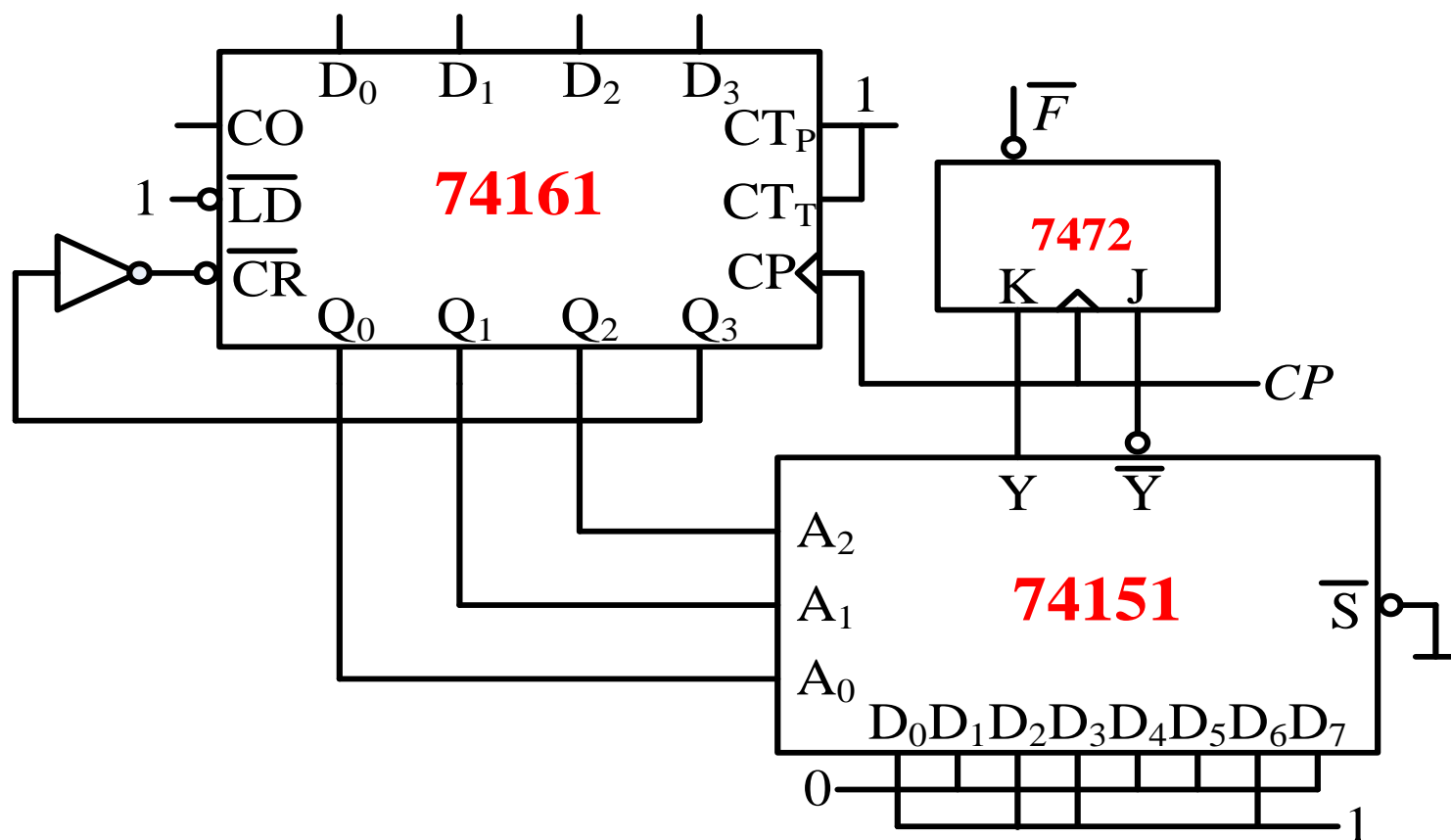
序列信号发生器的构成方法

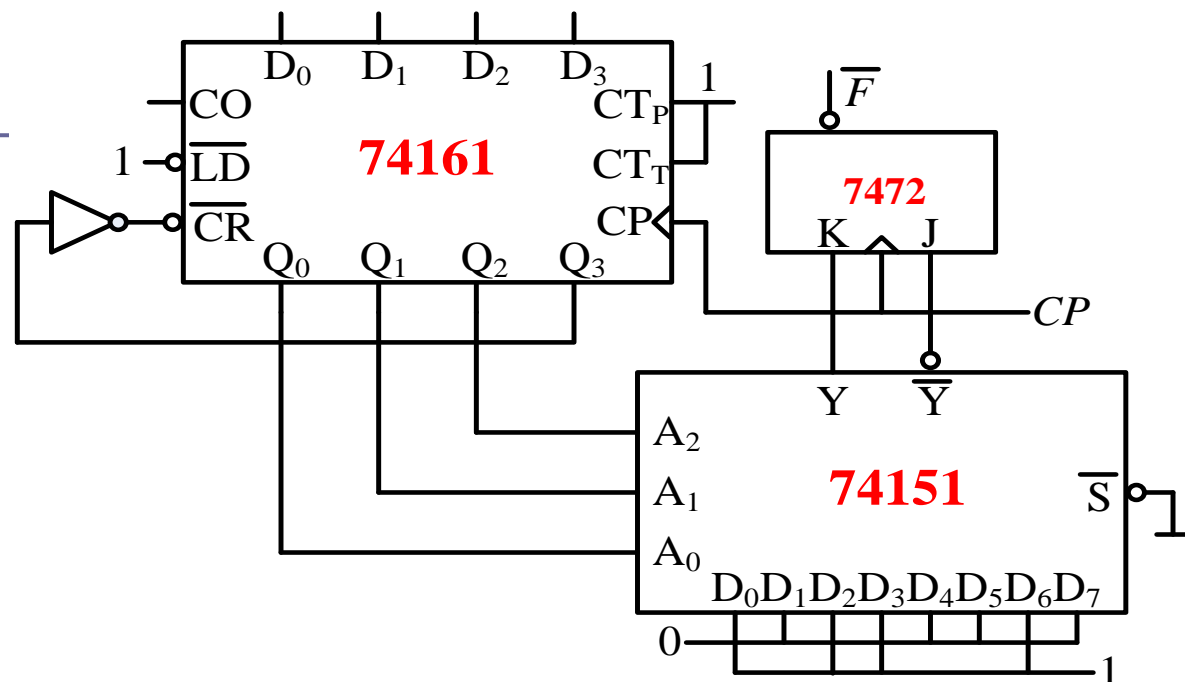
用计数器和数据选择器组成

用计数器加输出电路



计数器和数据选择器组成





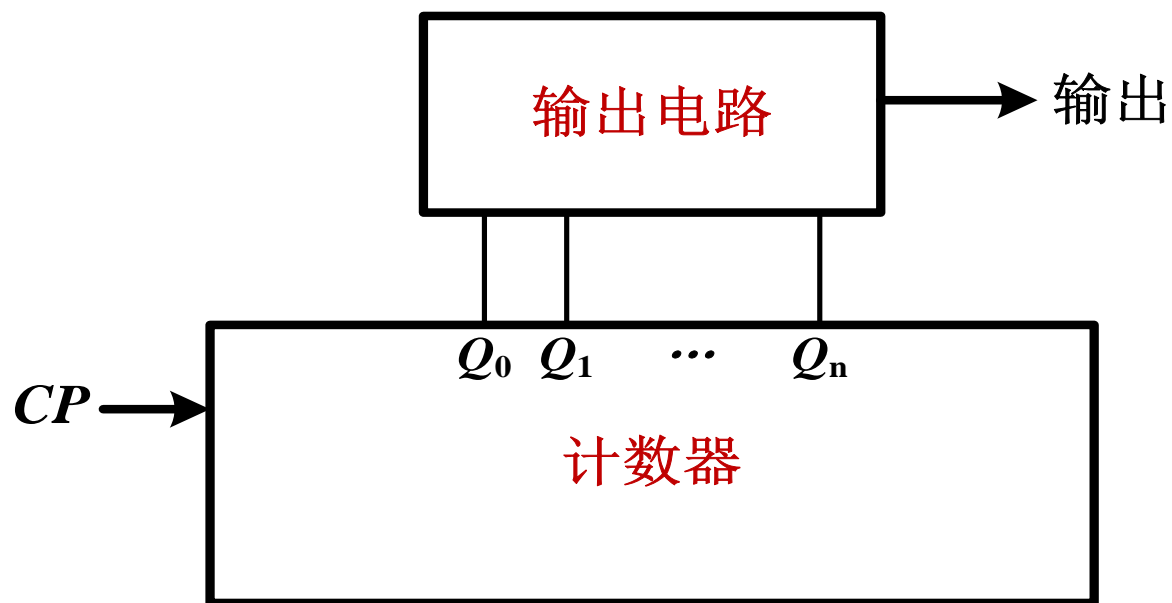
输出10110010

更改预置数
D可以得到新的
序列

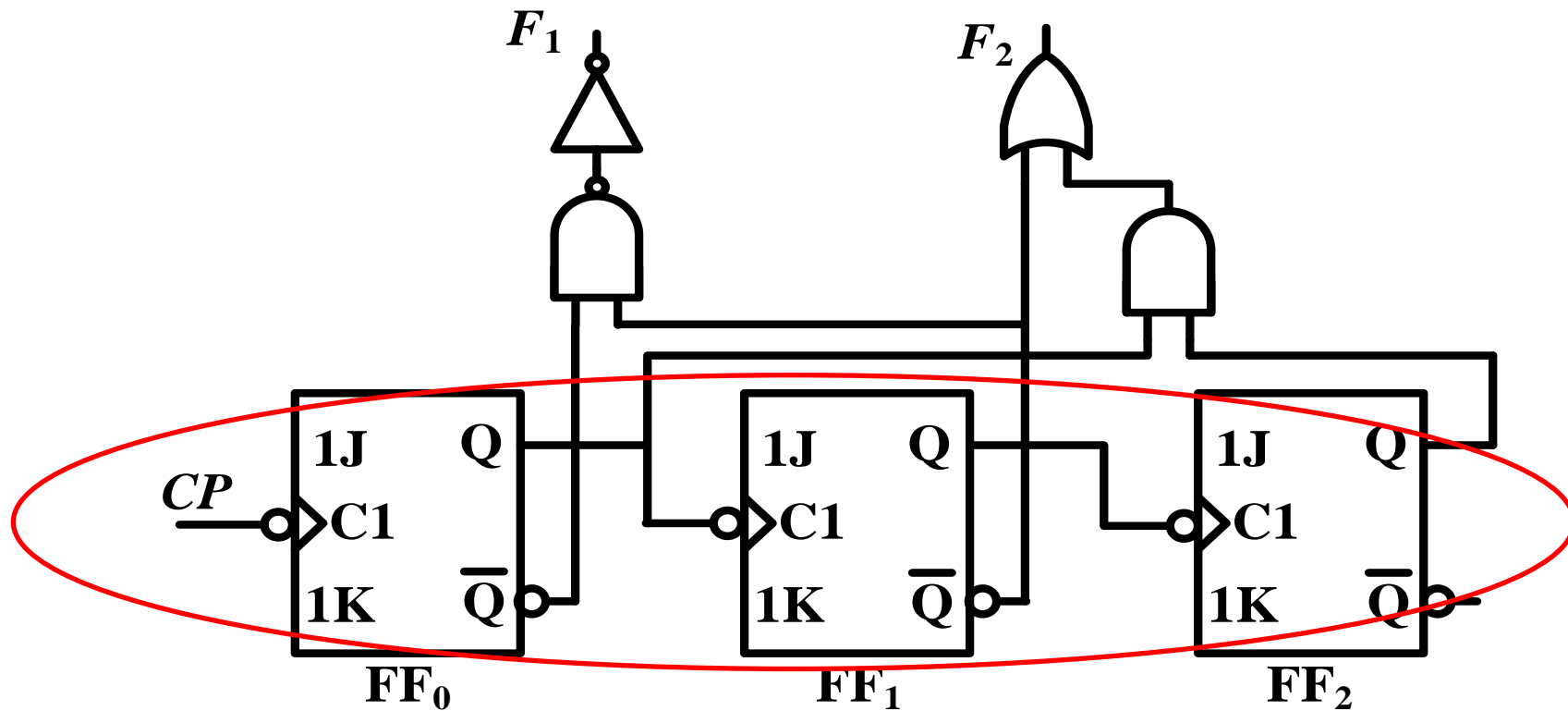
四位二进制计数器161构成模8计数器；
8选1数据选择器151构成组合输出网络；
JK触发器7472起输出缓冲作用。



计数器和输出电路组成



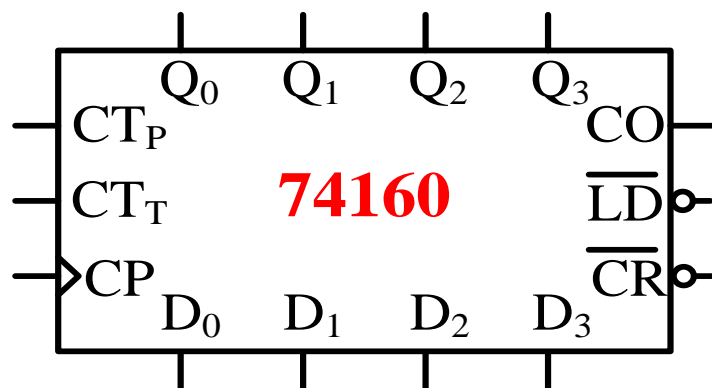
计数器和输出电路组成



三个T'触发器构成3位二进制异步计数器。

小测试

利用74160设计一个必要的计数器，并实现灯光控制电路：



Q ₂	Q ₁	Q ₀	红	绿
0	0	0	1	1
0	0	1	1	1
0	1	0	0	1
0	1	1	0	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	0
1	1	1	0	1



7.4 时序逻辑电路的设计

时序电路设计是时序逻辑电路分析的**逆过程**。

设计任务：

根据给出的逻辑问题（命题要求），设计出能实现逻辑要求的时序电路，画出逻辑图。

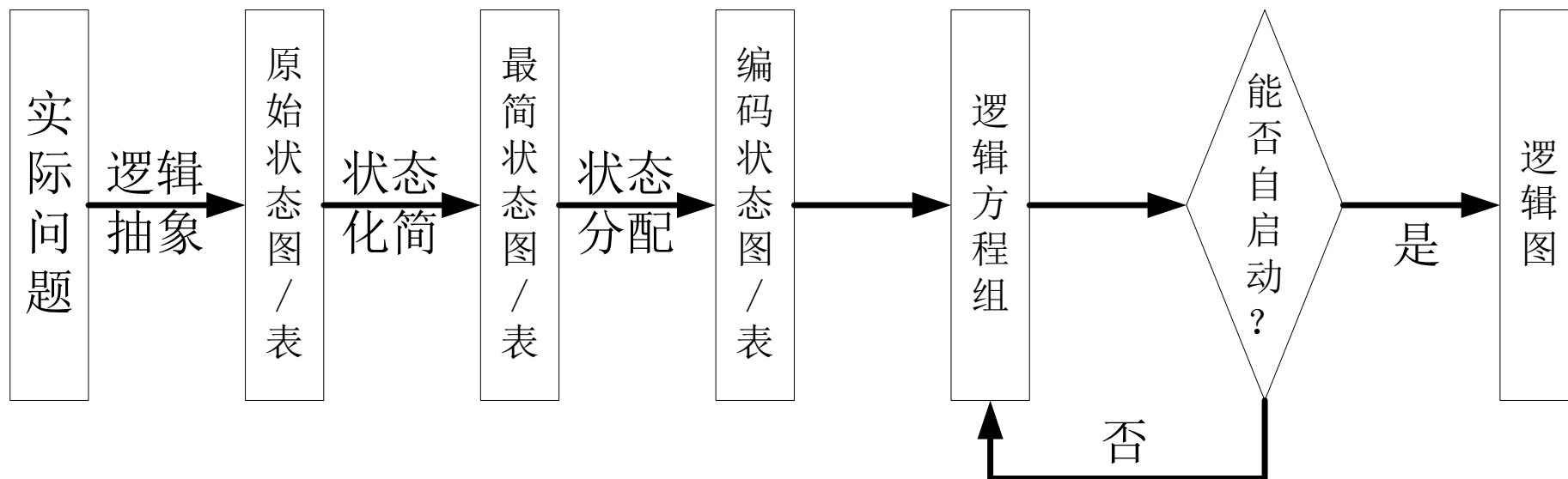


设计方法

- 1、经典设计方法，采用尽可能少的小规模器件（触发器和门电路）；
- 2、采用标准中规模、大规模集成器件进行逻辑设计；
- 3、采用可编程逻辑器件进行设计。



同步时序逻辑电路——状态机的设计



逻辑抽象

确定输入变量、输出变量、及电路的状态数。

定义输入、输出状态及电路状态含义。

画原始状态转换图(表)



状态化简

合并等价状态,进行状态化简, 求出最简状态转换图(表)。

等价状态:

若两个状态在输入相同时输出相同,次态也相同,称其为等价状态。



状态分配

确定触发器数目 n ;

$$2^{n-1} < M \leq 2^n$$

进行状态编码(状态分配);



选定触发器类型

确定触发器类型

求出：

状态方程

输出方程

驱动方程



判断能否自启动

根据方程画出逻辑电路图后，一般还要检查电路能否自启动。

可以通过修改逻辑设计解决自启动问题。

实际设计电路过程中，根据题目给定条件，某些步骤可以省略。



例6-6：设计一个带进位输出的同步六进制计数器

1、逻辑抽象

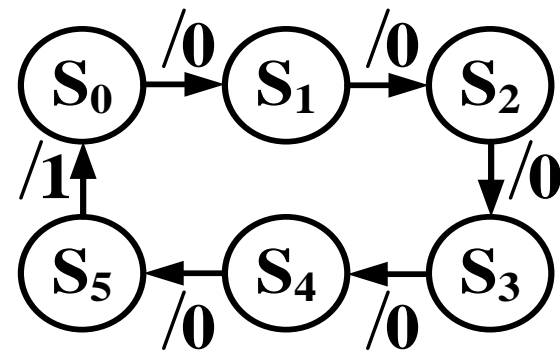
计数器，无输入，输出CO为进位信号。

本题中此步骤可省略。

2、画出状态转换图

3、状态化简

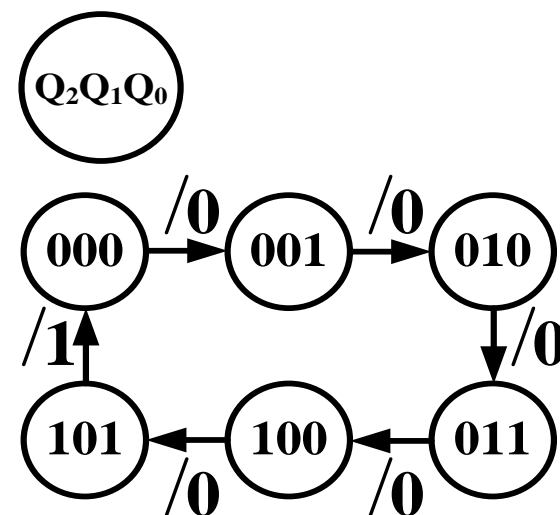
已经最简



4、状态编码

6个状态, $2^2 < 6 < 2^3$

需要3个触发器。



5、做次态卡诺图

求输出方程

和驱动方程

$Q_1^n Q_0^n$		00	01	11	10
Q_2^n	0	001/0	010/0	100/0	011/0
	1	101/0	000/1	Φ	Φ



		$Q_1^n Q_0^n$			
		00	01	11	10
Q_2^{n+1}	Q_2^n	0	0	1	0
	1	1	0	Φ	Φ

$$Q_2^{n+1} = Q_1 Q_0 + \overline{Q_0} Q_2$$

		$Q_1^n Q_0^n$			
		00	01	11	10
Q_0^{n+1}	Q_2^n	0	0	0	1
	1	1	0	Φ	Φ

$$Q_0^{n+1} = \overline{Q_0}$$

		$Q_1^n Q_0^n$			
		00	01	11	10
Q_1^{n+1}	Q_2^n	0	1	0	1
	1	0	0	Φ	Φ

$$Q_1^{n+1} = \overline{Q_2} Q_0 \overline{Q_1} + \overline{Q_0} Q_1$$

输出方程不变

$$CO = Q_2 Q_0$$



状态方程:

驱动方程:

$$Q_2^{n+1} = Q_1 Q_0 + \overline{Q_0} Q_2$$

$$D_2 = Q_1 Q_0 + \overline{Q_0} Q_2$$

$$Q_1^{n+1} = \overline{Q_2} Q_0 \overline{Q_1} + \overline{Q_0} Q_1$$

$$D_1 = \overline{Q_2} Q_0 \overline{Q_1} + \overline{Q_0} Q_1$$

$$Q_0^{n+1} = \overline{Q_0}$$

$$D_0 = \overline{Q_0}$$

输出方程:

$$CO = Q_2 Q_0$$

电路图省略



$Q_1^n Q_0^n$		00	01	11	10
Q_2^n	0	0	0	1	0
	1	1	0	Φ	Φ

$$Q_2^{n+1} = Q_1 Q_0 \overline{Q_2} + \overline{Q_0} Q_2$$

$Q_1^n Q_0^n$		00	01	11	10
Q_2^n	0	1	0	0	1
	1	1	0	Φ	Φ

$$Q_0^{n+1} = \overline{Q_0}$$

$Q_1^n Q_0^n$		00	01	11	10
Q_2^n	0	0	1	0	1
	1	0	0	Φ	Φ

$$Q_1^{n+1} = \overline{Q_2} Q_0 \overline{Q_1} + \overline{Q_0} Q_1$$

$Q_1^n Q_0^n$		00	01	11	10
Q_2^n	0	0	0	0	0
	1	0	1	Φ	Φ

$$CO = Q_2 Q_0$$



$$\begin{cases} Q_2^{n+1} = Q_1 Q_0 \overline{Q_2} + \overline{Q_0} Q_2 \\ Q_1^{n+1} = \overline{Q_2} Q_0 \overline{Q_1} + \overline{Q_0} Q_1 \\ Q_0^{n+1} = \overline{Q_0} \end{cases} \quad \overline{Q}^{n+1} = J \overline{Q}^n + \overline{K} Q^n$$

驱动方程

输出方程

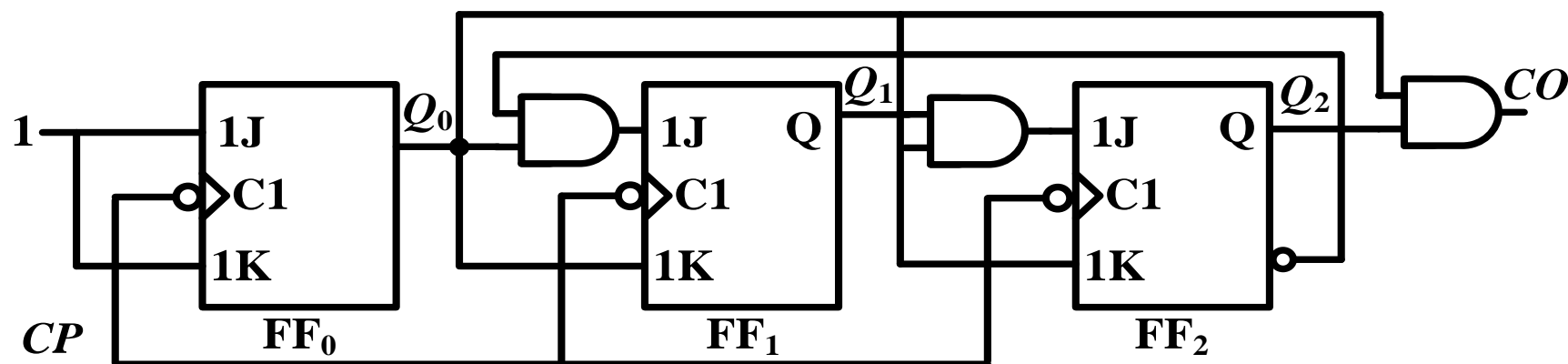
$$\begin{cases} J_2 = Q_1 Q_0, K_2 = Q_0 \\ J_1 = \overline{Q_2} Q_0, K_1 = Q_0 \\ J_0 = 1, K_0 = 1 \end{cases} \quad CO = Q_2 Q_0$$



6、画出逻辑电路图

$$\begin{cases} J_2 = Q_1 Q_0, & K_2 = Q_0 \\ J_1 = \overline{Q_2} Q_0, & K_1 = Q_0 \\ J_0 = 1, & K_0 = 1 \end{cases}$$

$$CO = Q_2 Q_0$$



经检查，电路可以自启动



异步时序逻辑电路的设计

需要为每个触发器选择合适的时钟信号。

不要求，感兴趣同学自学了解。



7.5 综合应用

带显示的数字秒表电路。

计时：计数器、显示译码

控制：单次脉冲、节拍脉冲

自学了解



7.6 用Multisim分析时序逻辑电路

课下自己完成。



基本要求

- 1、了解时序逻辑电路的特点
- 2、同步/异步时序逻辑电路的分析方法

写出时钟方程、驱动方程、状态方程及输出方程。

利用状态转换图/表和时序图说明电路的逻辑功能。

根据要求进行自启动检查。



3、常用中规模时序电路

寄存器和移位寄存器(74194)

计数器(74160/161,74290)

会读功能表、会分析

任意进制计数器的设计

分为 $M > N$ 及 $M < N$ 两种情况，有清零法及置数法，

级联时可采用串行进位及并行进位两种方式



4、小规模时序电路的设计方法

逻辑抽象，得到状态转换图

选择触发器的种类和个数

求出状态方程及输出方程，并进而得到驱动方程

画出电路图（根据要求进行自启动检查）



5、时序电路与组合电路的综合应用

顺序脉冲发生器

序列信号发生器

