

数字电路

第6章 触发器



杨旭

北京理工大学

`pyro_yangxu@bit.edu.cn`

本章内容

- ❑ 6.1 概述
- ❑ 6.2 触发器的结构与工作原理
- ❑ 6.3 触发器的工作特性
- ❑ 6.4 触发器的逻辑功能及相互转换
- ❑ 6.5 触发器应用举例
- ❑ 6.6 用Multisim2001分析JK触发器



重点和难点

重点

- 1.各种触发器的逻辑功能及其描述方法(特性表、特性方程)。
- 2.基本RS、同步RS、边沿结构触发器的动作特点。
- 3.已知电路图及输入信号波形，写出电路的次态函数式并画输出信号波形。
- 4.触发器的逻辑功能分类及其转换。



6.1 概述

在数字系统中，不但要对数字信号进行算术运算和逻辑运算，而且需要将数据和运算结果等信息保存起来，这就需要具有记忆功能的逻辑单元。



能够存储1位二进制数字信号的基本单元电路叫做
触发器。

触发器是构成各种复杂数字系统的基本逻辑单元。



触发器的分类

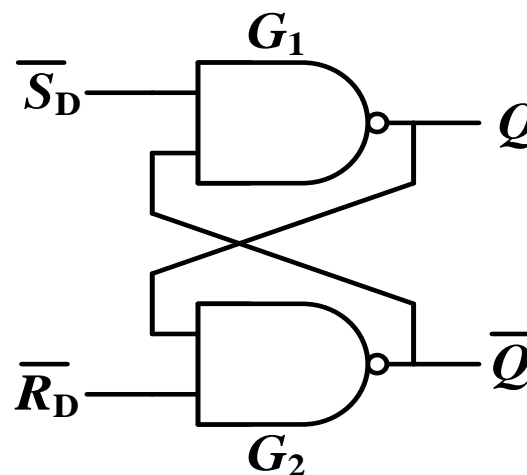
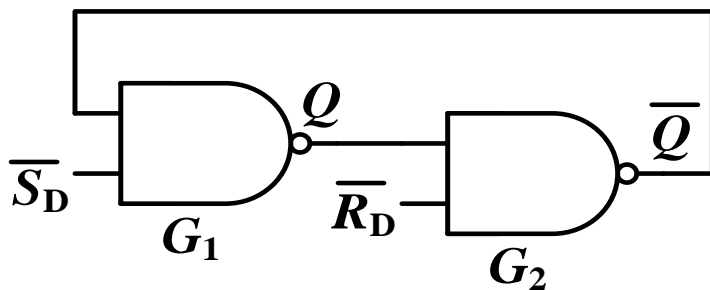
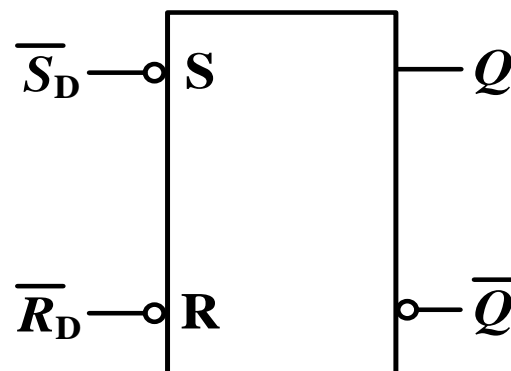


6.2 触发器的结构与工作原理

基本RS触发器

1. 电路组成

两个与非门首尾连接或交叉耦合



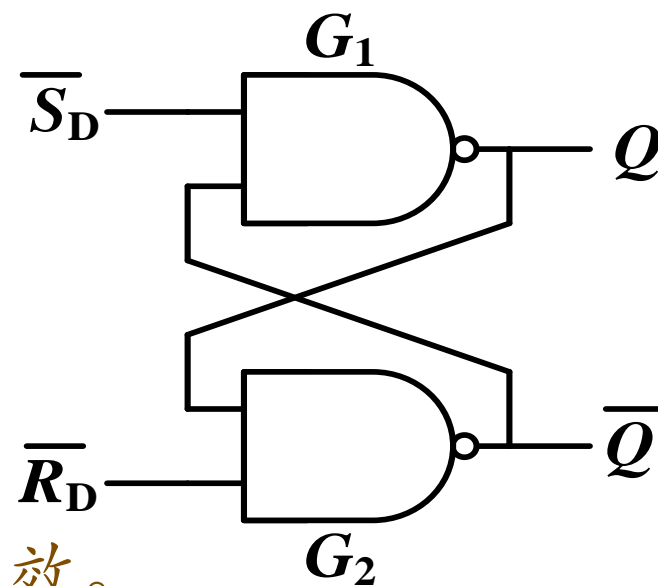
定义

$Q = 1, \bar{Q} = 0$ 为1状态,

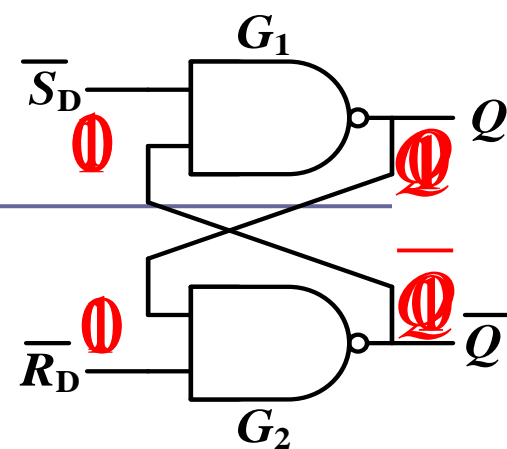
$Q = 0, \bar{Q} = 1$ 为0状态。

\bar{S}_D 为直接置位（置1）端，低电平有效。

\bar{R}_D 为直接复位（置0）端，低电平有效。



2. 逻辑功能



(1) 置1功能

$\overline{S}_D = 0, \overline{R}_D = 1$ 时, 电路为置1状态。

(2) 置0功能

$\overline{S}_D = 1, \overline{R}_D = 0$ 时, 电路为置0状态。

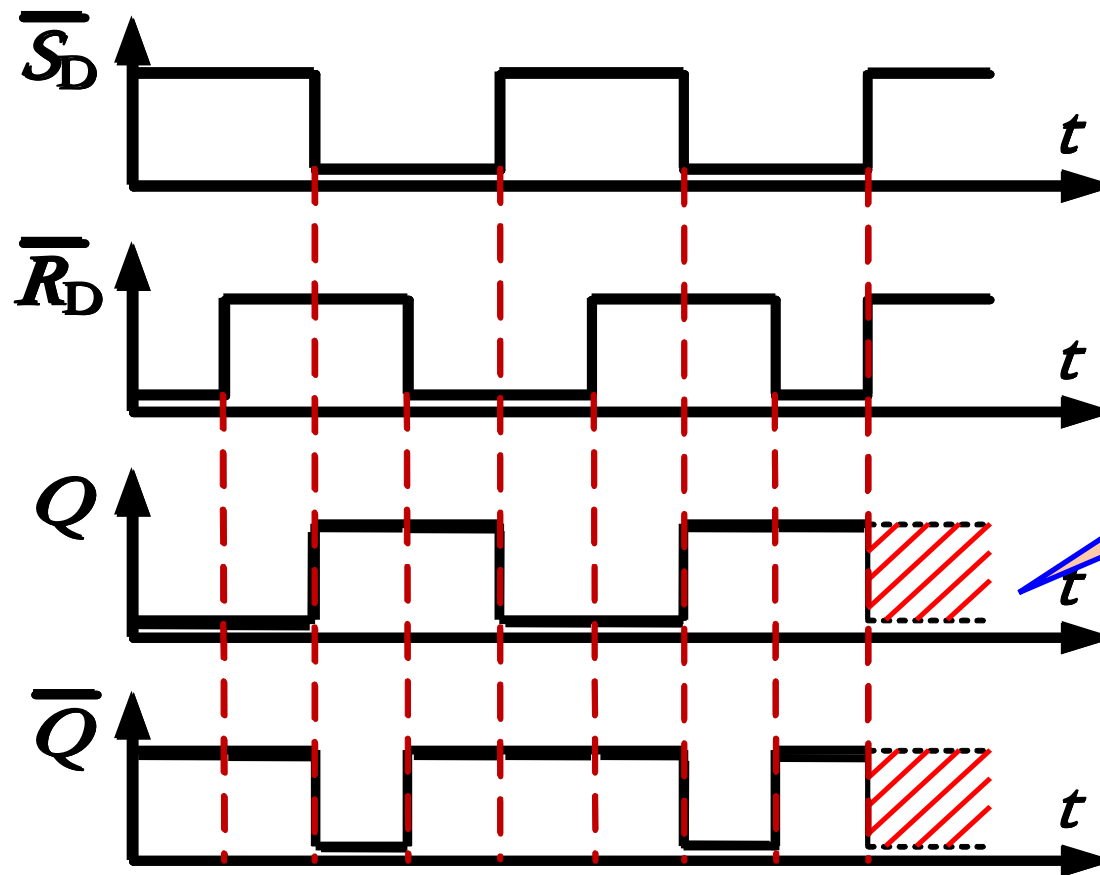
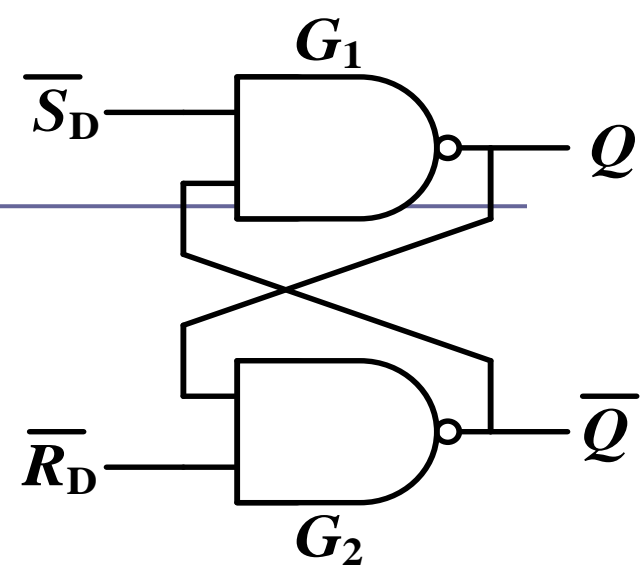
(3) 保持功能

$\overline{S}_D = 1, \overline{R}_D = 1$ 时, 电路维持原状态不变。

(4) 无意义状态 正常工作时不允许出现

$\overline{S}_D = 0, \overline{R}_D = 0$ 时, 电路状态无意义。





阴影部分表示不定状态



为了以后分析方便，规定：

触发器在接收信号之前所处的状态称为原态/初态，用 Q^n 表示；

触发器在接收信号之后建立的新的稳定状态，叫做次态/新态，用 Q^{n+1} 表示。

显然，触发器的次态 Q^{n+1} 是由输入信号和原态 Q^n 的取值情况所决定。



特性表

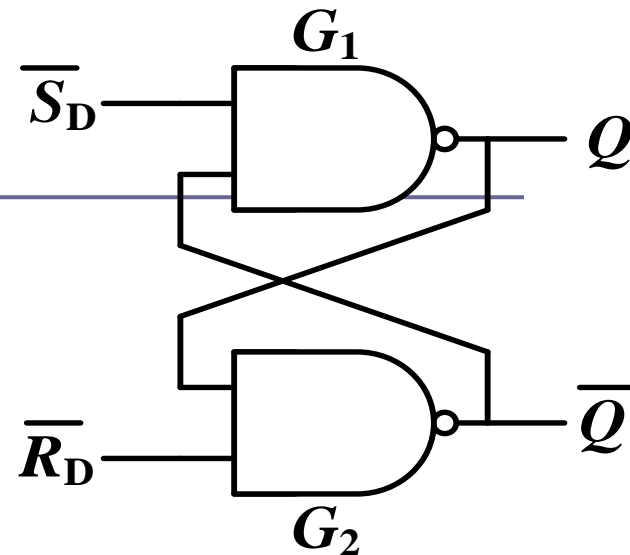
\overline{S}_D	\overline{R}_D	Q^n	Q^{n+1}
1	1	0	0
1	1	1	1
1	0	1	0
1	0	0	0
0	1	1	1
0	1	0	1
0	0	1	1*
0	0	0	1*

保持

置0

置1

无意义



\overline{S}_D	\overline{R}_D	Q^{n+1}
1	1	Q^n
1	0	0
0	1	1
0	0	1*



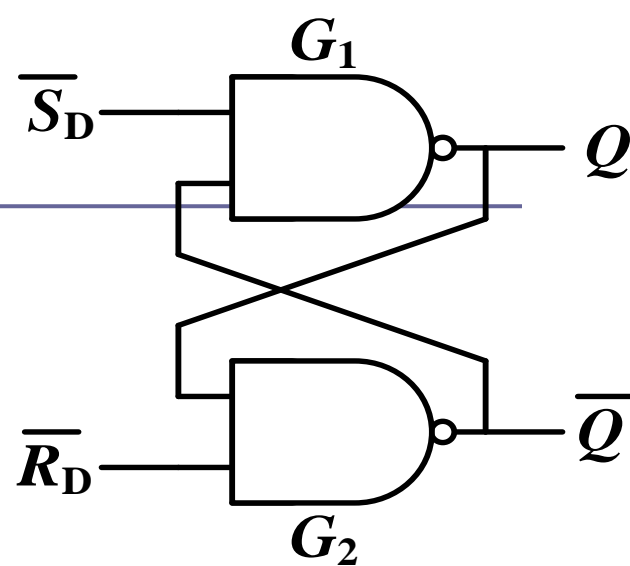
锁存器

latch

\overline{S}_D	\overline{R}_D	Q^{n+1}
1	1	Q^n
1	0	0
0	1	1
0	0	1*

特性方程

$$\left\{ \begin{array}{l} Q^{n+1} = S + \overline{R}Q^n \\ SR = 0 \end{array} \right. \quad \text{约束条件}$$



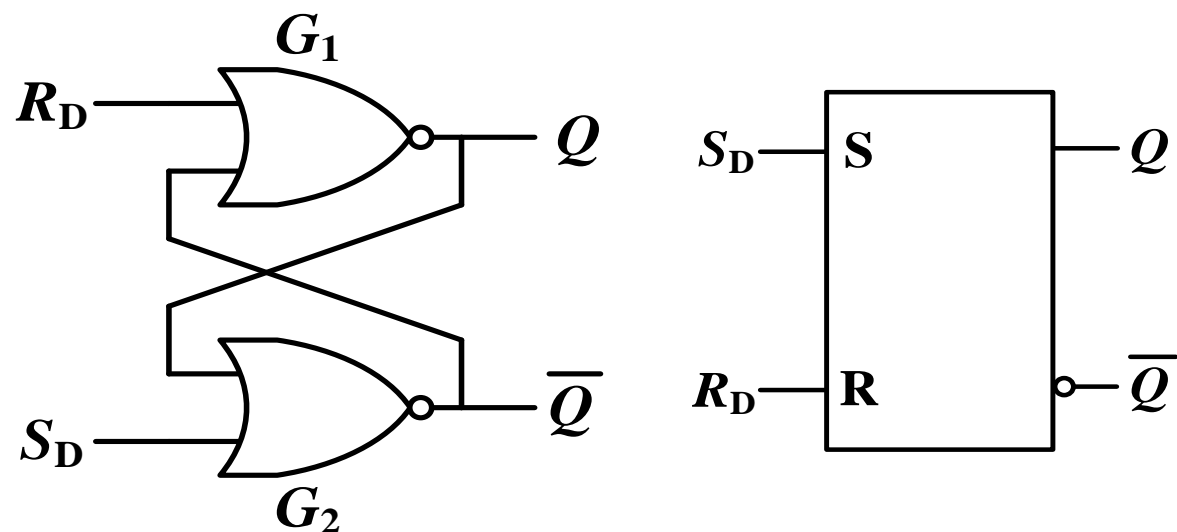
动作特点：在任何时刻，输入都能直接

改变输出的状态。



或非门组成基本RS触发器

用两个或非门也可以构成基本RS触发器，其直接置位端和复位端高电平有效。



S_D	R_D	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	1*



3.集成基本RS触发器

CC4043

输入高电平有效

CC4044

输入低电平有效

都具有三态输出功能



同步RS触发器

Flip-Flop

在较复杂的数字系统中，当采用多个触发器时，往往要求各个触发器的翻转在时间上同步，因此需引入一个公用的同步信号，使这些触发器只有在同步信号到达时才按输入信号改变输出状态。

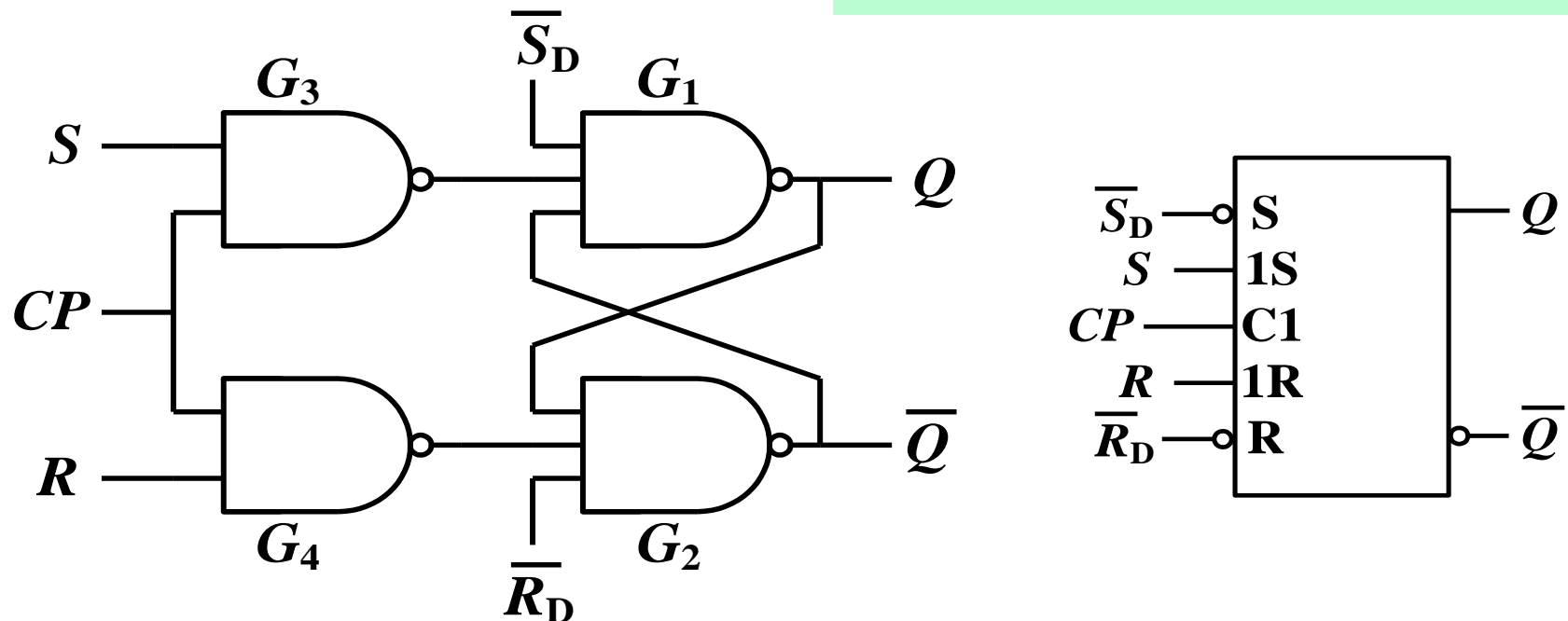
通常称此同步信号为**时钟脉冲信号**，简称**时钟**，用**CP**表示。



\overline{S}_D 和 \overline{R}_D 称为异步输入信号

1. 电路组成

S 和 R 称为同步输入信号



G_1 、 G_2 组成基本RS触发器， G_3 、 G_4 组成输入控制电路。



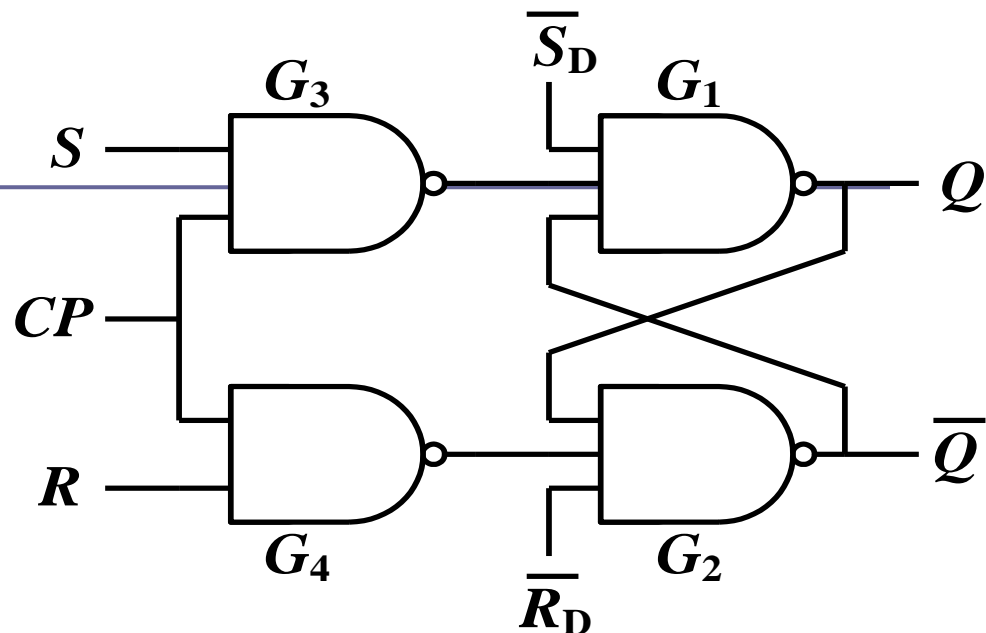
2.工作原理

先考虑同步工作

$$\overline{S}_D = \overline{R}_D = 1$$

CP=0时, G_3, G_4 门被封锁, 无论S、R端加什么信号它们输出全是1, 触发器保持原来状态不变。

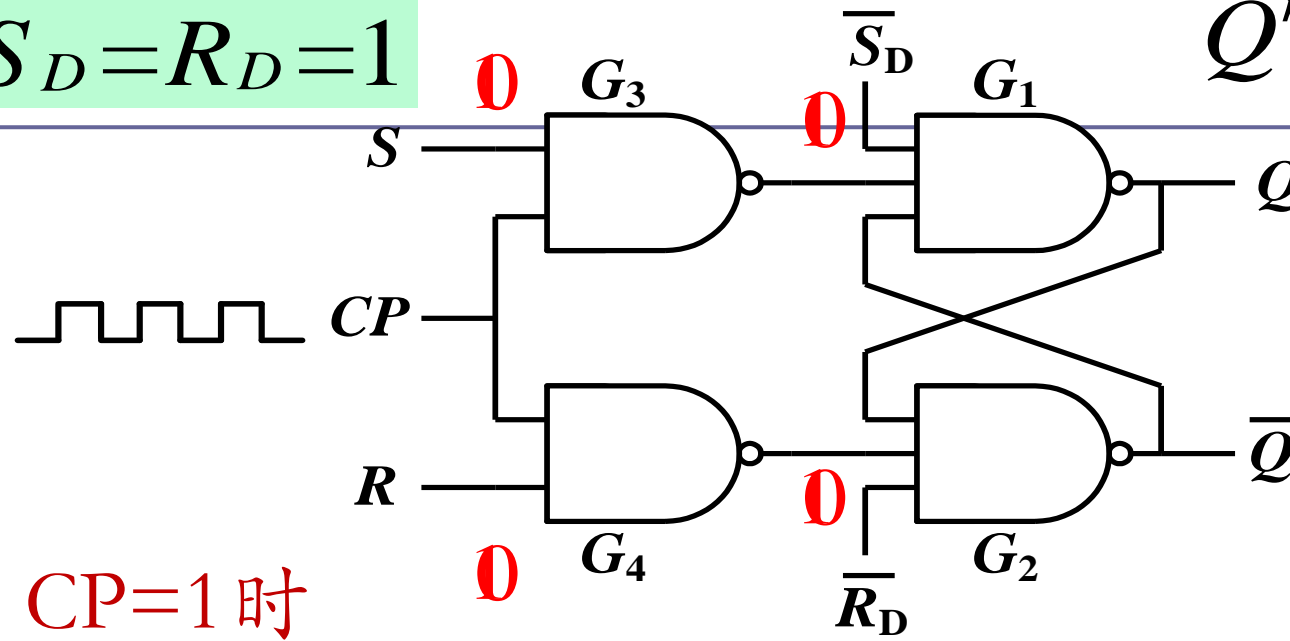
CP=1时, S、R的变化才能引起状态变化。



$$\overline{S}_D = \overline{R}_D = 1$$

$$Q^{n+1} = S + \overline{R}Q^n$$

$$SR = 0$$



$$S = R = 0 \quad Q^{n+1} = Q^n$$

$$S = 1, R = 0 \quad Q^{n+1} = 1$$

$$S = 0, R = 1 \quad Q^{n+1} = 0$$

$$S = R = 1 \quad \text{禁止出现}$$

S	R	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	不确定



逻辑功能

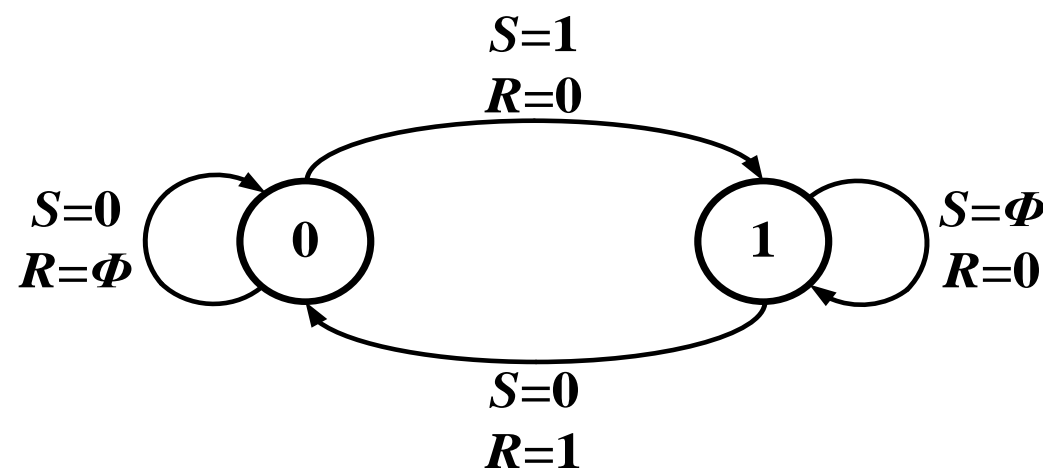
- 可以通过触发器状态的转换对触发器求描述逻辑功能。

S	R	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	不确定

$Q^n \rightarrow Q^{n+1}$		S	R
0	0	0	Φ
0	1	1	0
1	0	0	1
1	1	Φ	0

激励表

不做要求



状态转换图



也可用卡诺图来描述

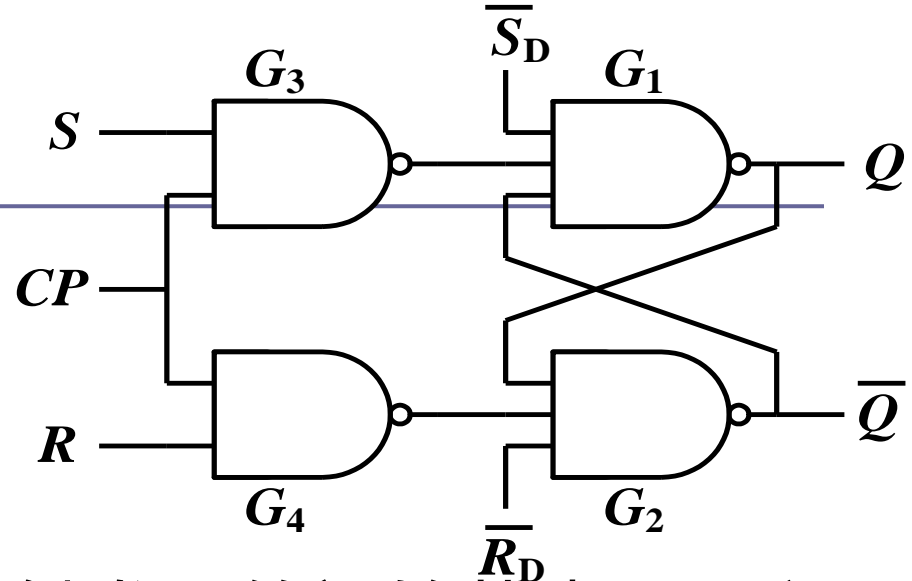
$$\left\{ \begin{array}{l} Q^{n+1} = S + \bar{R}Q^n \\ SR = 0 \end{array} \right.$$

$SR \backslash Q^n$	00	01	11	10
0	0	0	Φ	1
1	1	0	Φ	1

称为次态卡诺图。

还可以用时序图来描述。（略）

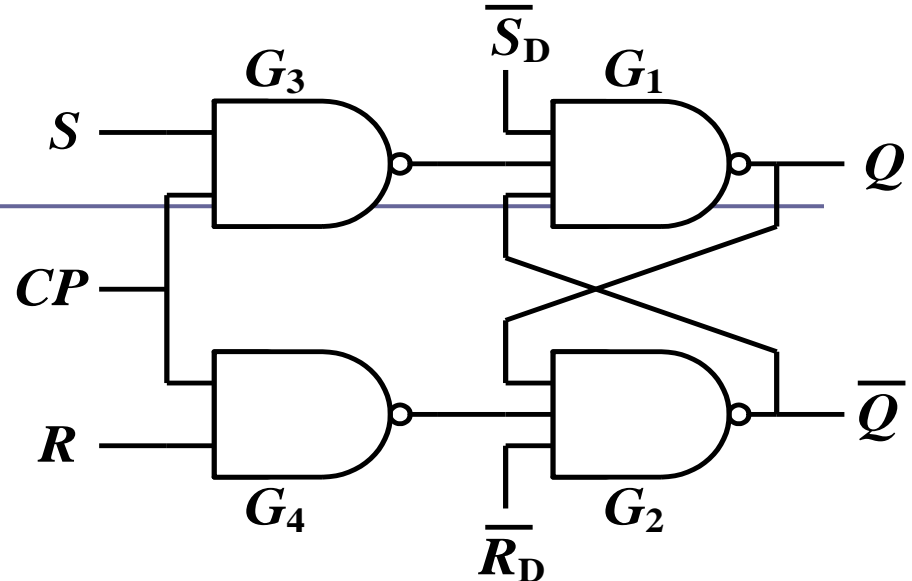




应用时，如需要预设触发器的初始状态，可以使用异步输入端直接进行置位或者复位，而不受时钟信号的限制。

预置完毕后，应当使异步端处于无效状态，从而使触发器进入同步工作状态。



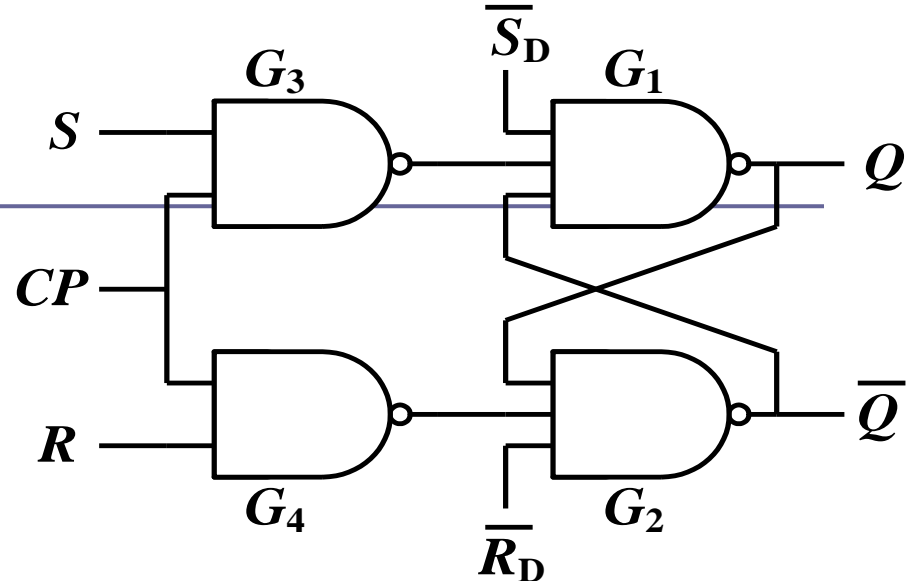


□ 在 $CP=1$ 的全部时间里 S 和 R 的变化，都将引起触发器输出端状态的变化。

□ 同步触发器又称作

电平触发型触发器





- 如果 $CP=1$ 期间内输入信号多次发生变化，则触发器的状态也会发生多次翻转，这降低了电路的抗干扰能力。
- 同一时钟脉冲作用期间，引起触发器发生两次以及多次翻转的现象，叫空翻。



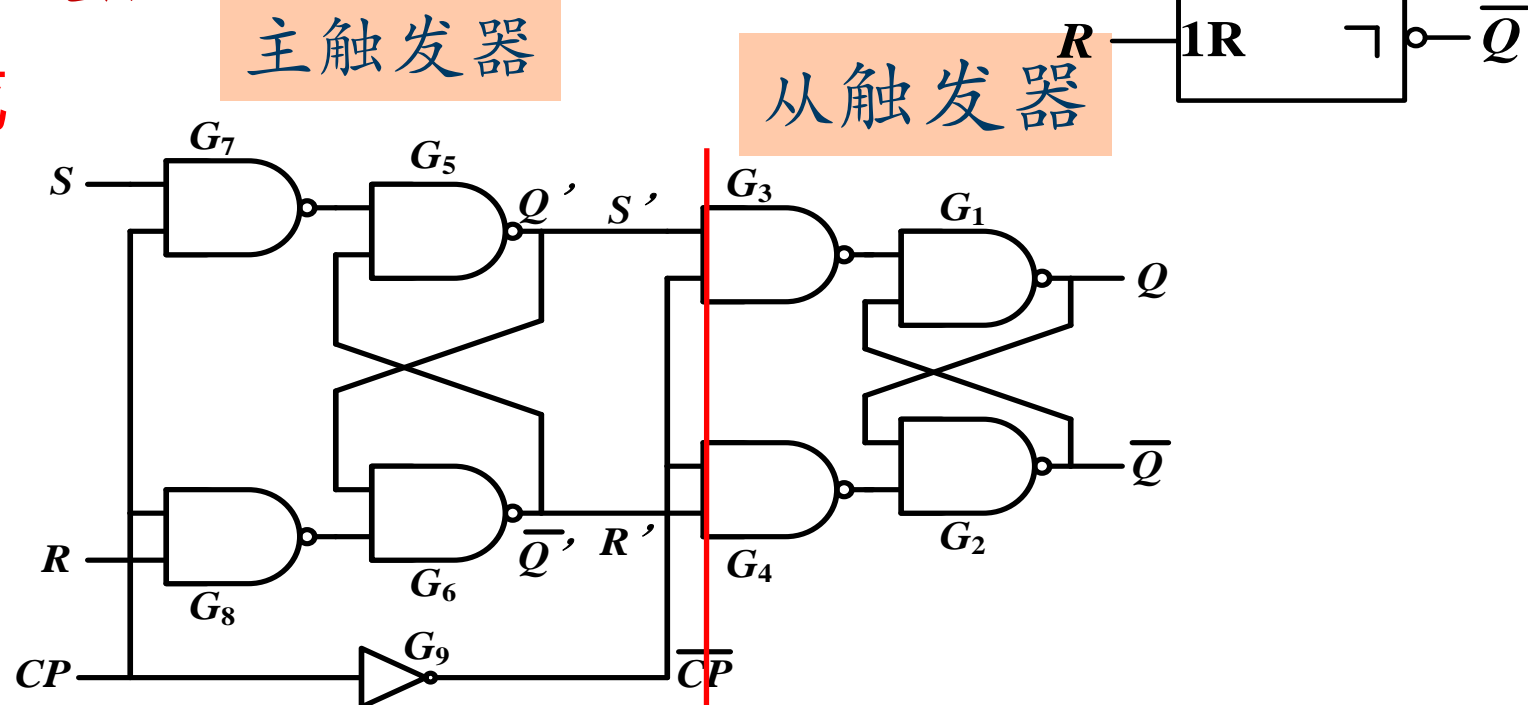
-
- ❑ 同步RS触发器存在空翻现象，为了提高抗干扰能力，克服空翻，希望一个CP脉冲作用期间Q只改变一次。
 - ❑ 采用以下结构形式：主从型、边沿型。



主从触发器

1. 主从RS触发器

□ 电路组成



- 两个同样的同步RS触发器加一个反相器组成，构成主触发器和从触发器。



工作原理

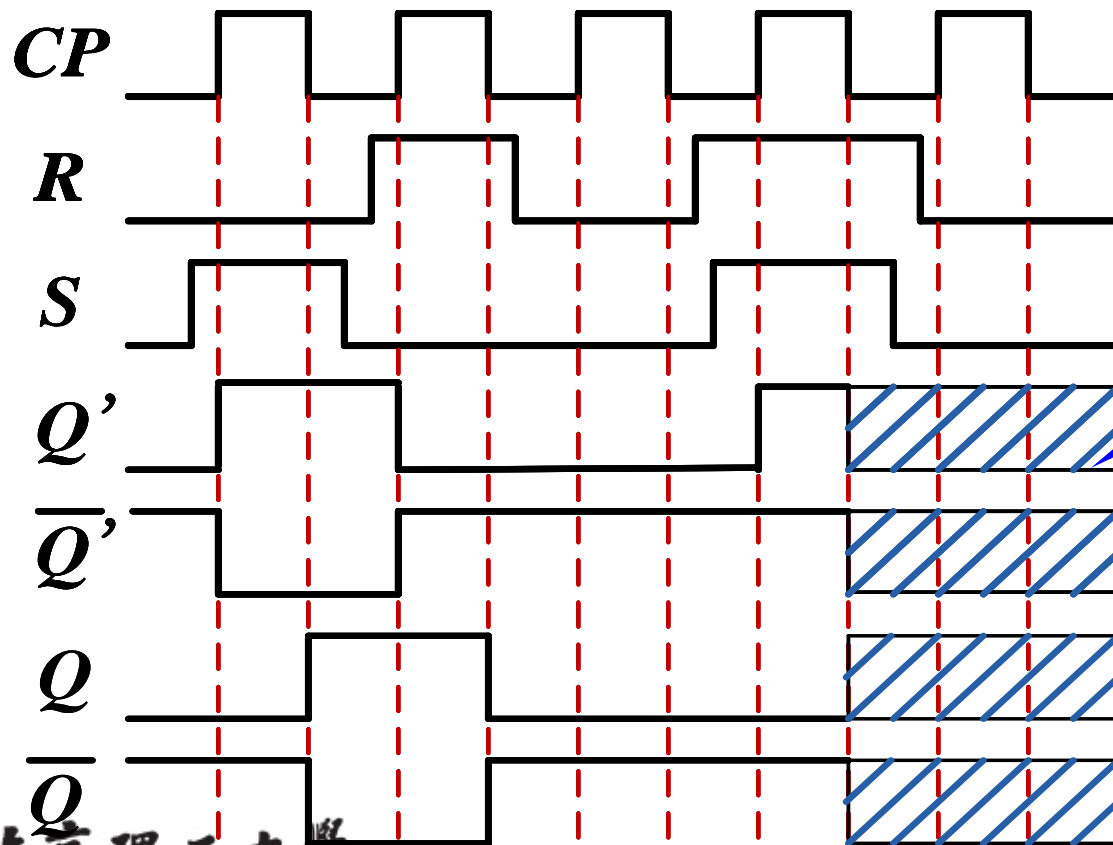
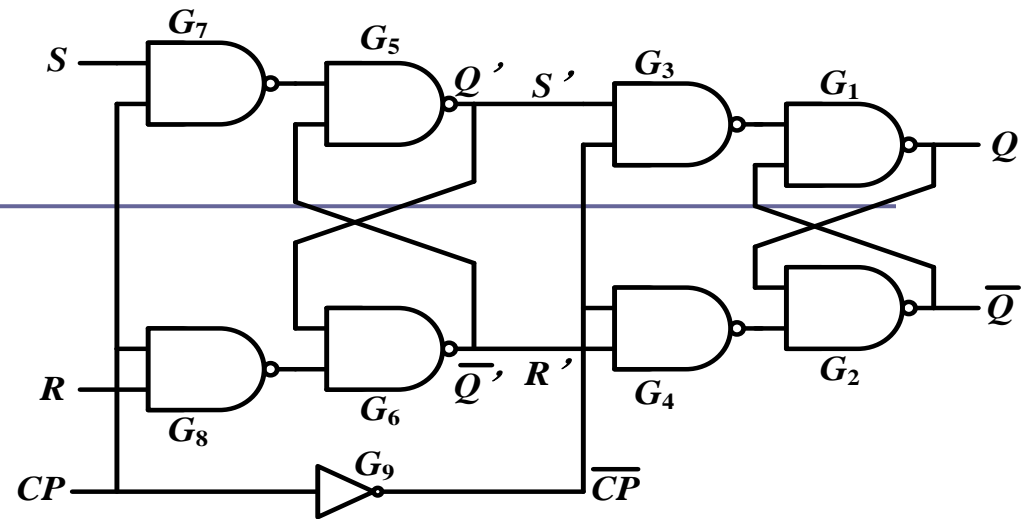
- $CP=1$ 时，主触发器根据 S 、 R 的状态翻转，从触发器保持原来的状态不变。
- CP 从1返回0时，主触发器状态在 $CP=0$ 期间不再改变，从触发器按照与主触发器相同的状态翻转。



逻辑功能

- ❑ 主从RS触发器和同步RS触发器的特性表相同，但工作时序不同。
- ❑ 主从RS触发器在 CP 由 $1 \rightarrow 0$ （下降沿）后根据 $CP = 1$ 期间 S 、 R 的状态而改变状态。
- ❑ 即输出状态的变化发生在 CP 信号的下降沿。





阴影部分表示不定状态

禁止出现

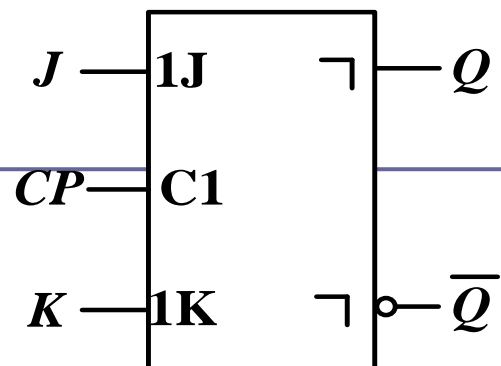


2. 主从JK触发器

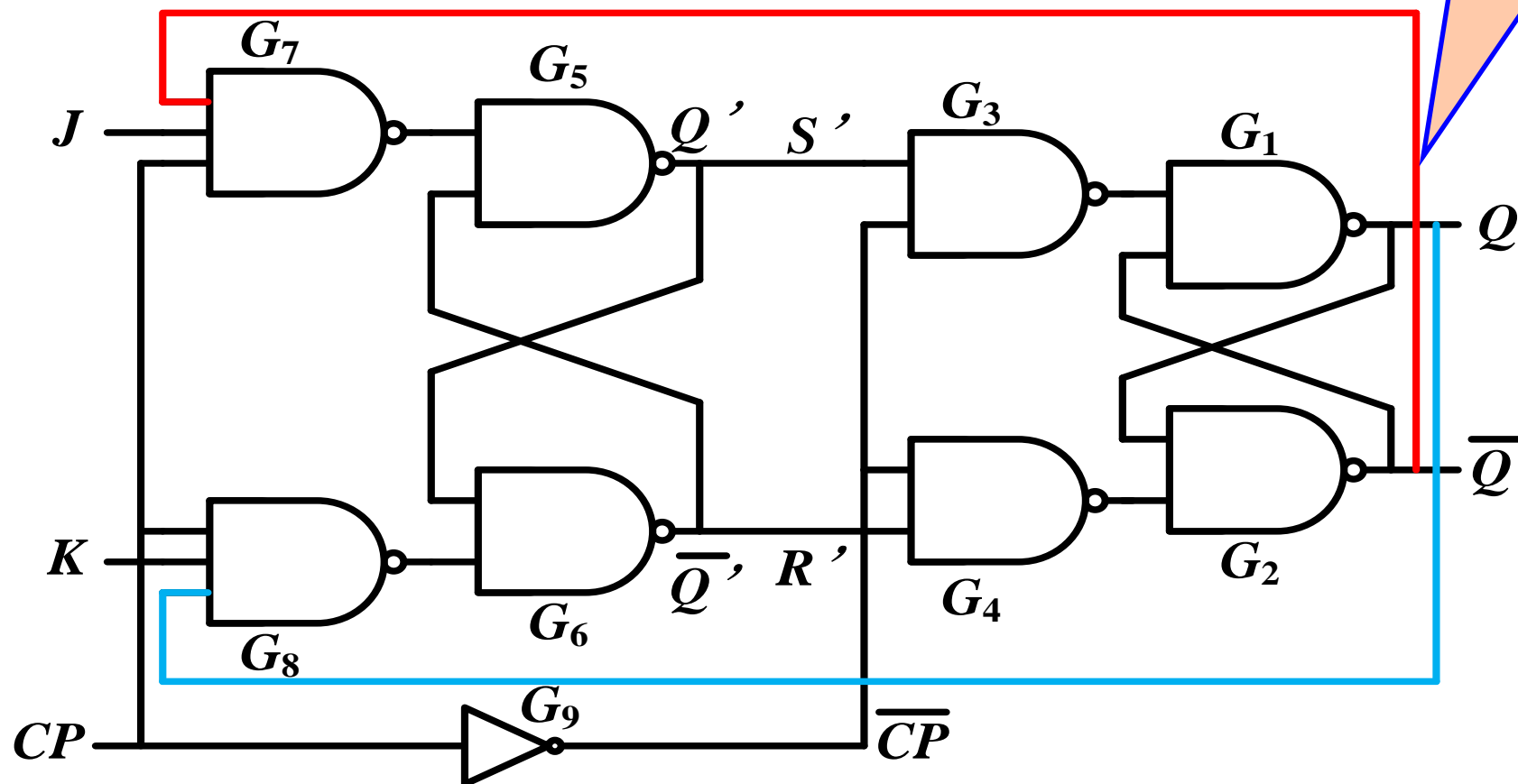
- ❑ 在主从RS的触发器中， R 、 S 信号仍存在约束，当 $R=S=1$ 时，触发器出现不定状态。
- ❑ 主从JK触发器可以解决主从RS触发器对输入信号的约束问题。



电路组成



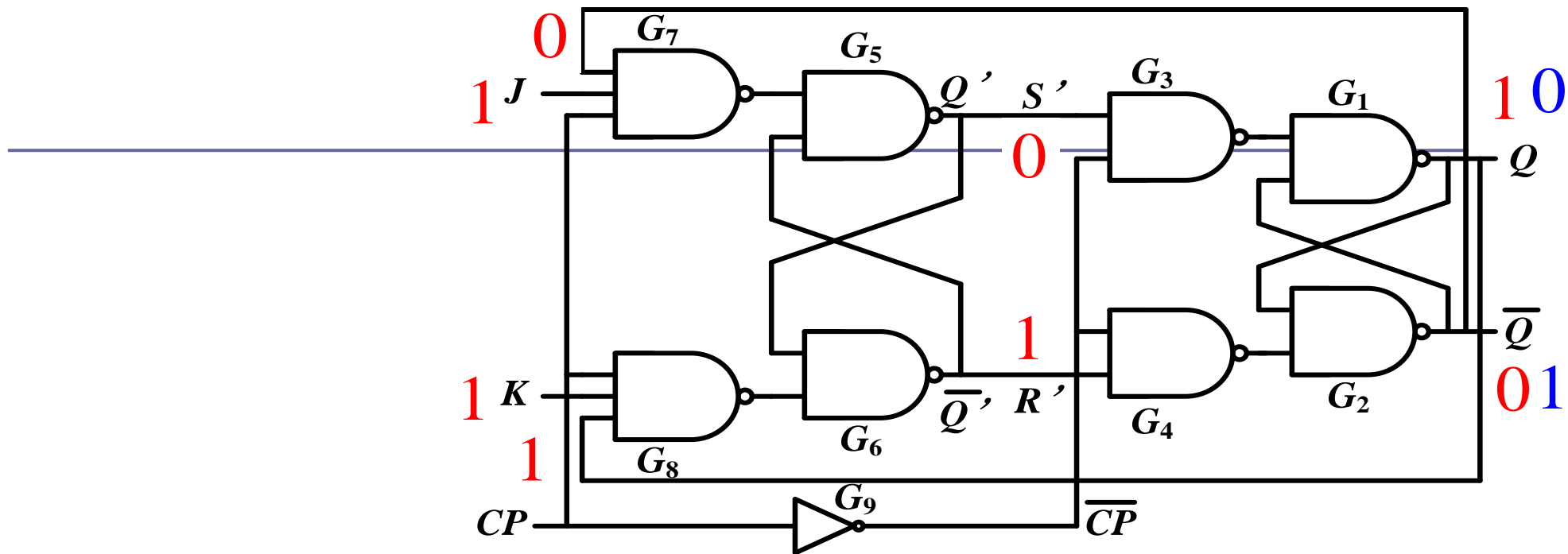
增加了两条反馈线



工作原理

- $CP=1$, 主触发器根据J、K状态而动作, 从触发器保持;
- $CP=0$, 从触发器根据主触发器的状态进行输出。





$$J = K = 0 \quad Q^{n+1} = Q^n$$

$$J = 0, K = 1 \quad Q^{n+1} = 0$$

$$J = 1, K = 0 \quad Q^{n+1} = 1$$

$$J = K = 1 \quad Q^{n+1} = \overline{Q^n}$$



逻辑功能

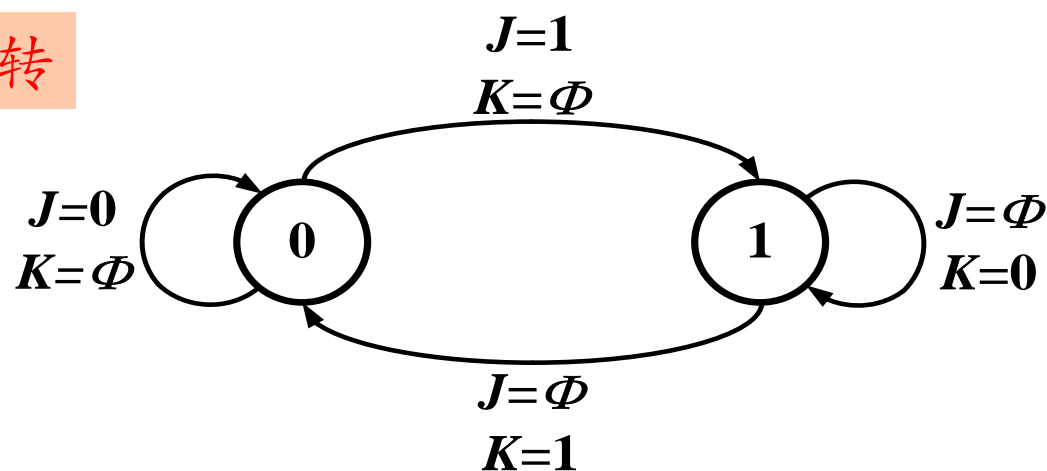
特性表

J	K	Q^{n+1}	
0	0	Q^n	保持
0	1	0	置0
1	0	1	置1
1	1	$\overline{Q^n}$	翻转

特性方程

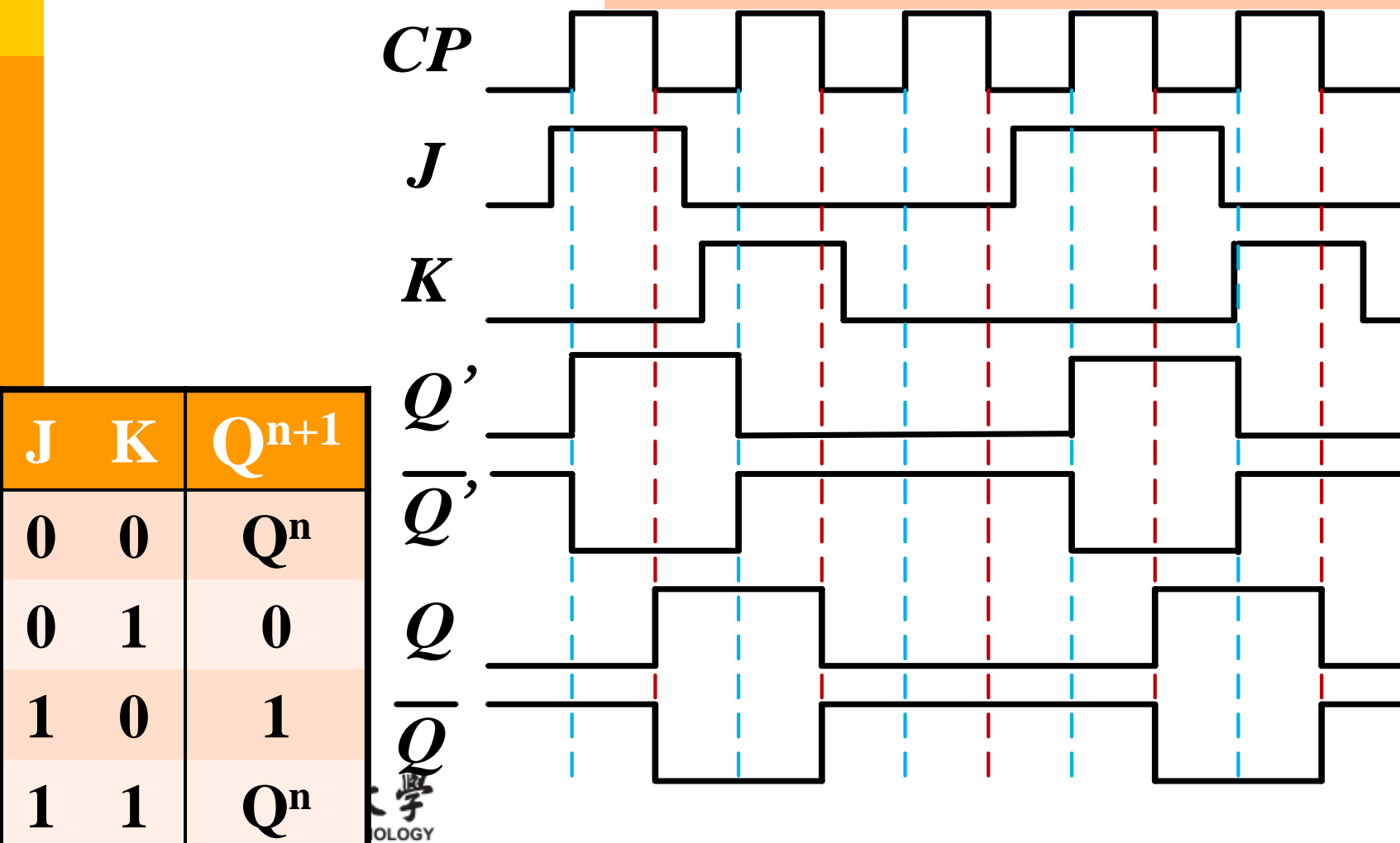
$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$$

状态转换图

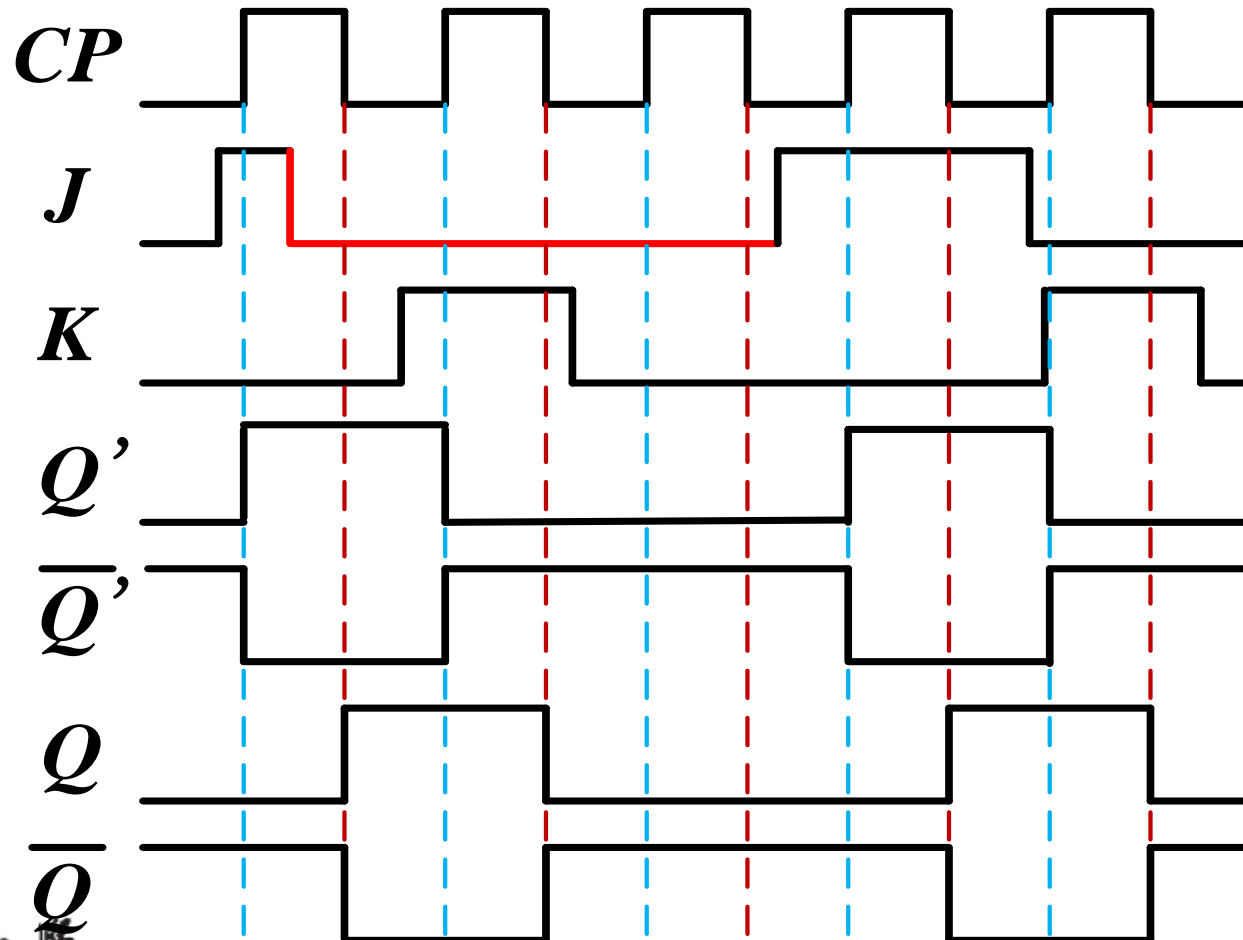


时序图

在CP=1期间，如果输入波形未发生变化，则可根据下降沿时的输入信号来确定输出状态。

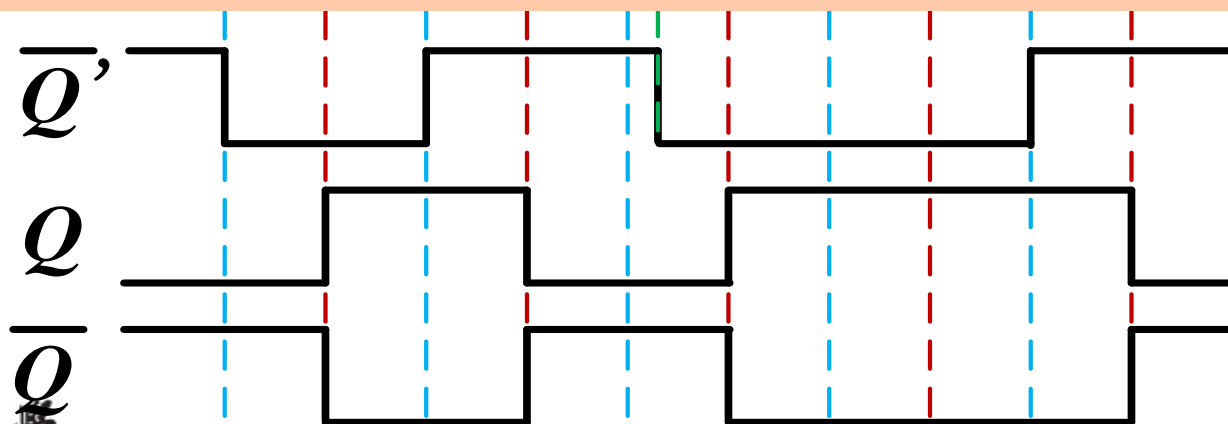


在 $CP=1$ 期间，如果输入波形发生过变化，则不能仅根据下降沿时的输入信号来确定输出状态。



J
K
CP

在CP=1期间，主触发器输入端的两个与门总有一个被封锁，J、K输入信号中只有一个变量能对主触发器的翻转起作用，但也有可能不翻转。一旦此输入变量因干扰引起主触发器翻转，即使干扰消失后，也不能使主触发器翻转回原来的状态，叫做主从JK触发器的**一次变化（最多变化一次）**。



主从触发器动作特点

- 1.触发器的状态更新分两步动作:
- 第一步:
 - 主触发器接收信号, 使 Q' 改变;
- 第二步:
 - 从触发器接收主触发器的状态, 使 Q 改变。



- 2.因为主触发器仍为同步触发器，所以CP=1期间，输入信号都对Q'起作用，若输入发生过变化，则CP下降沿时， Q^{n+1} 取决于CP = 1期间信号的变化过程。
- 所以，主从结构的触发器也叫做

脉冲触发型触发器



使用主从结构触发器注意

- 1)在 $CP=1$ 的全部时间里，输入信号都对主触发器起控制作用。
- 2)在 $CP=1$ 期间若输入信号发生过变化，必须考虑整个 $CP=1$ 期间主触发器状态的变化过程才能确定从触发器的次态。



- 3)只有CP=1期间输入信号未发生过变化的条件下,用CP下降沿到达时输入的状态决定触发器的次态才是正确的。
- 4)主从JK触发器存在一次变化问题。



边沿触发器

- 为了进一步增强触发器的抗干扰能力，提高工作的可靠性，希望触发器的次态仅仅取决于CP的上升沿或下降沿到来时刻输入信号的状态，而在此之前的或之后输入信号状态的任何变化对触发器的次态都没有影响。
- 这种触发器即为

边沿型触发器



- 触发器的次态**仅仅取决于CP信号沿**（上升沿或下降沿）到达时刻输入信号的状态。CP信号沿之前和之后输入状态的变化对触发器的次态没有影响。
- 提高了**可靠性**，增强了抗干扰能力。

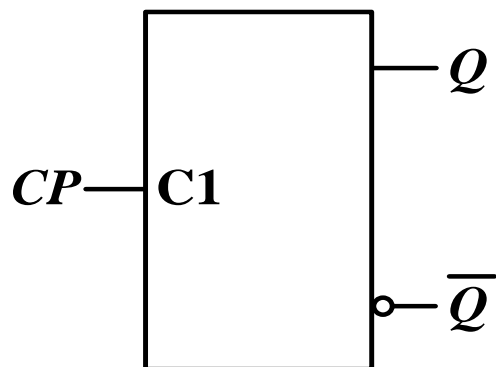


□ 常用结构：

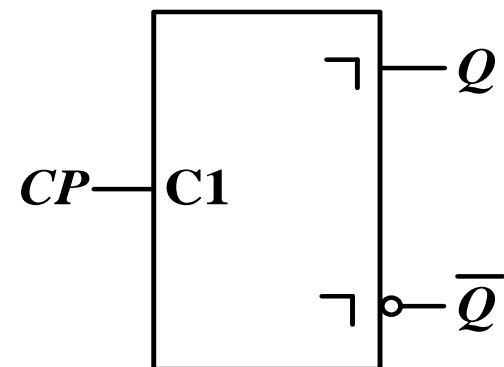
- 维持阻塞结构的边沿触发器
- 利用CMOS传输门的边沿触发器
- 自学了解其结构和原理



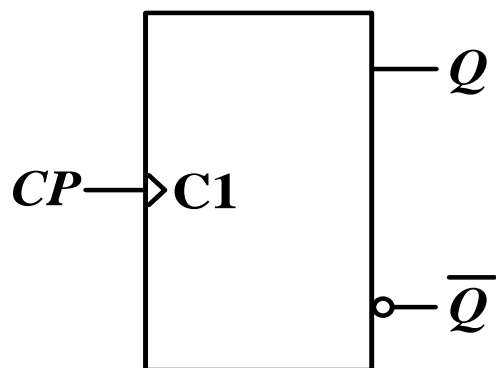
触发器逻辑符号比较



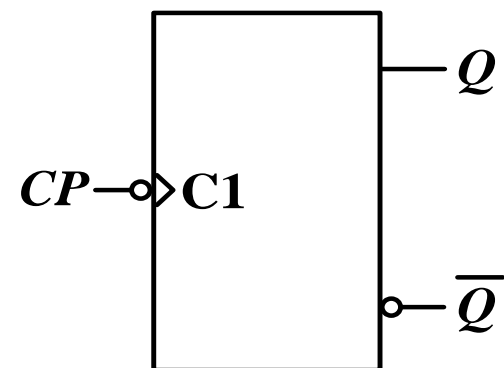
同步型，电平触发



主从型，脉冲触发



边沿型，上升沿触发



边沿型，下降沿触发



6.3 触发器的工作特性（自学了解）

□ 触发器的脉冲工作特性

- 1.建立时间
- 2.保持时间
- 3.CP脉冲宽度



触发器的主要参数

□ 静态参数

- (1) 电源电流
- (2) 输入短路电流
- (3) 输入漏电流
- (4) 输出高、低电平

□ 动态参数

- (1) 平均传输时间
- (2) 最高时钟频率



6.4 触发器的逻辑功能及相互转换

- 触发器还可按照逻辑功能的不同特点，把时钟控制的触发器分为RS触发器、JK触发器、T触发器、T'触发器和D触发器等几种类型。
- 触发器描述方法：特性表、特性方程、状态转换图。



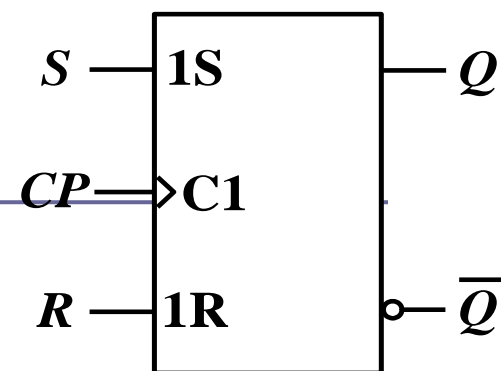
1. RS 触发器

特性表

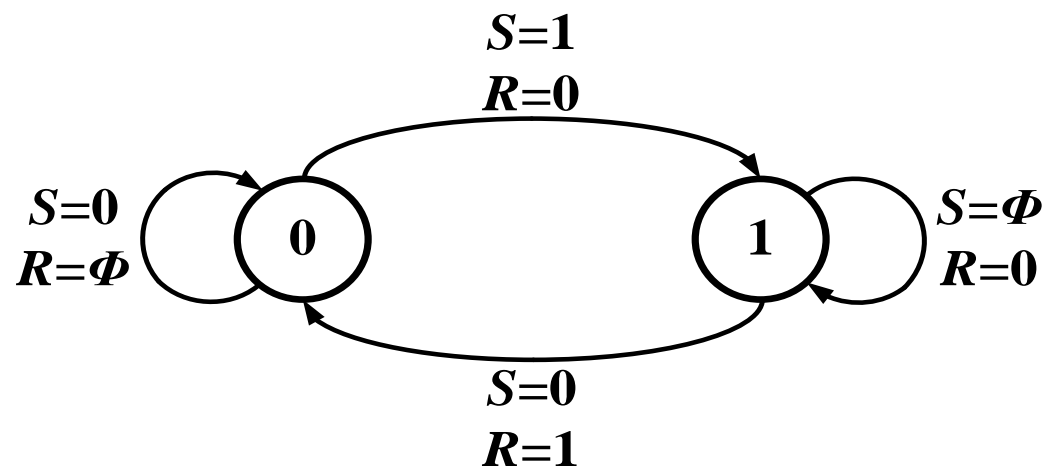
S	R	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	不确定

特性方程

$$\left\{ \begin{array}{l} Q^{n+1} = S + \bar{R}Q^n \\ SR = 0 \end{array} \right.$$



状态转换图



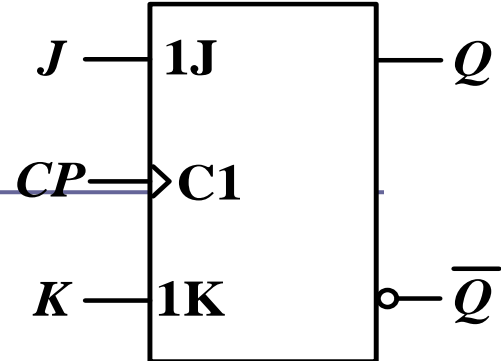
2. JK触发器

特性表

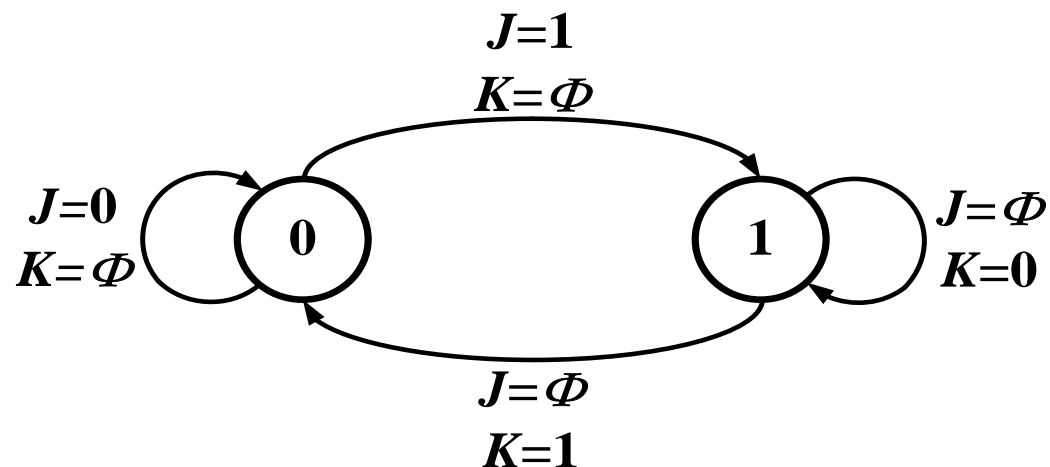
J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$

特性方程

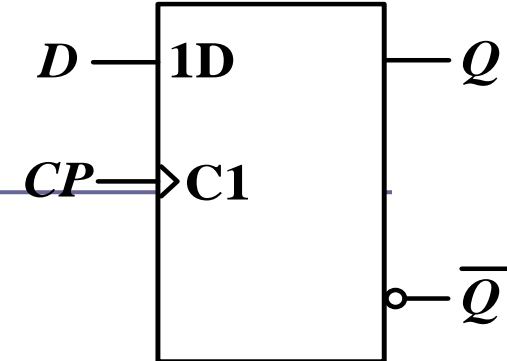
$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$$



状态转换图



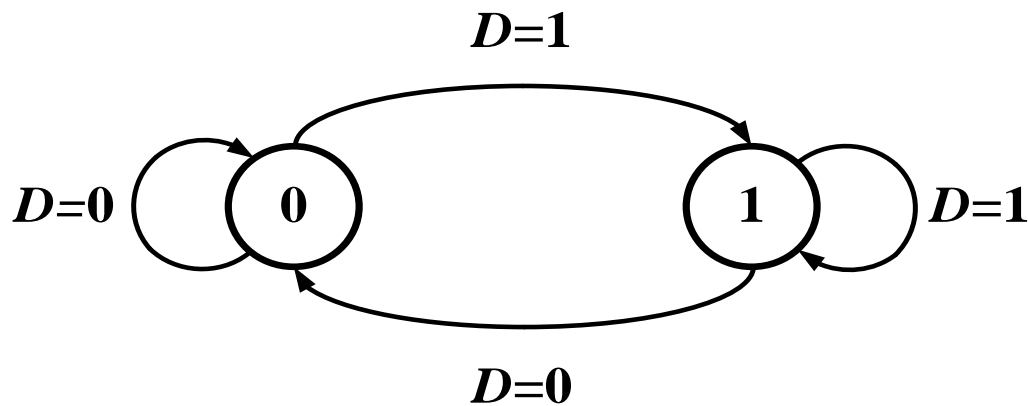
3. D触发器



特性表

D	Q^{n+1}
0	0
1	1

状态转换图

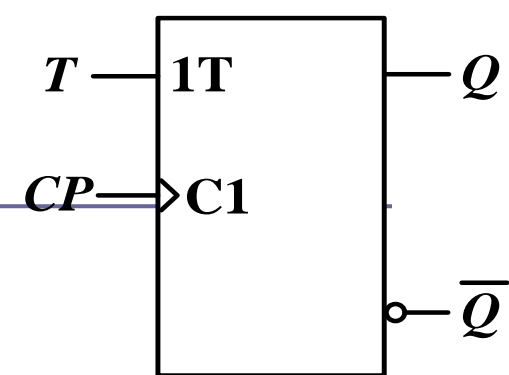


特性方程

$$Q^{n+1} = D$$



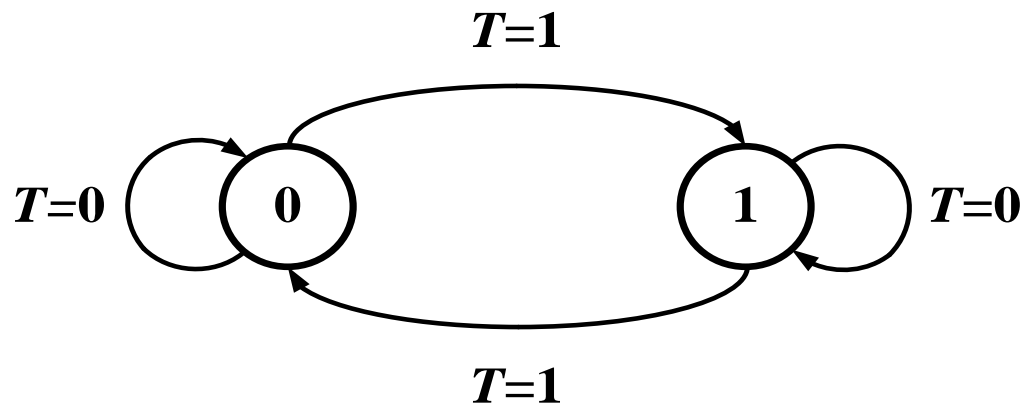
4. T触发器



特性表

T	Q^{n+1}
0	Q^n
1	$\overline{Q^n}$

状态转换图

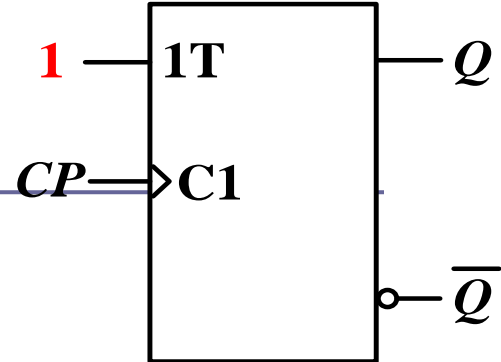


特性方程

$$Q^{n+1} = T\overline{Q^n} + \overline{T}Q^n$$



5. T'触发器



T触发器的输入端接逻辑“1”时构成T'触发器。

仅具有计数功能（翻转功能）。

特性方程

$$Q^{n+1} = \overline{Q^n}$$

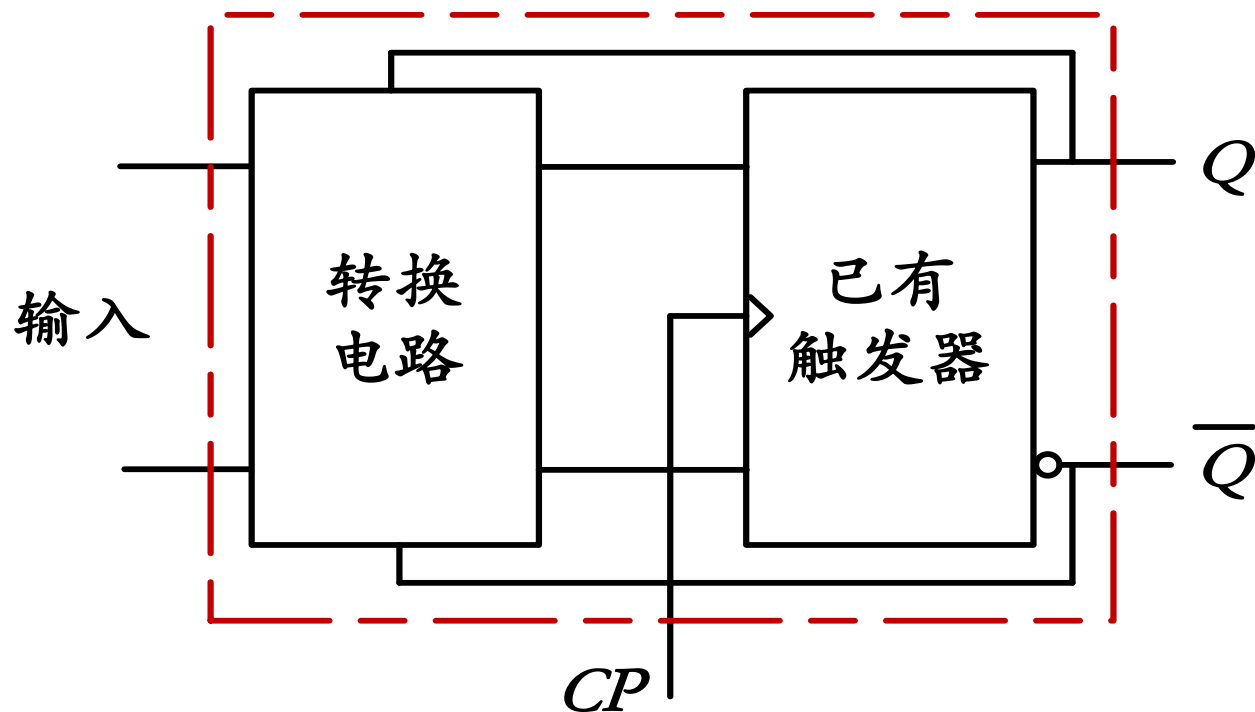


触发器逻辑功能的转换

- 将具有某种逻辑功能的触发器FF，在其输入端加一转换电路（组合逻辑电路），可完成另一待求触发器的逻辑功能。



新触发器

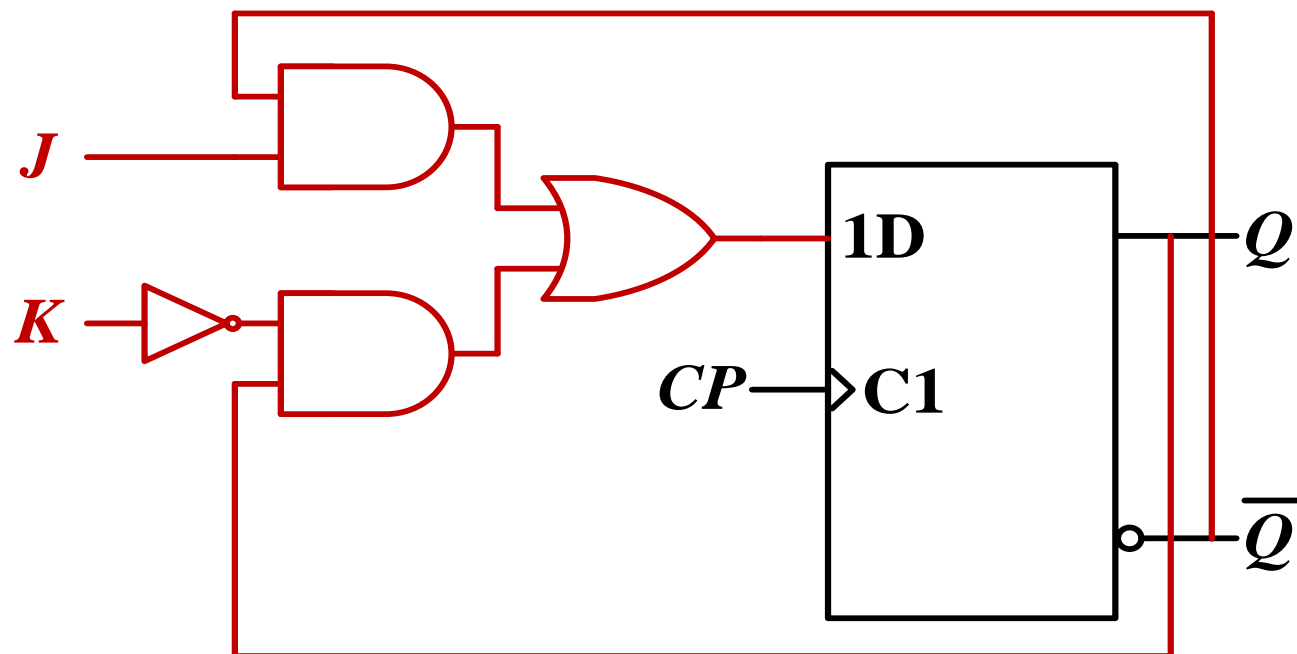


通常采用触发器特性方程比较的方法进行设计。



1. 从D触发器到JK触发器的转换

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$
$$Q^{n+1} = D \quad \left. \vphantom{Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n} \right\} D = J\overline{Q}^n + \overline{K}Q^n$$

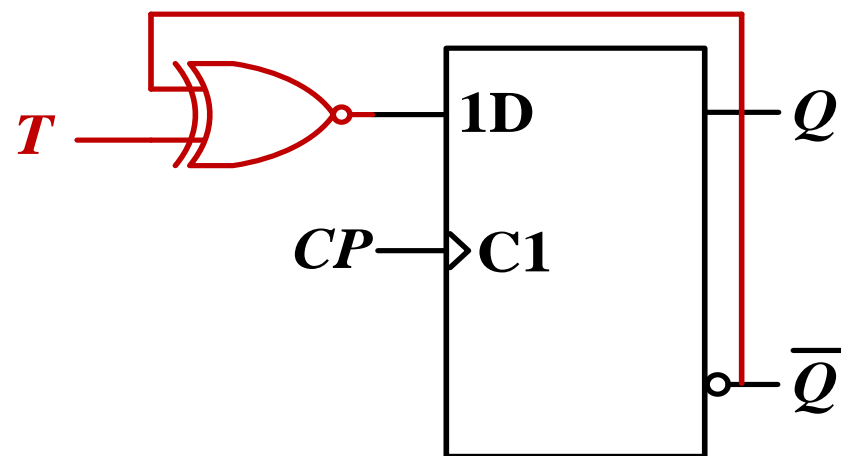
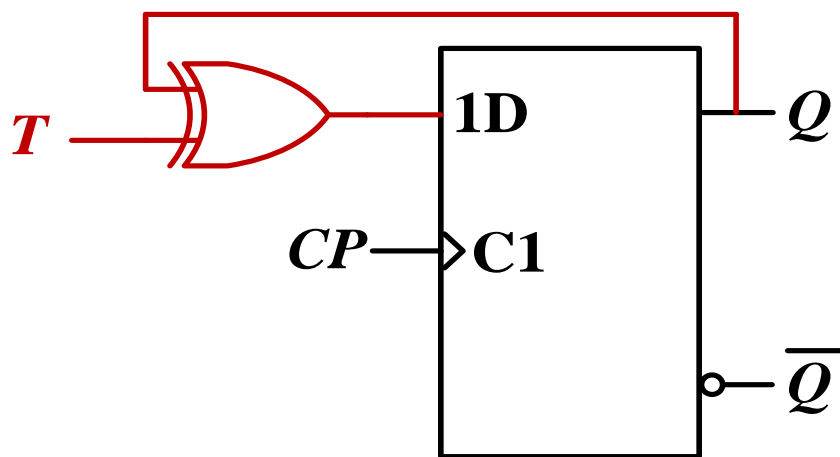


2. 从D触发器到T触发器的转换

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

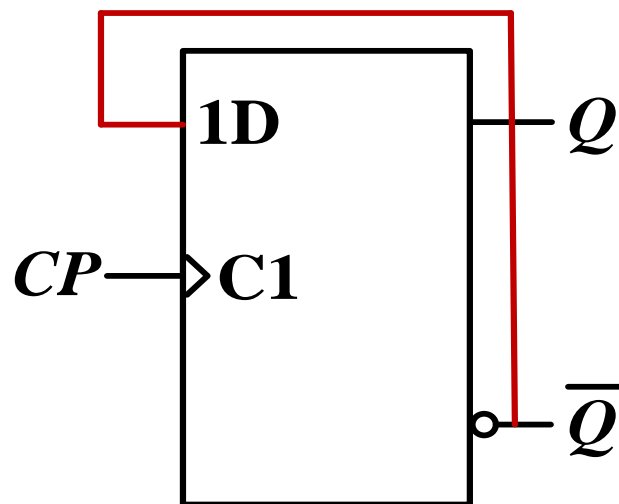
$$Q^{n+1} = D$$

$$\left. \vphantom{Q^{n+1}} \right\} D = T\overline{Q}^n + \overline{T}Q^n$$



3. 从D触发器到T'触发器的转换

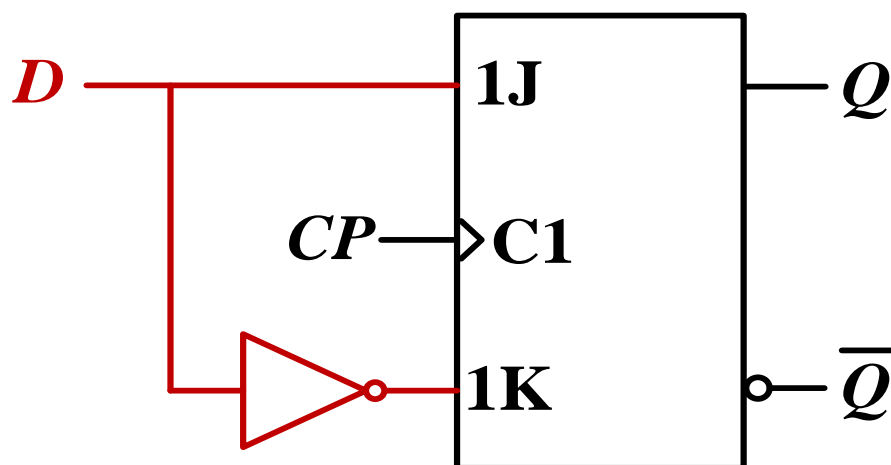
$$\begin{array}{l} Q^{n+1} = \overline{Q^n} \\ Q^{n+1} = D \end{array} \quad \left. \vphantom{\begin{array}{l} Q^{n+1} = \overline{Q^n} \\ Q^{n+1} = D \end{array}} \right\} D = \overline{Q^n}$$



4. 从JK触发器到D触发器的转换

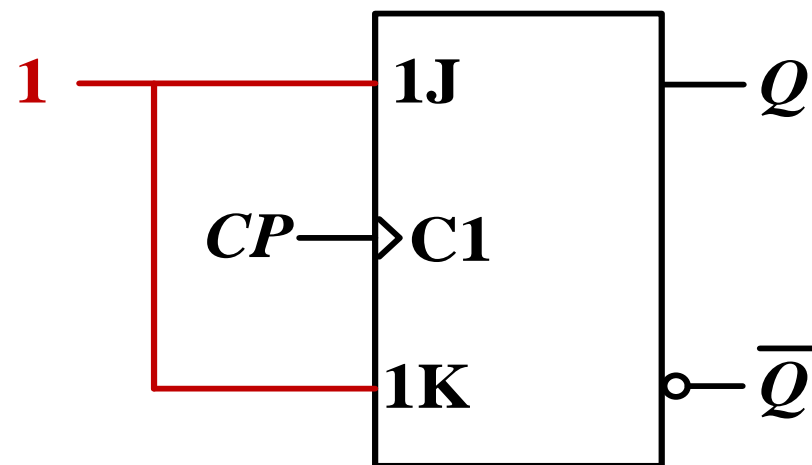
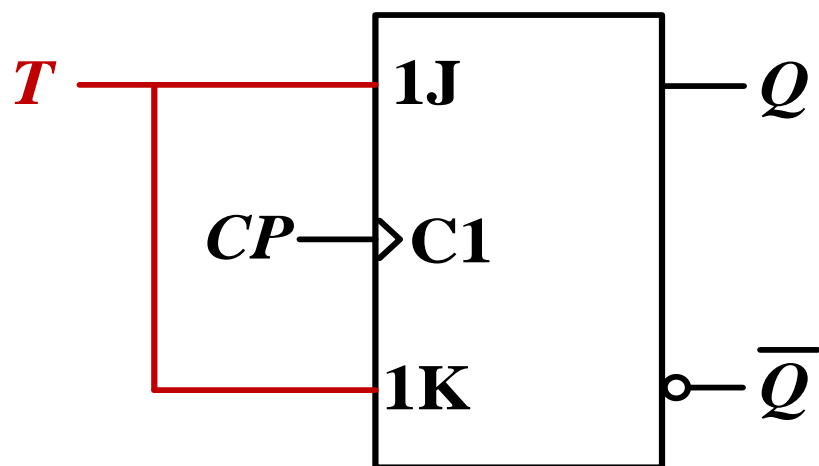
$$Q^{n+1} = D$$

$$\left. \begin{aligned} Q^{n+1} &= J\overline{Q}^n + \overline{K}Q^n \\ Q^{n+1} &= D\overline{Q}^n + DQ^n \end{aligned} \right\} \begin{aligned} J &= D \\ K &= \overline{D} \end{aligned}$$



5. 从JK触发器到T、T'触发器的转换

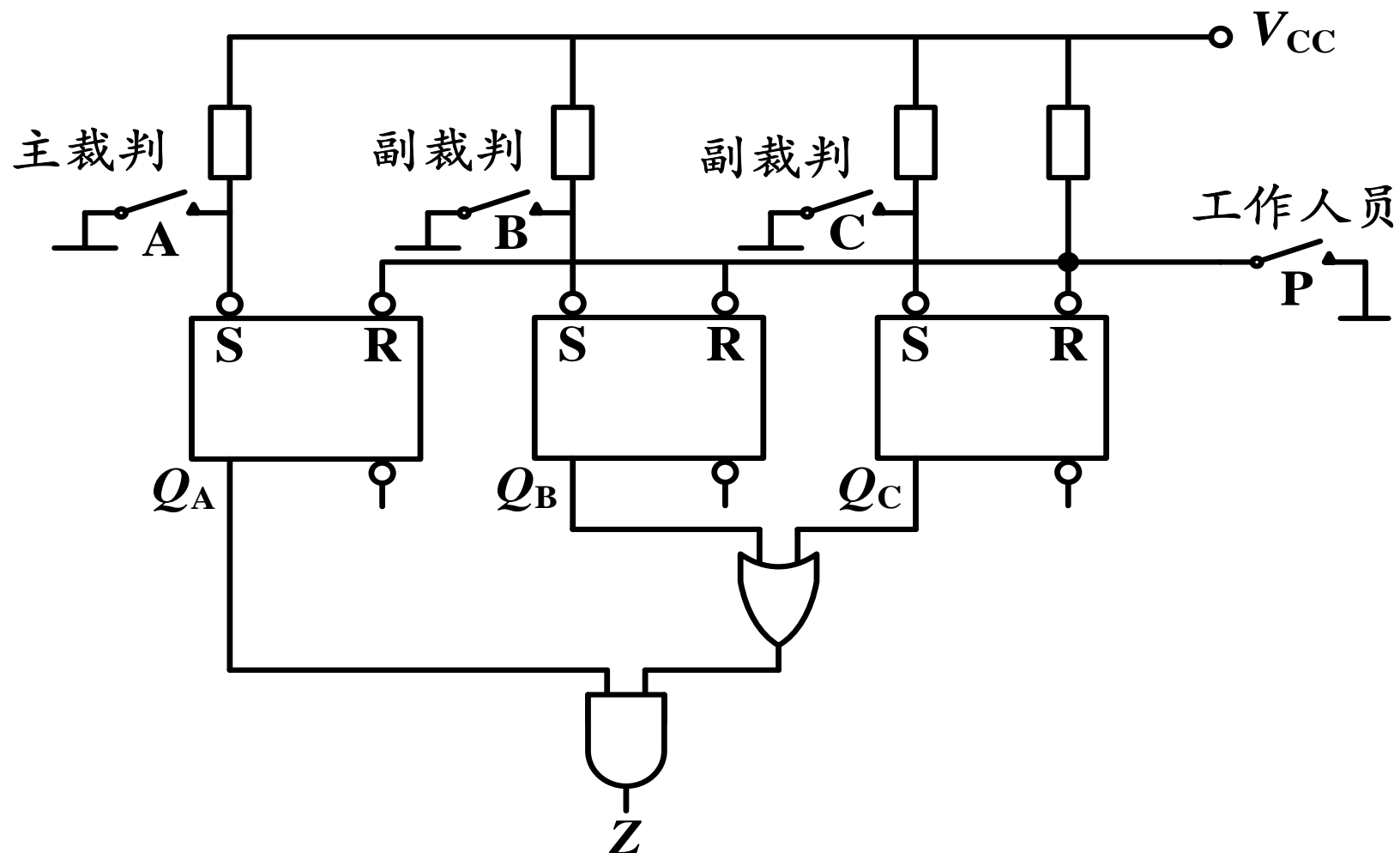
$$\left. \begin{aligned} Q^{n+1} &= T \overline{Q}^n + \overline{T} Q^n \\ Q^{n+1} &= J \overline{Q}^n + \overline{K} Q^n \end{aligned} \right\} J = K = T$$



6.5 触发器应用举例

- 设计一个举重裁判逻辑电路
 - 一个主裁判，两个副裁判，必须有包含主裁判在内的两人以上认定试举动作合格，并按动按钮时，表示试举成功，其输出信号 $Z=1$ 能一直保持，直到工作人员按动清除按钮。





6.6 用Multisim分析JK触发器

□ 课下自己练习



基本要求

- 1.各种触发器(RS、JK、D、T、T')的逻辑功能及其描述方法(特性表、特性方程)。
- 2.基本RS、同步RS、边沿结构触发器的动作特点。
- 3.已知电路图及输入信号波形, 写出电路的次态函数式并画输出信号波形。



-
- 4. 触发器的逻辑功能分类及其转换
 - 电路结构:
 - 只要求基本RS触发器和同步RS触发器

