



SPRAWOZDANIE

Wstęp do techniki cyfrowej

Informatyka 4i1 niestacjonarne

Semestr letni 2022

Bartłomiej Błaszczuk

236382

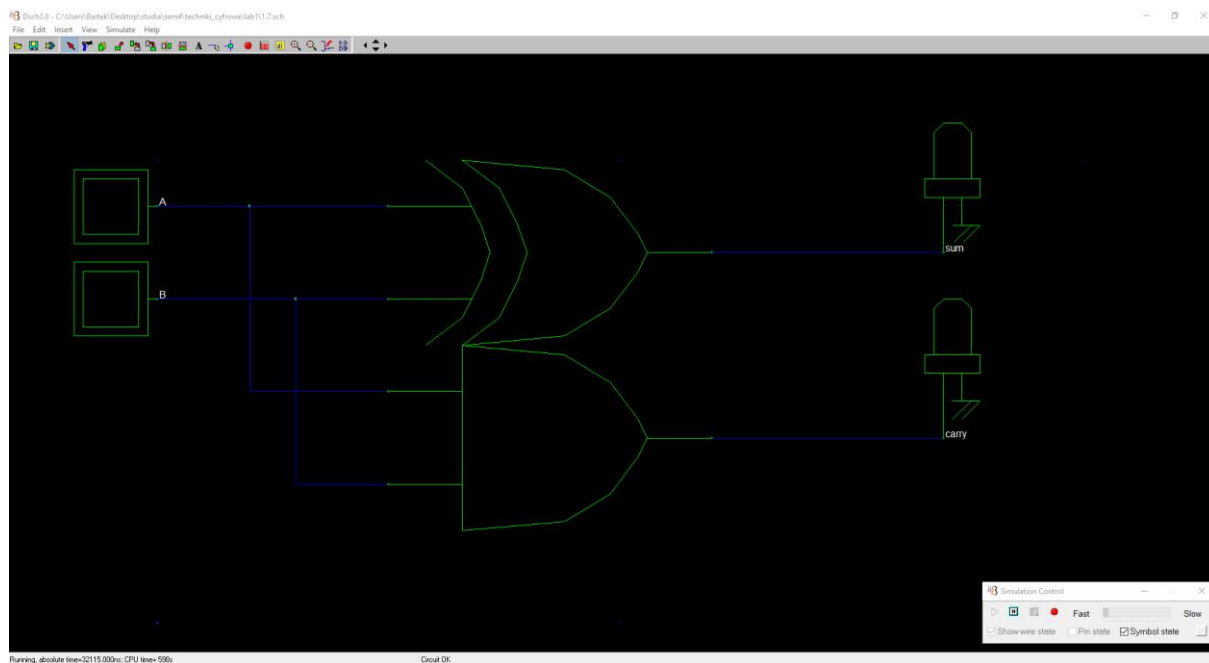
Spis treści

1.7 Półsumator	3
1.8 Pełny sumator jednobitowy	5
2.1. Multiplexer i demultiplexer 4-bitowy.....	7
2.2. Przerzutniki RS.....	9
2.3. Przerzutnik synchroniczny JK w układzie Master-Slave.....	12
2.4. Przerzutnik D, w wersji statycznej oraz transmisyjnej	14
2.5 Przerzutnik D wyzwalany zboczem.....	17
3.1. Trzybitowy licznik synchroniczny.....	19
Tabela prawdy 1 Półsumator.....	4
Tabela prawdy 2 Pełny sumator jednobitowy.....	6
Tabela prawdy 3 Multiplexer	8
Tabela prawdy 4 Demultiplexer	8
Tabela prawdy 5 Przerzutnik RS asynchroniczny	10
Tabela prawdy 6 Przerzutnik RS synchroniczny	11
Tabela prawdy 7 Przerzutnik J-K Master Slave.....	13
Tabela prawdy 8 Przerzutnik D statyczny.....	14
Tabela prawdy 9 przerzutnik D wyzwalany zboczem	18
Tabela wyników 1 Półsumator	3
Tabela wyników 2 Pełny sumator jednobitowy	6
Tabela wyników 3 Multiplexer i demultiplexer 4-bitowy.....	8
Tabela wyników 4 Przerzutnik RS asynchroniczny	9
Tabela wyników 5 Przerzutnik RS synchroniczny	11
Tabela wyników 6 Przerzutnik J-K Master Slave	13

Tabela wyników 7 Przerzutnik statyczny.....	14
Tabela wyników 8 Przerzutnik D transmisyjny.....	16
Tabela wyników 9 przerzutnik D wyzwalany zboczem.....	17
Schemat 1 Półsumator	3
Schemat 2 Pełny sumator jednobitowy	5
Schemat 3 Multiplexer	7
Schemat 4 Demultiplexer	7
Schemat 5 Przerzutnik RS asynchroniczny	9
Schemat 6 Przerzutnik RS synchroniczny	10
Schemat 7 Przerzutnik J-K Master Slave.....	12
Schemat 8 Przerzutnik D statyczny	14
Schemat 9 Przerzutnik D transmisyjny	15
Schemat 10 przerzutnik D wyzwalany zboczem.....	17

1.7 Półsumator

Funkcja SUM jest zrealizowana za pomocą bramki XOR, funkcja CARRY z wykorzystaniem bramki AND. Poprawne działanie należy zweryfikować w symulacji.



Schemat 1 Półsumator

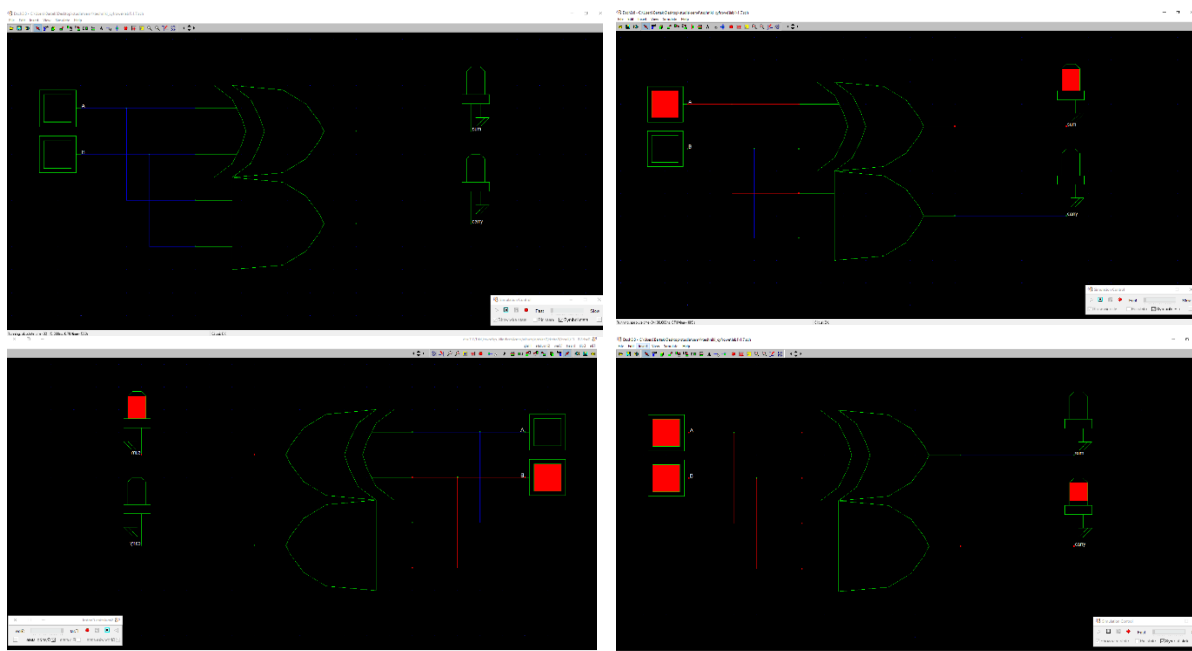


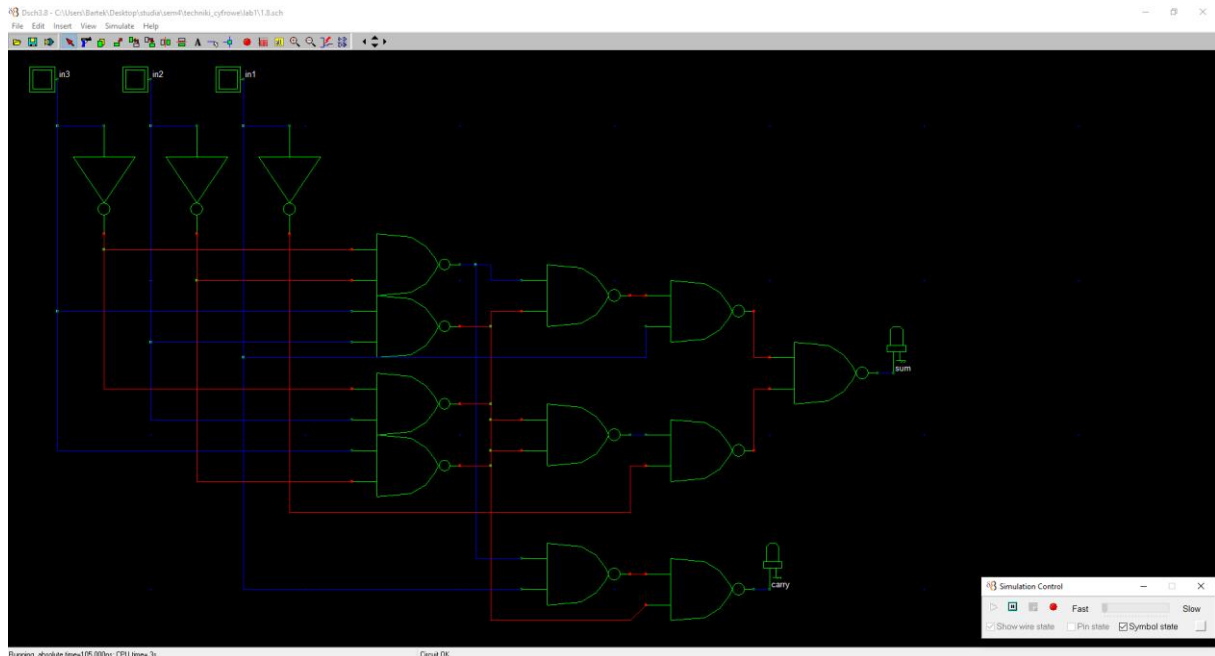
Tabela wyników 1 Półsumator

A	B	CARRY	SUM
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

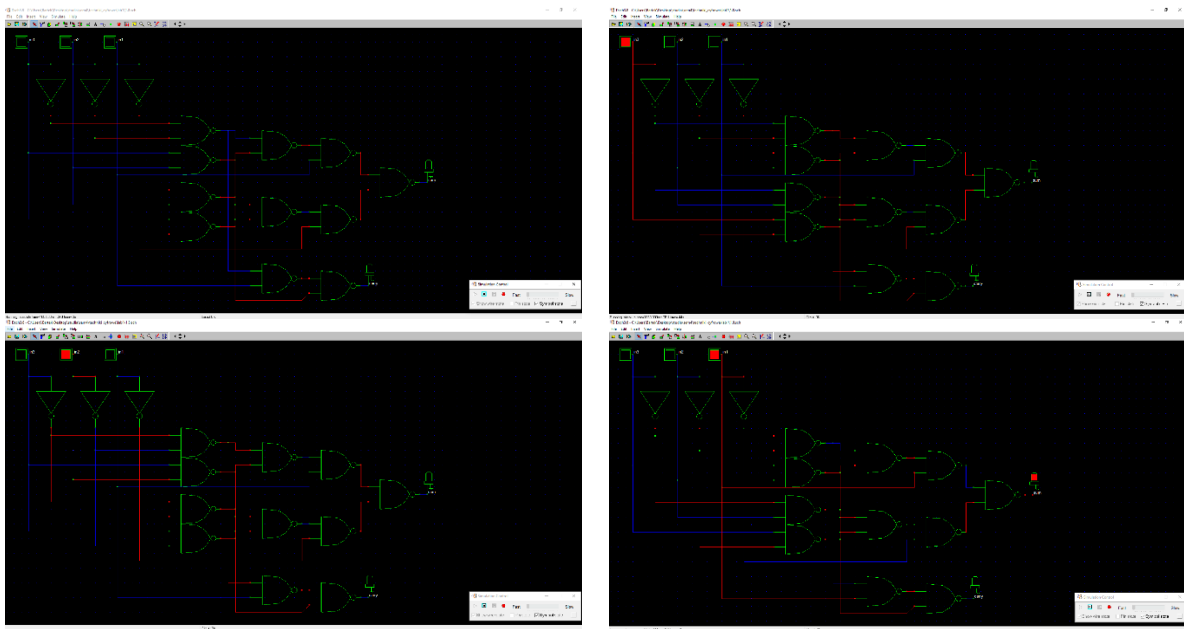
Tabela prawdy 1 Półsumator

1.8 Pełny sumator jednobitowy

Układ ten posiada trzy równoważne wejścia oraz jedno wyjście dwubitowe. Działanie tego układu polega na zliczaniu jedynek logicznych obecnych na wejściach oraz podawaniu ich liczby na wyjściu, w postaci liczby binarnej w kodzie naturalnym. Wyjście SUM to młodszy a CARRY to starszy bit tej liczby.



Schemat 2 Pełny sumator jednobitowy



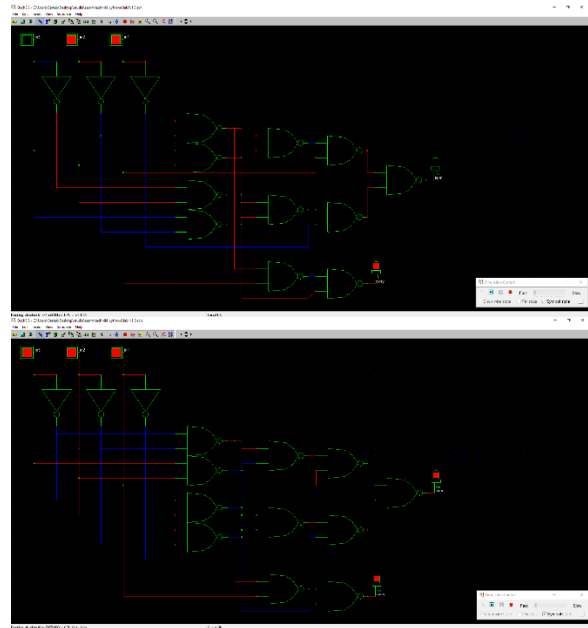
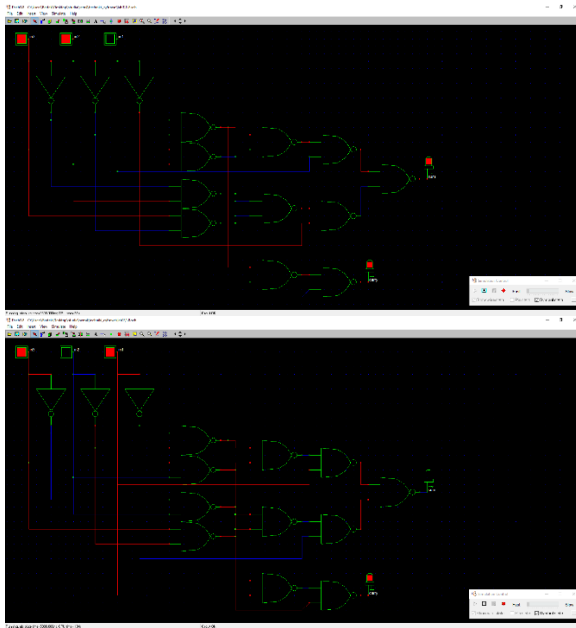


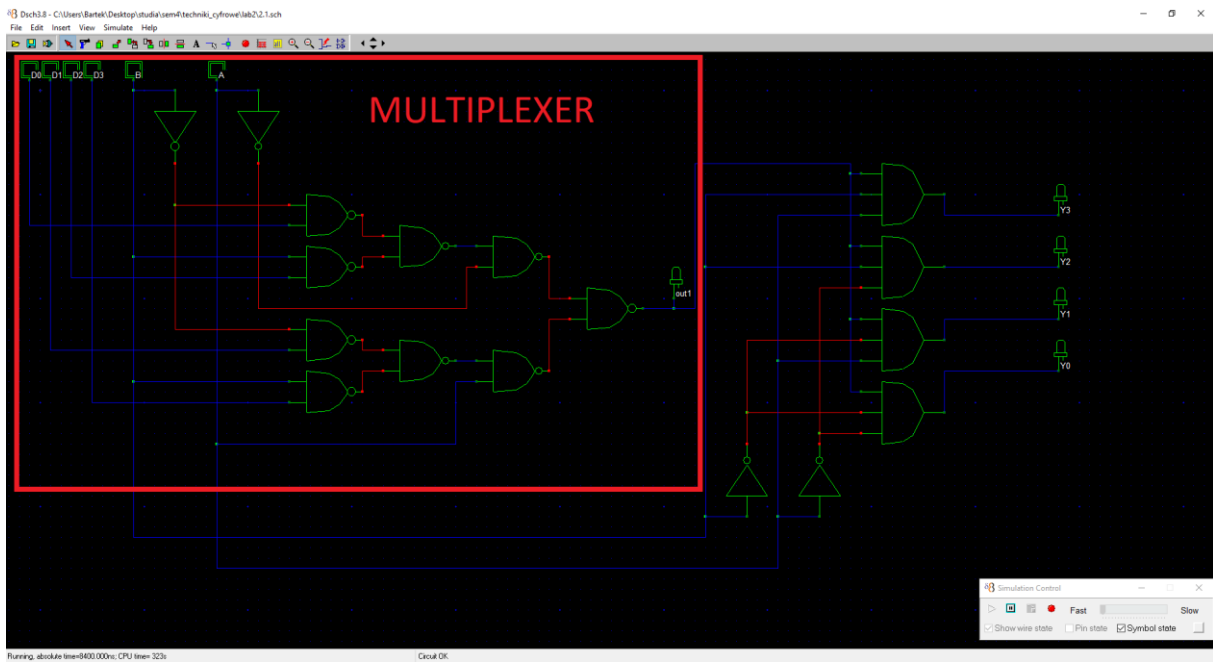
Tabela wyników 2 Pełny sumator jednobitowy

A	B	C	CARRY	SUM
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

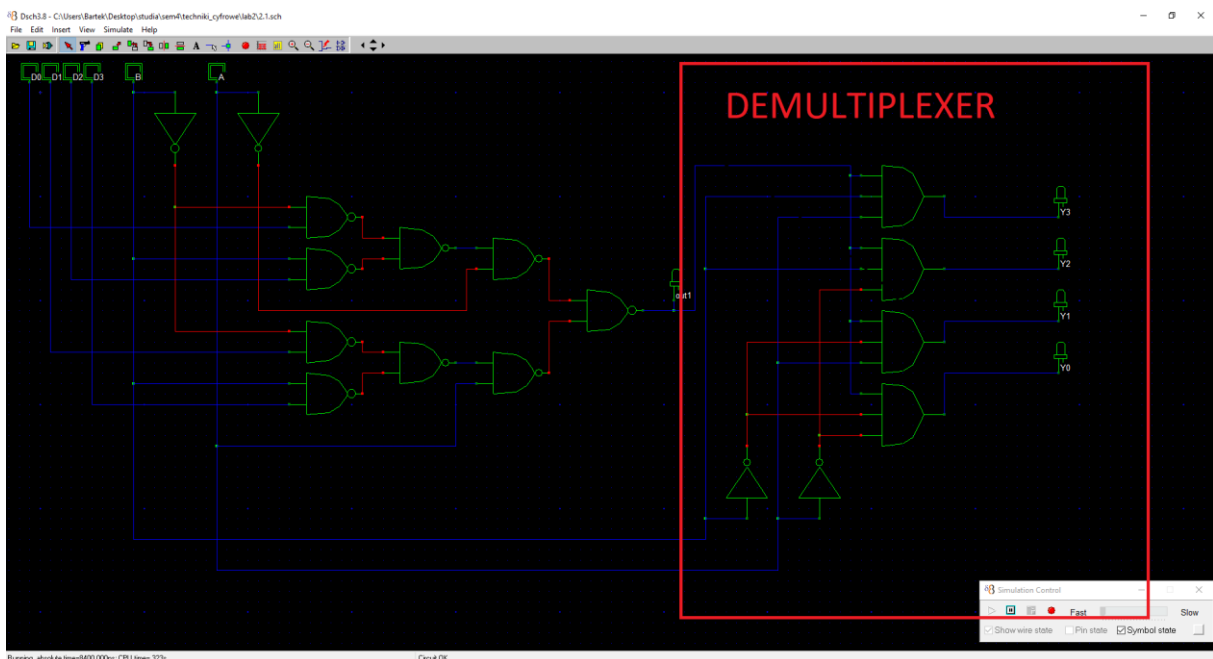
Tabela prawdy 2 Pełny sumator jednobitowy

2.1. Multiplexer i demultiplexer 4-bitowy

Multiplexer (selektor danych) jest układem cyfrowym posiadającym n wejść danych, jedno wyjście y oraz wejścia adresowe. Na wyjściu y pojawia się stan wejścia danych, którego numer (adres) podany został na wejścia adresowe. Przykładowy projekt dotyczy układu z czterema wejściami danych D0, D1, D2, D3, z jednym wyjściem Y oraz dwoma wejściami adresowymi A i B.



Schemat 3 Multiplexer



Schemat 4 Demultiplexer

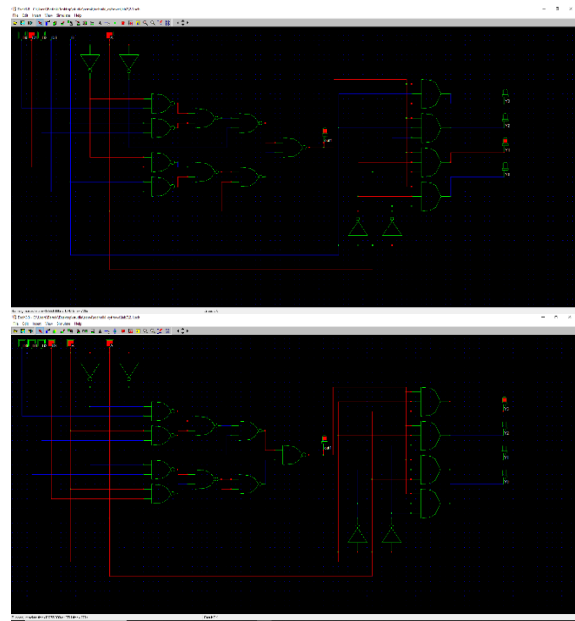
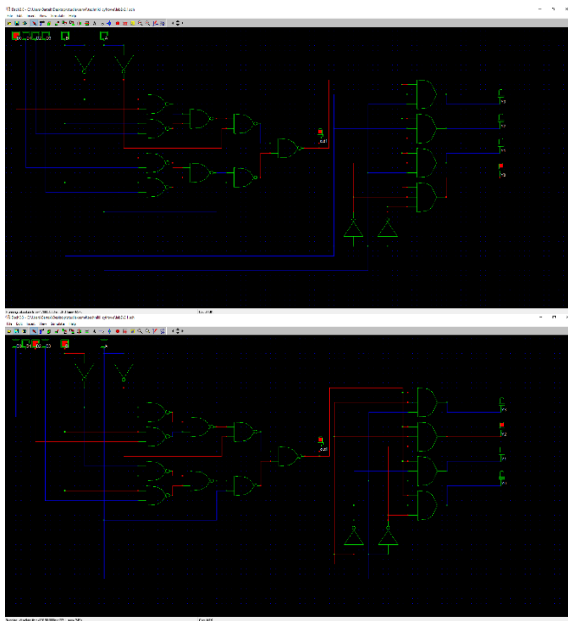


Tabela wyników 3 Multiplexer i demultiplexer 4-bitowy

B	A	D0	D1	D2	D3	Y
0	0	0	X	X	X	0
0	1	X	0	X	X	0
1	0	X	X	0	X	0
1	1	X	X	X	0	0
0	0	1	X	X	X	1
0	1	X	1	X	X	1
1	0	X	X	1	X	1
1	1	X	X	X	1	1

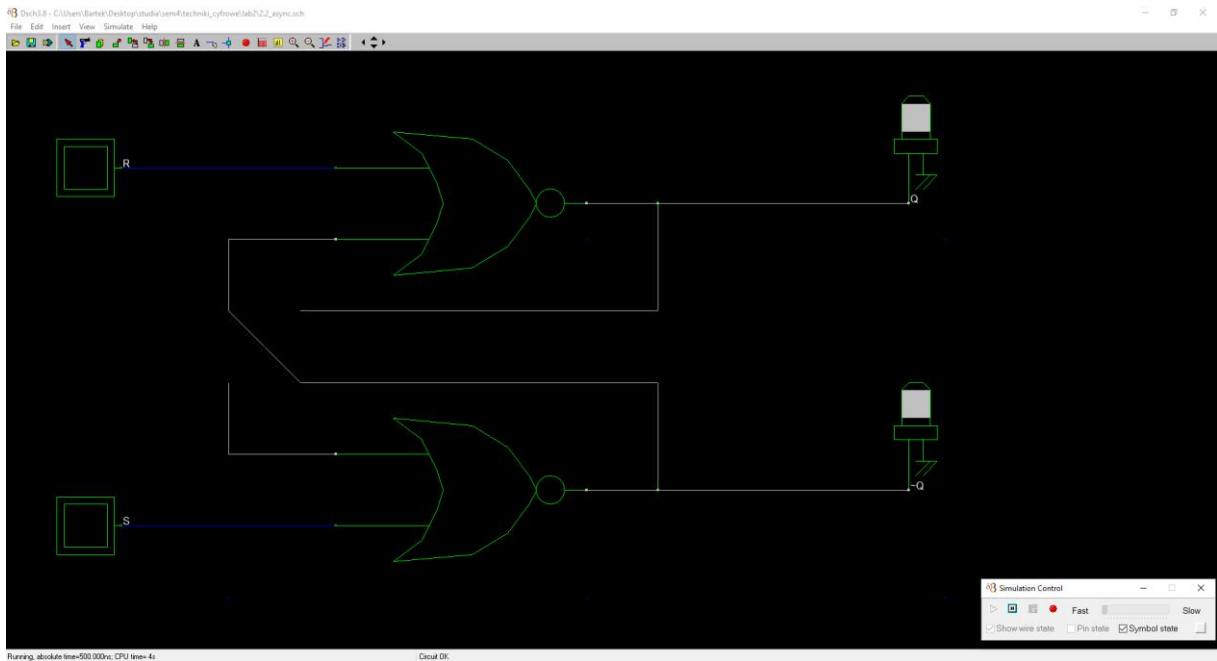
Tabela prawdy 3 Multiplexer

B	A	G	Y0	Y1	Y2	Y3
X	X	0	0	0	0	0
0	0	1	1	0	0	0
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	0

Tabela prawdy 4 Demultiplexer

2.2. Przerzutniki RS

Przerzutnik powstaje dzięki sprzężeniu zwrotnemu wyjść z wejściami. Sprzężenie zwrotne powoduje, iż przerzutnik utrzymuje ostatni stan wyjść po przejściu stanów logicznych na wejściach w stan neutralny.



Schemat 5 Przerzutnik RS asynchroniczny

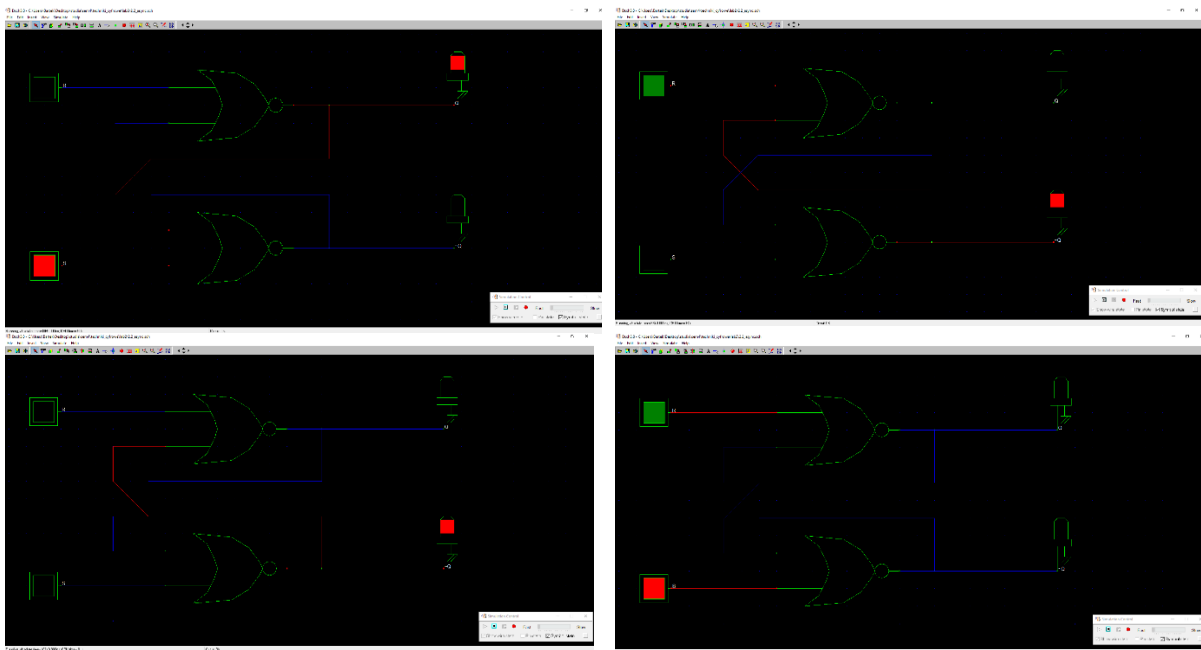
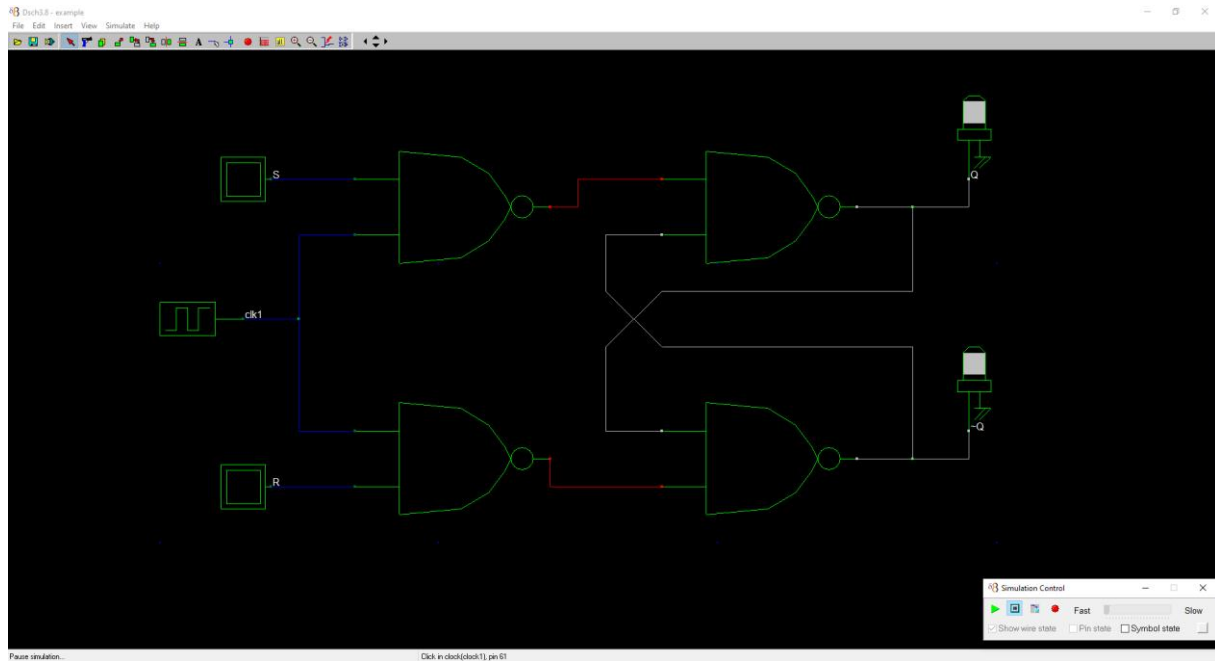


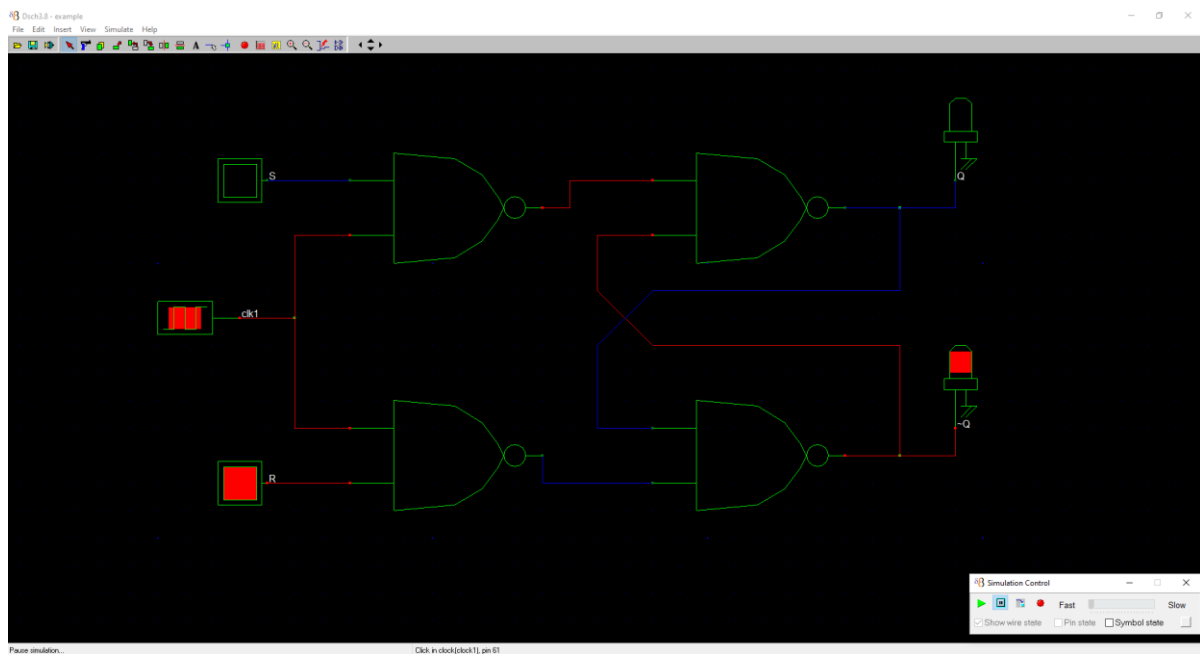
Tabela wyników 4 Przerzutnik RS asynchroniczny

R	S	Q	$\sim Q$
0	1	1	0
1	0	0	1
0	0	Q_{n-1}	$\sim Q_{n-1}$
1	1	0	0

Tabela prawdy 5 Przerzutnik RS asynchroniczny



Schemat 6 Przerzutnik RS synchroniczny



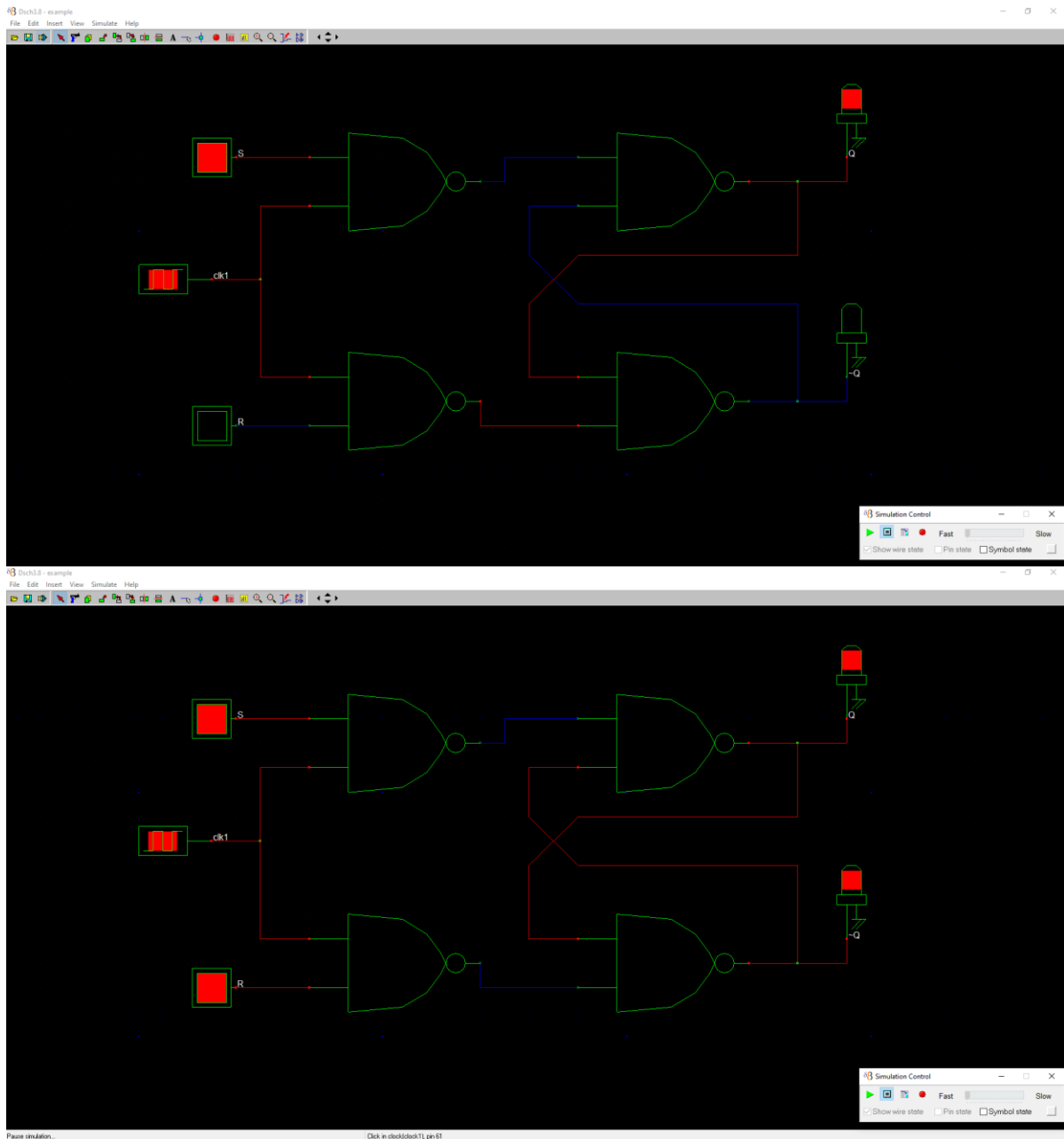


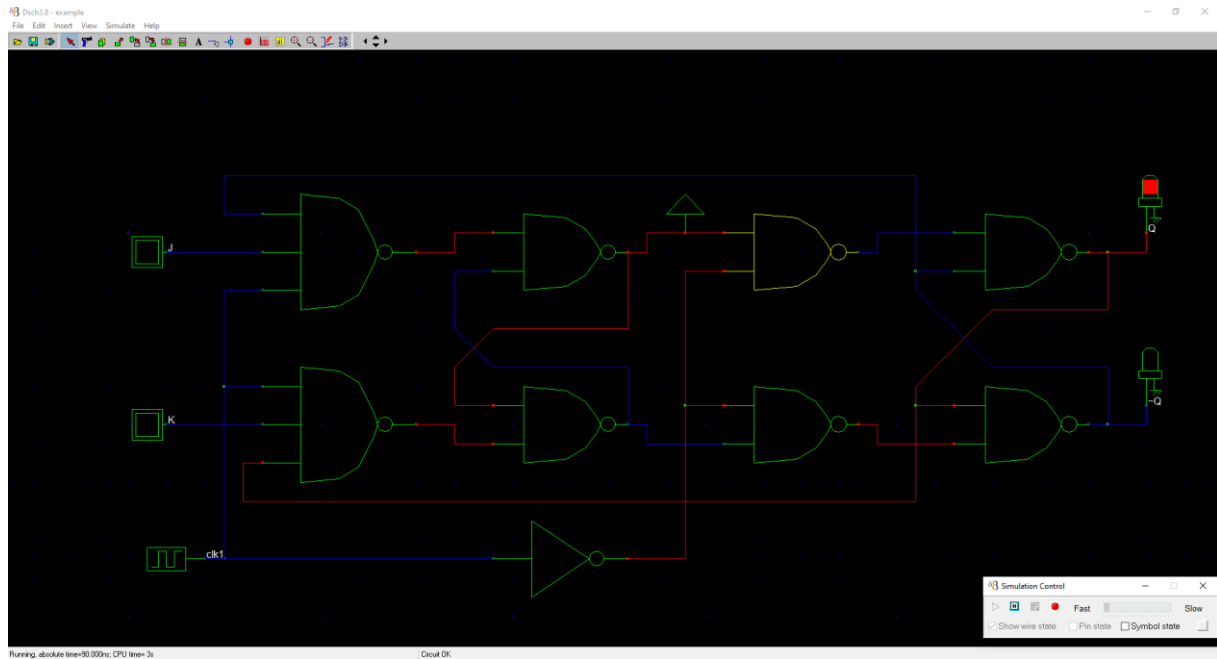
Tabela wyników 5 Przerzutnik RS synchroniczny

S	R	C	Q	$\sim Q$
X	X	0	Q_{n-1}	$\sim Q_{n-1}$
0	0	X	Q_{n-1}	$\sim Q_{n-1}$
1	0	1	1	0
0	1	1	0	1
1	1	1	1	1

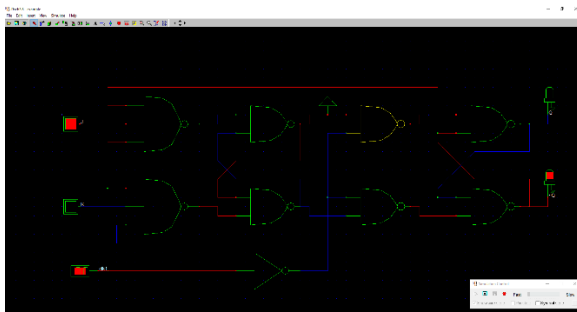
Tabela prawdy 6 Przerzutnik RS synchroniczny

2.3. Przerzutnik synchroniczny JK w układzie Master-Slave

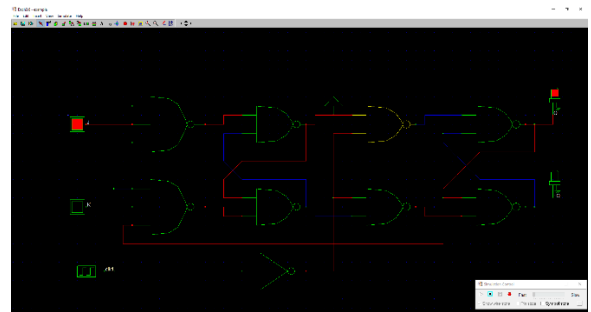
Wyzwalanie przerzutnika następuje tylko w momencie przejścia sygnału zegara ze stanu 1 na 0. Natomiast czas pomiędzy kolejnymi zboczami sygnału zegarowego może być dowolnie długi.



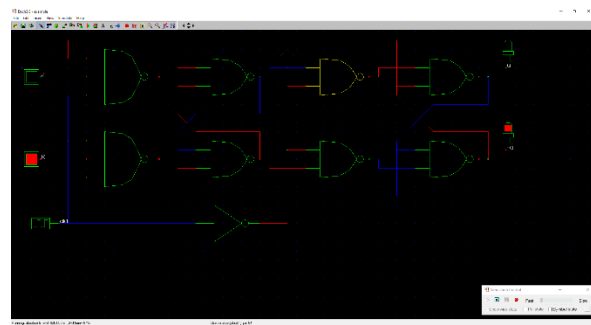
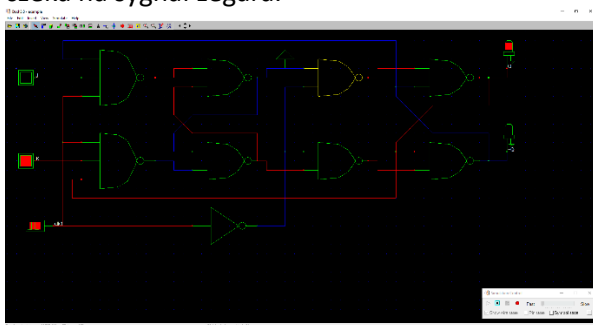
Schemat 7 Przerzutnik J-K Master Slave

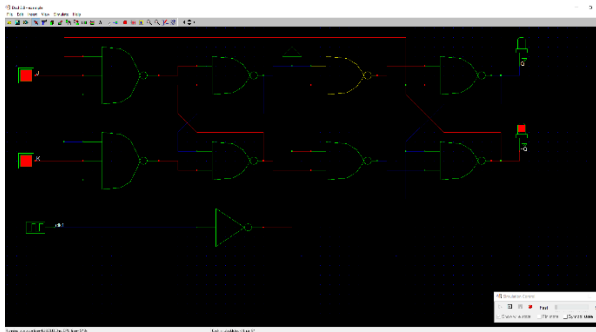


Pamięć przerzutnika Slave, mimo wysokiego stanu przerzutnika Master, sprawia, że Slave czeka na sygnał zegara.

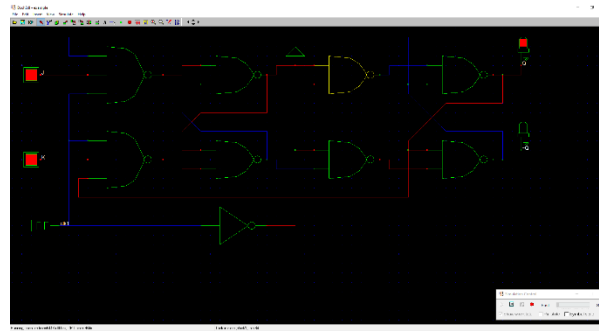


Utwierdzenie stanu przez przerzutnik Slave na sygnał niskiego stanu zegara.





Rozbudowanie przerzutnika o dodatkowy człon bramek skutkuje brakiem sygnału zabronionego.



W tym układzie (Master-Slave), przerzutnik na sygnał zegara będzie zmieniał stan wyjść na przemian.

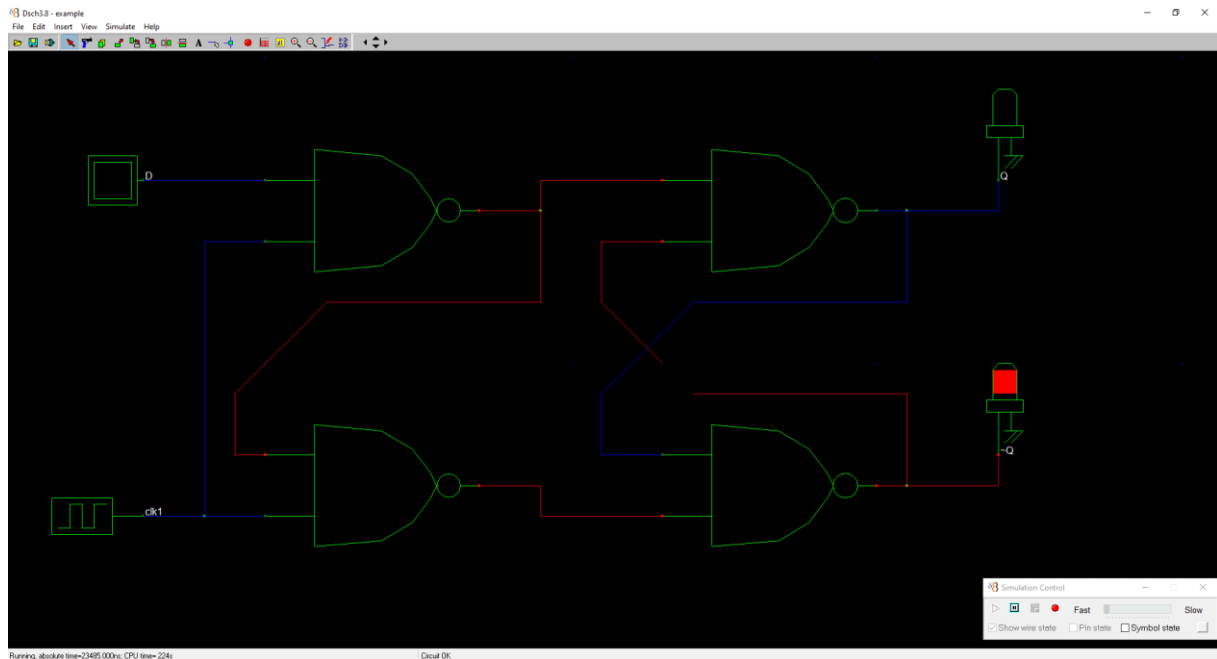
Tabela wyników 6 Przerzutnik J-K Master Slave

J	K	C	Q
X	X	0	Q_{n-1}
X	X	1	Q_{n-1}
0	0	X	Q_{n-1}
1	0	$1 \rightarrow 0$	1
0	1	$1 \rightarrow 0$	0
1	1	$1 \rightarrow 0$	$\sim Q_{n-1}$

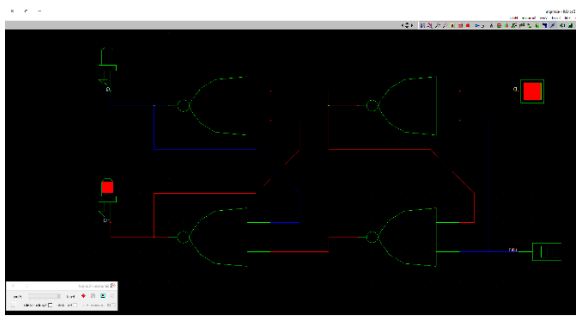
Tabela prawdy 7 Przerzutnik J-K Master Slave

2.4. Przerzutnik D, w wersji statycznej oraz transmisyjnej

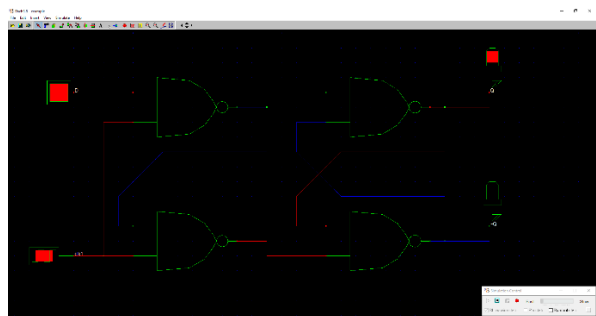
Gdy wejście zegarowe C jest w stanie nieaktywnym, przerzutnik pamięta swój poprzedni stan. Gdy wejście C przechodzi w stan aktywny, do przerzutnika zostaje wpisany stan wejścia D, tzn. na wyjściu Q pojawia się ten sam stan, który występuje na wejściu D. Gdy wejście zegarowe C powróci w stan nieaktywny, wpisany z wejścia D stan jest pamiętany w przerzutniku. Zwróć uwagę, iż w przerzutniku D nie występują stany zabronione.



Schemat 8 Przerzutnik D statyczny



Przerzutnik czeka na stan wysoki zegara

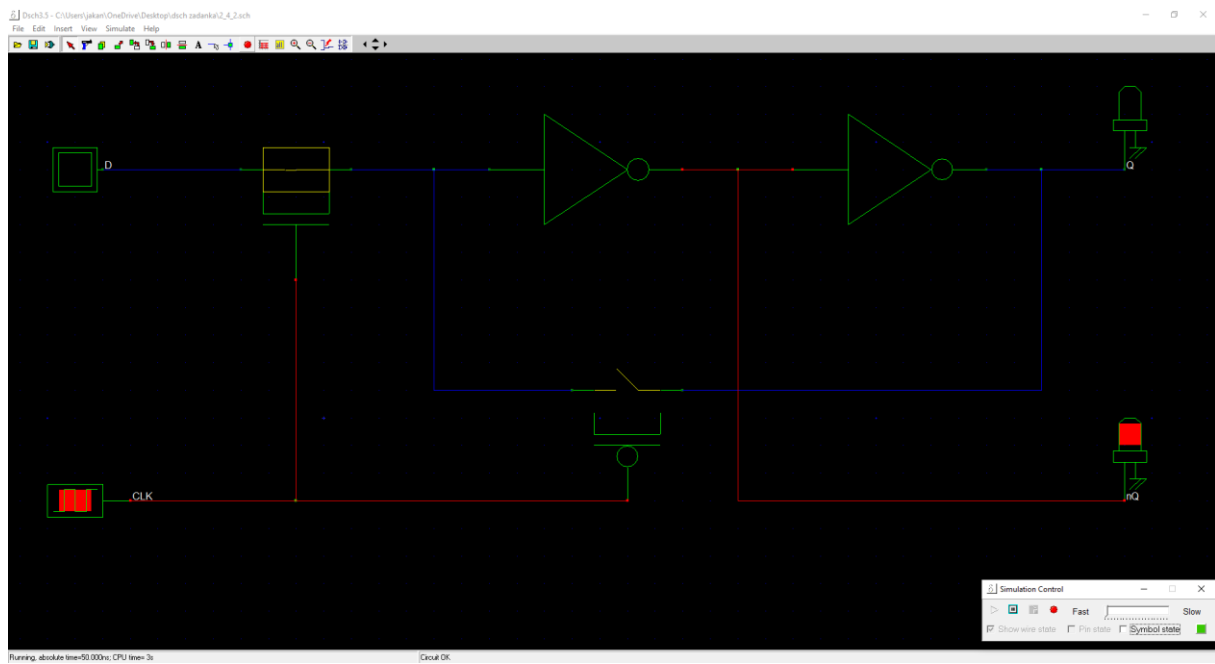


Przerzutnik zmienia stan wyjściowy przy wysokim stanie zegara

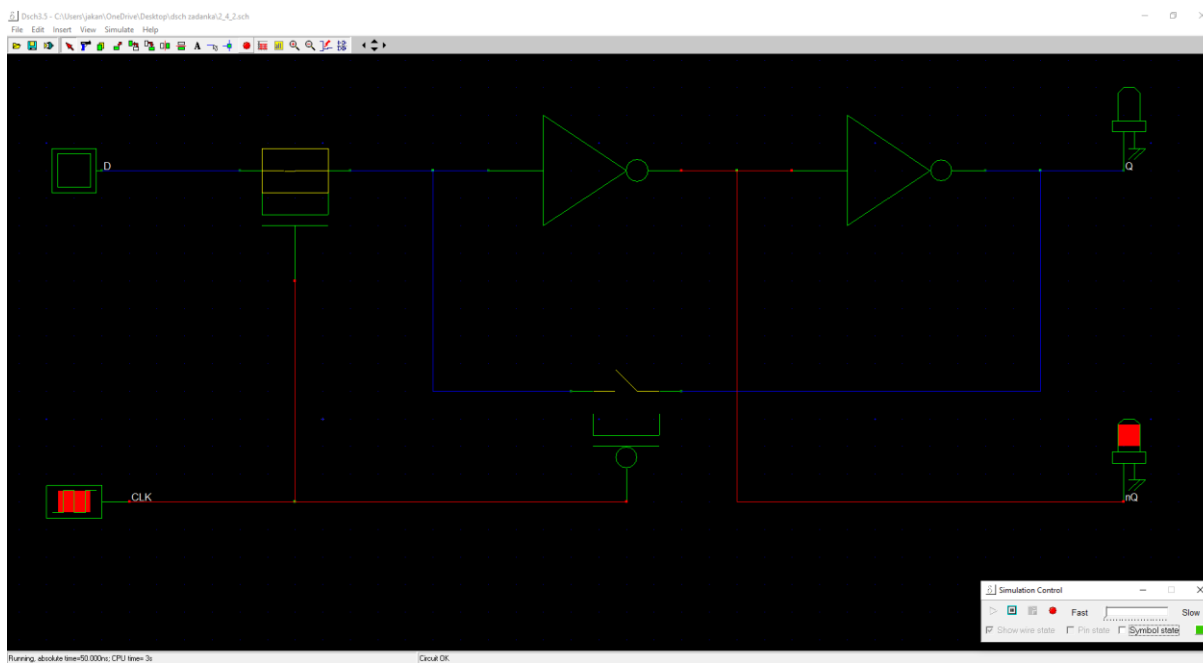
Tabela wyników 7 Przerzutnik statyczny

D	C	Q	$\sim Q$
X	0	Q_{n-1}	$\sim Q_{n-1}$
0	1	0	1
1	1	1	0

Tabela prawdy 8 Przerzutnik D statyczny



Schemat 9 Przerzutnik D transmisyjny



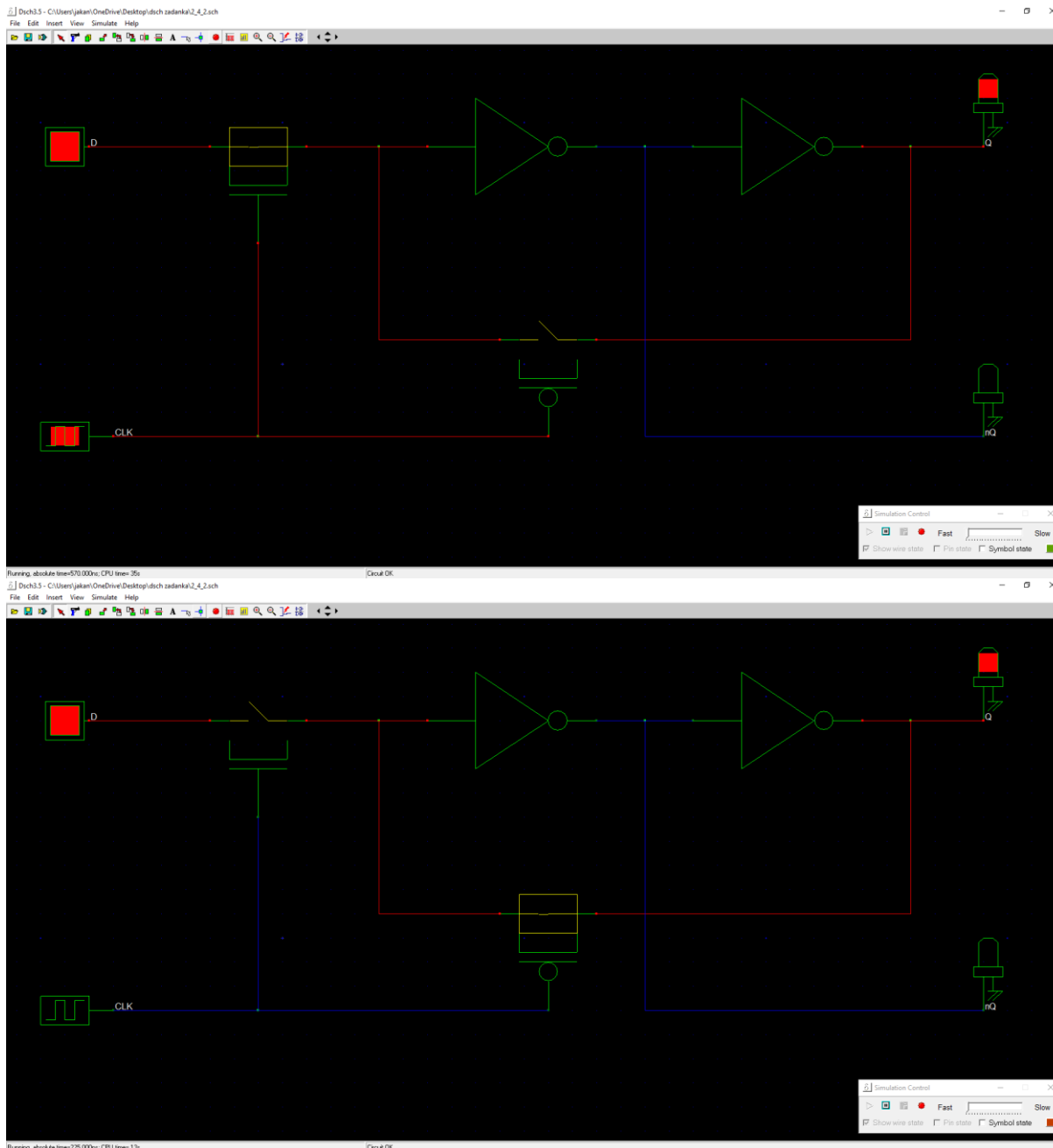


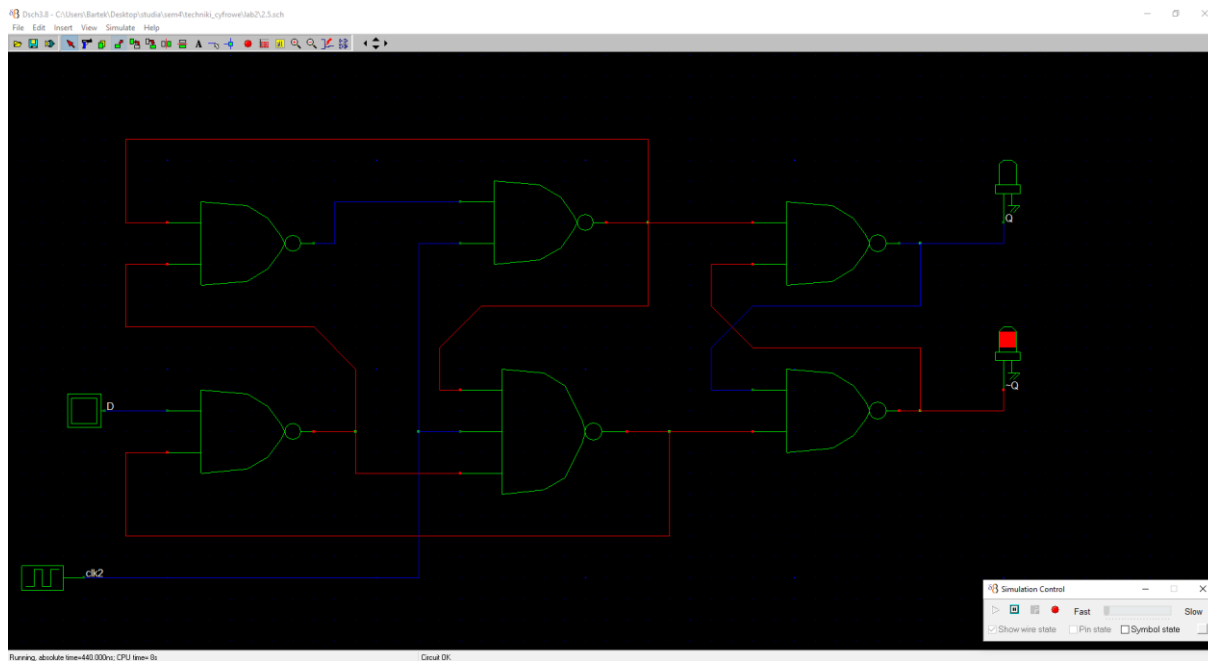
Tabela wyników 8 Przerzutnik D transmisyjny

Czas propagacji sygnału może to sprawiać kłopoty w odpowiednio szybkim przekazywaniu sygnału wejściowego na odpowiednie wyjście bramki CMOS.

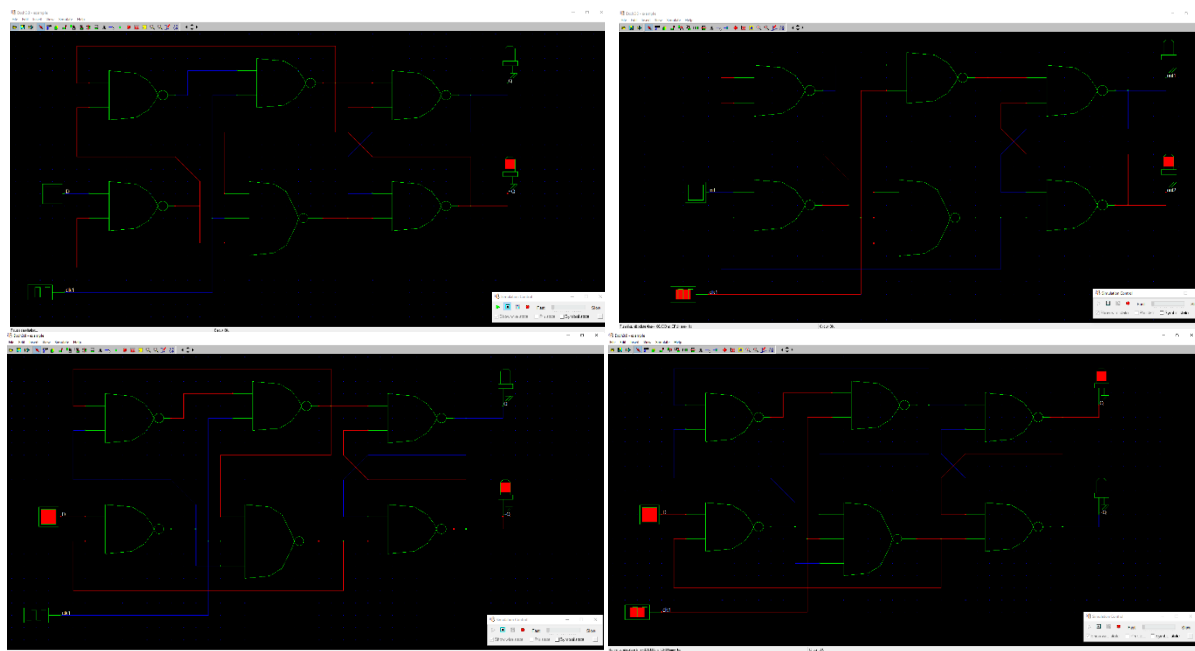
Przerzutnik D typu transmisyjnego ma początkowo niezainicjalizowane stany wyjściowe.

2.5 Przerzutnik D wyzwany zboczem

Przerzutnik zapamiętuje stan wejścia D tylko przy odpowiedniej zmianie poziomu logicznego na wejściu zegarowym C. Architektura przypomina przerzutnik RS Master-Slave.



Schemat 10 przerzutnik D wyzwalany zboczem



Przerzutnik czeka na sygnał od zegara

Przerzutnik dostał sygnał

Tabela wyników 9 przerzutnik D wyzwalany zboczem

D	C	Q	$\sim Q$
0	X	0	1
1	$0 \rightarrow 1$	1	0
0	$0 \rightarrow 1$	0	1

Tabela prawdy 9 przerzutnik D wyzwalany zboczem

3.1. Trzybitowy licznik synchroniczny