



# SPRAWOZDANIE

Wstęp do techniki cyfrowej

Informatyka 4i1 niestacjonarne

Semestr letni 2022

Bartłomiej Błaszczuk

236382

## Spis treści

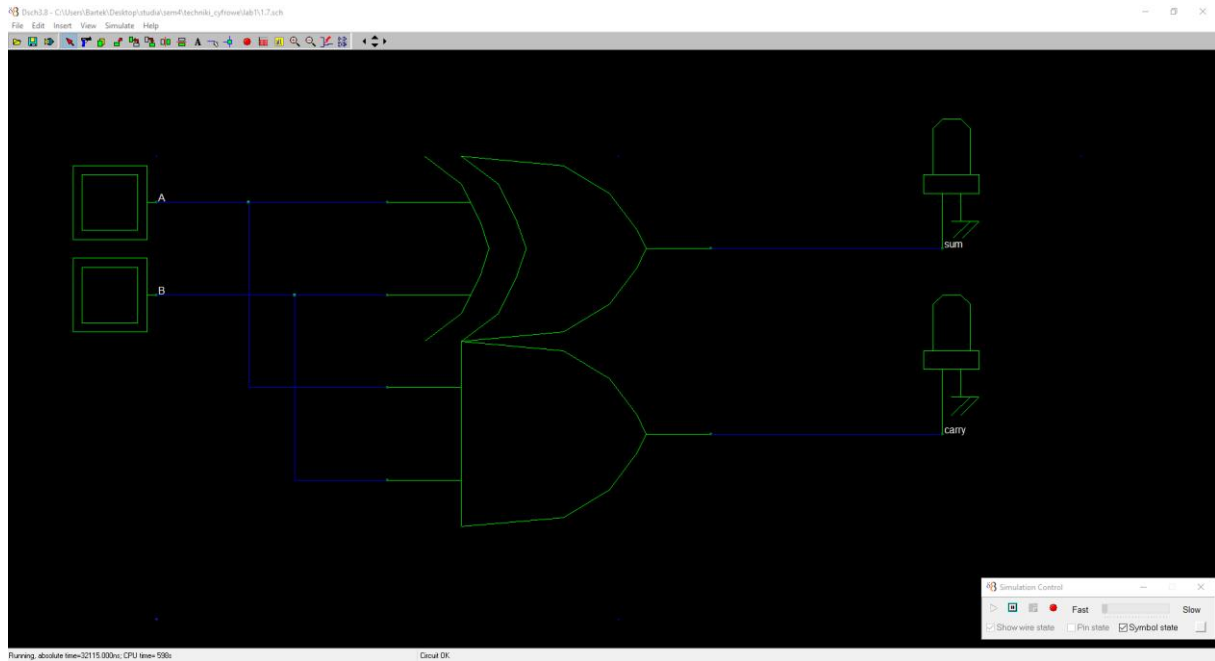
1.7 Półsumator .....	4
1.8 Pełny sumator jednobitowy .....	6
2.1. Multiplexer i demultiplexer 4-bitowy.....	9
2.2. Przerzutniki RS.....	12
2.3. Przerzutnik synchroniczny JK w układzie Master-Slave.....	17
2.4. Przerzutnik D, w wersji statycznej oraz transmisyjnej .....	19
2.5 Przerzutnik D wyzwalany zboczem.....	23
3.1. Trzybitowy licznik synchroniczny.....	25
4.1. Inwerter CMOS .....	27
4.2. Dwuwejściowe statyczne bramki logiczne CMOS .....	28
4.3. Bramka XOR, jako statyczna bramka logiczna CMOS .....	32
5.1. Transmisyjna bramka XOR.....	33
Tabela prawdy 1 Półsumator.....	5
Tabela prawdy 2 Pełny sumator jednobitowy.....	7
Tabela prawdy 3 Multiplexer .....	10
Tabela prawdy 4 Demultiplexer .....	10
Tabela prawdy 5 Przerzutnik RS asynchroniczny .....	13
Tabela prawdy 6 Przerzutnik RS synchroniczny .....	15
Tabela prawdy 7 Przerzutnik J-K Master Slave.....	18
Tabela prawdy 8 Przerzutnik D statyczny.....	19
Tabela prawdy 9 przerzutnik D wyzwalany zboczem .....	24
Tabela prawdy 10 Inwerter CMOS .....	27
Tabela prawdy 11 bramka NAND .....	28
Tabela prawdy 12 bramka NOR.....	29

Tabela prawdy 13 bramka XOR .....	32
Tabela prawdy 14 transmisyjna bramka XOR.....	33
Tabela wyników 1 Półsumator .....	4
Tabela wyników 2 Pełny sumator jednobitowy .....	7
Tabela wyników 3 Multiplexer i demultiplexer 4-bitowy.....	10
Tabela wyników 4 Przerzutnik RS asynchroniczny .....	12
Tabela wyników 5 Przerzutnik RS synchroniczny .....	15
Tabela wyników 6 Przerzutnik J-K Master Slave .....	18
Tabela wyników 7 Przerzutnik statyczny.....	19
Tabela wyników 8 Przerzutnik D transmisyjny .....	22
Tabela wyników 9 przerzutnik D wyzwalany zboczem.....	23
Tabela wyników 10 bramka NAND .....	28
Tabela wyników 11 bramka NOR .....	29
Tabela wyników 12 bramka XOR .....	32
Tabela wyników 13 transmisyjna bramka XOR .....	33
Schemat 1 Półsumator .....	4
Schemat 2 Pełny sumator jednobitowy .....	6
Schemat 3 Multiplexer .....	9
Schemat 4 Demultiplexer .....	9
Schemat 5 Przerzutnik RS asynchroniczny .....	12
Schemat 6 Przerzutnik RS synchroniczny .....	14
Schemat 7 Przerzutnik J-K Master Slave.....	17
Schemat 8 Przerzutnik D statyczny .....	19
Schemat 9 Przerzutnik D transmisyjny .....	20

Schemat 10 przerzutnik D wyzwalany zboczem.....	23
Schemat 11 licznik synchroniczny .....	26
Schemat 12 Inwerter CMOS .....	27
Schemat 13 bramka NAND .....	28
Schemat 14 bramka NOR .....	29
Schemat 15 bramka XOR.....	32
Schemat 16 transmisyjna bramka XOR .....	33
Przebieg czasowy 1 półsumator .....	5
Przebieg czasowy 2 pełen sumator .....	8
Przebieg czasowy 3multiplexer i demultiplexer .....	11
Przebieg czasowy 4 przerzutnik asynchroniczny.....	13
Przebieg czasowy 5przerzutnik synchroniczny.....	16
Przebieg czasowy 6 przerzutnik J-K SM .....	18
Przebieg czasowy 7przerzutnik D statyczny .....	20
Przebieg czasowy 8przerzutnik D transmisyjny.....	22
Przebieg czasowy 9 przerzutnik wyzwalany zboczem.....	24
Przebieg czasowy 10 bramki CMOS.....	31

## 1.7 Półsumator

Funkcja SUM jest zrealizowana za pomocą bramki XOR, funkcja CARRY z wykorzystaniem bramki AND. Poprawne działanie należy zweryfikować w symulacji.



Schemat 1 Półsumator

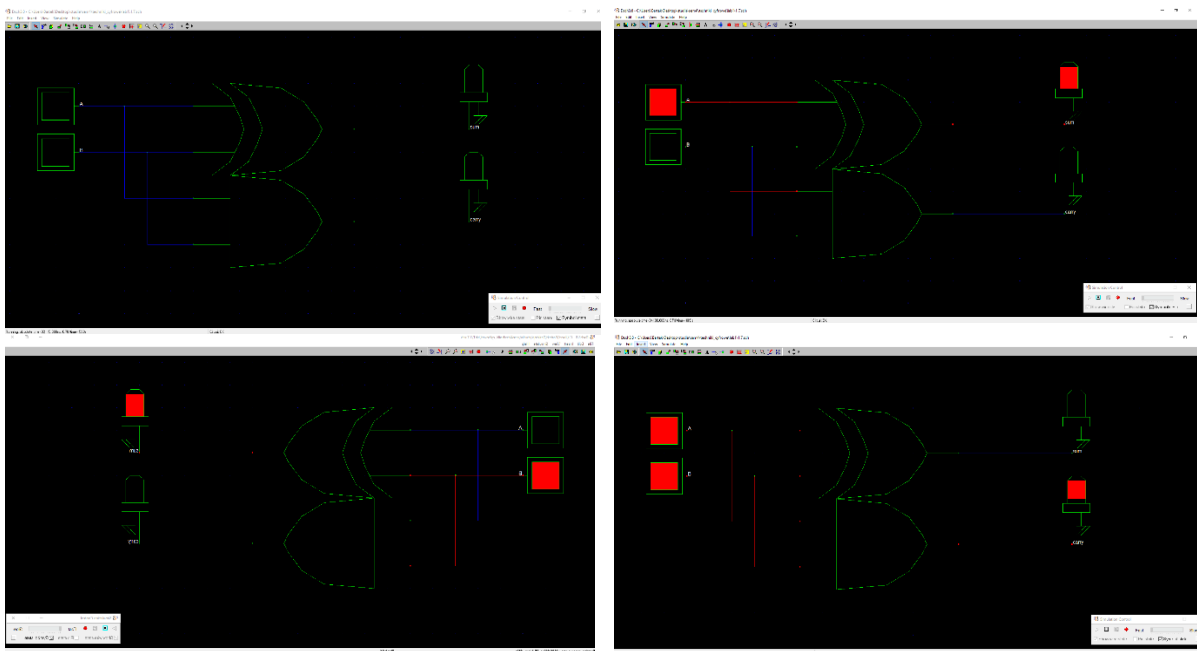
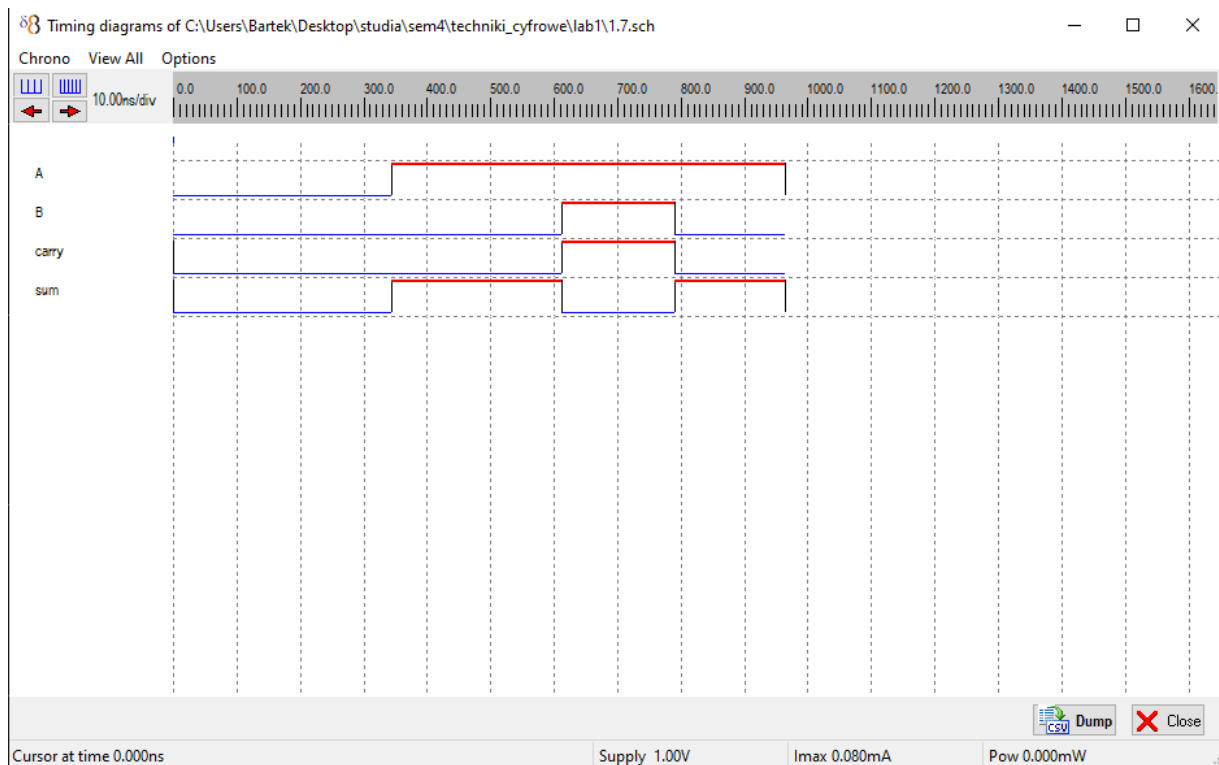


Tabela wyników 1 Półsumator



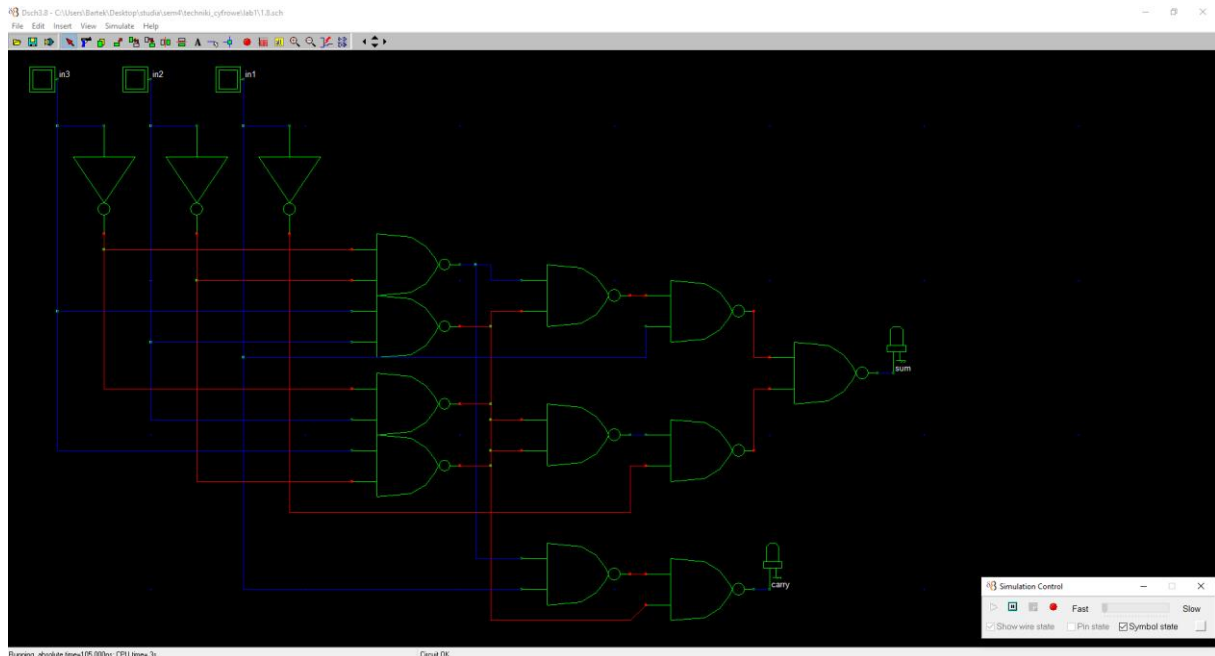
Przebieg czasowy 1 półsumator

A	B	CARRY	SUM
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

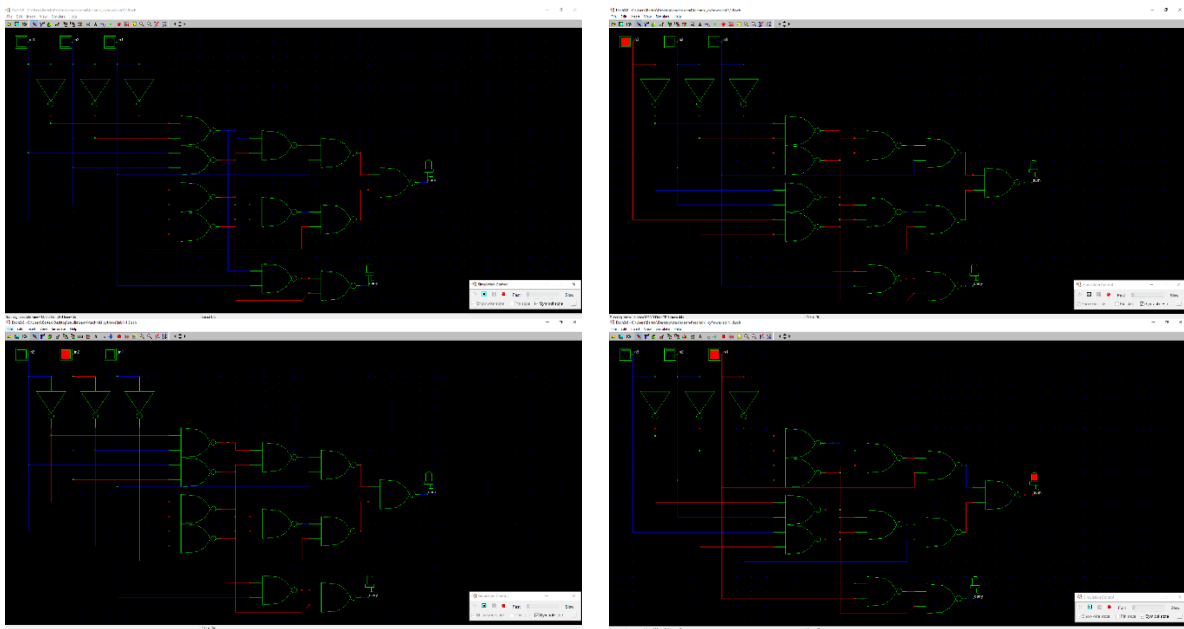
Tabela prawdy 1 Półsumator

## 1.8 Pełny sumator jednobitowy

Układ ten posiada trzy równoważne wejścia oraz jedno wyjście dwubitowe. Działanie tego układu polega na zliczaniu jedynek logicznych obecnych na wejściach oraz podawaniu ich liczby na wyjściu, w postaci liczby binarnej w kodzie naturalnym. Wyjście SUM to młodszy a CARRY to starszy bit tej liczby.



Schemat 2 Pełny sumator jednobitowy



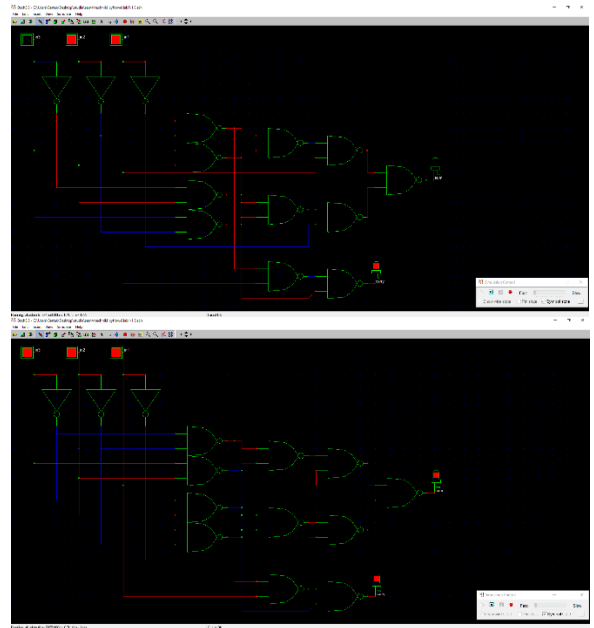
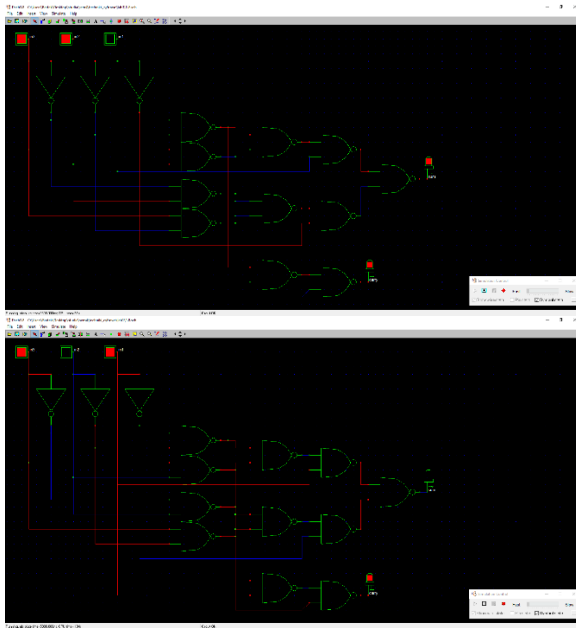
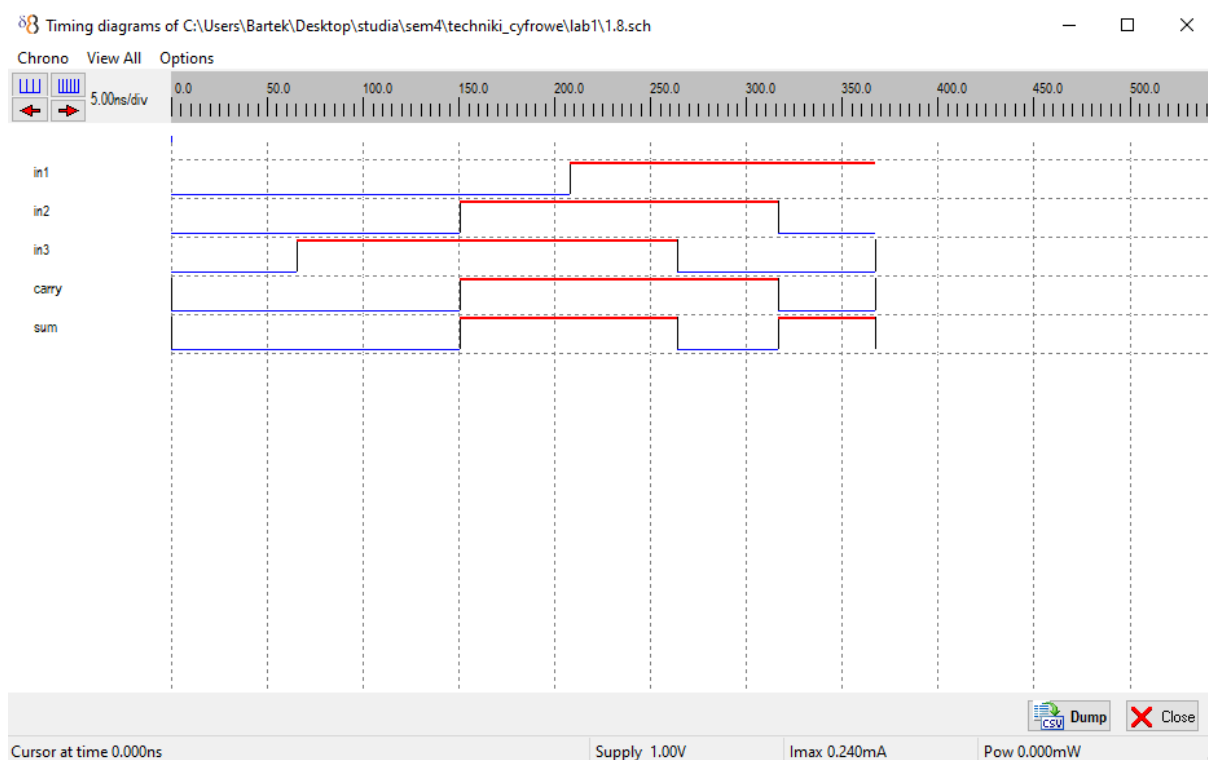


Tabela wyników 2 Pełny sumator jednobitowy

A	B	C	CARRY	SUM
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Tabela prawdy 2 Pełny sumator jednobitowy

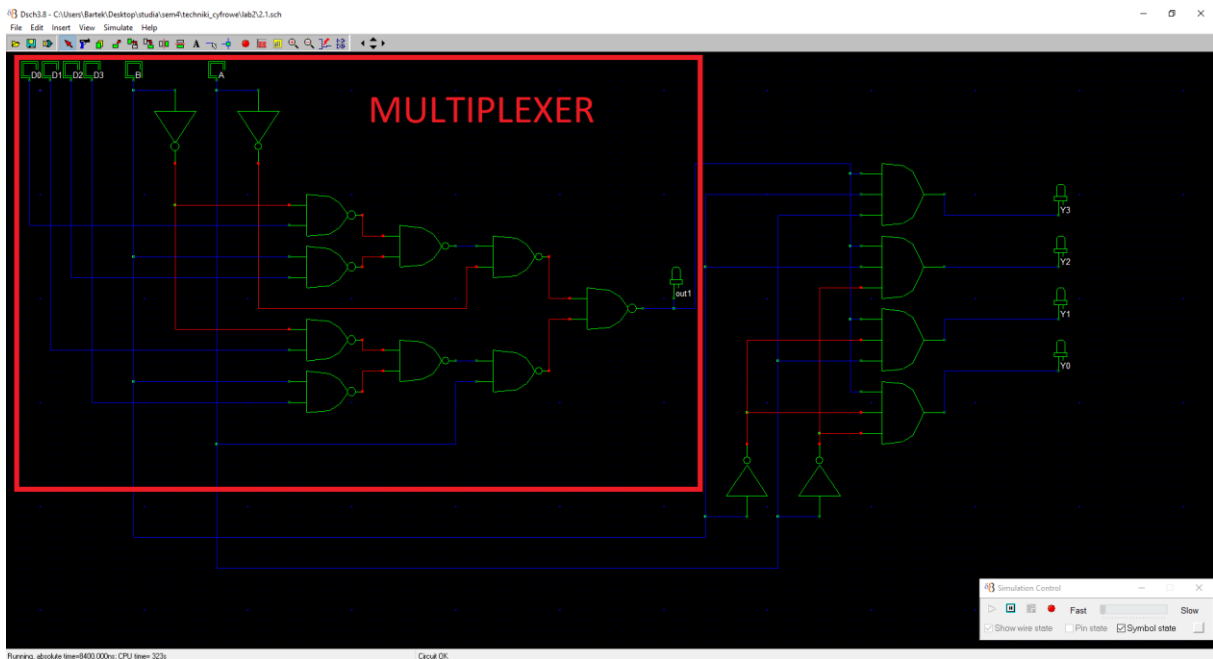




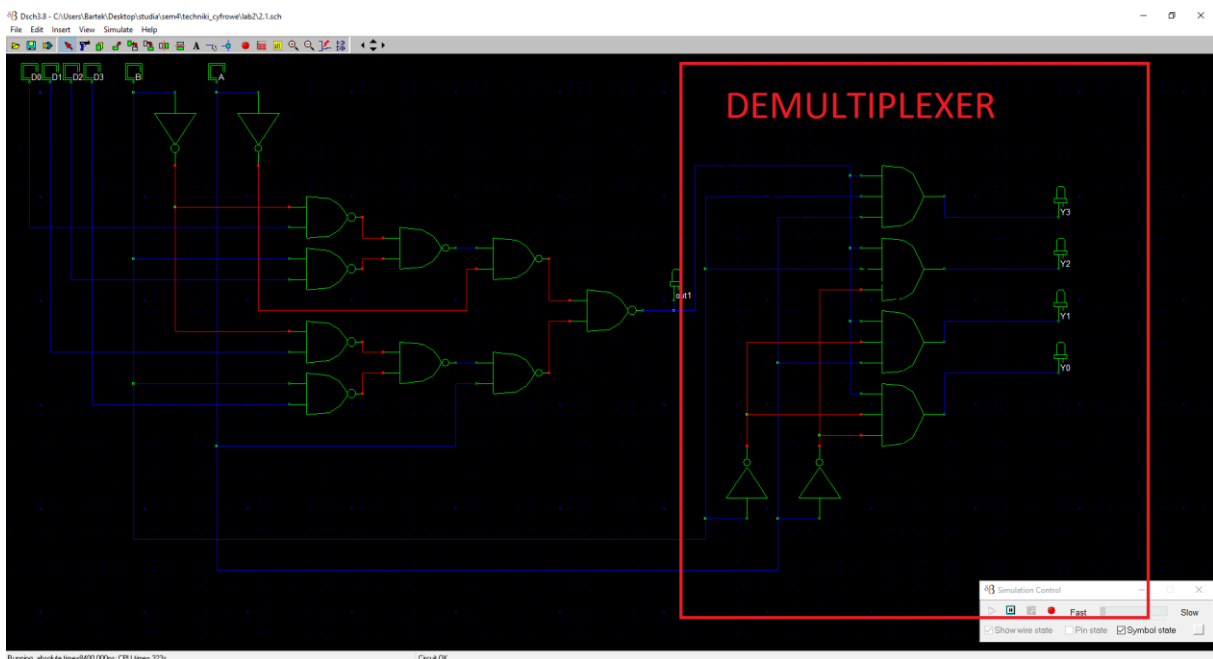
Przebieg czasowy 2 pełen sumator

## 2.1. Multiplexer i demultiplexer 4-bitowy

Multiplexer (selektor danych) jest układem cyfrowym posiadającym  $n$  wejść danych, jedno wyjście  $y$  oraz wejścia adresowe. Na wyjściu  $y$  pojawia się stan wejścia danych, którego numer (adres) podany został na wejścia adresowe. Przykładowy projekt dotyczy układu z czterema wejściami danych D0, D1, D2, D3, z jednym wyjściem Y oraz dwoma wejściami adresowymi A i B.



*Schemat 3 Multiplexer*



*Schemat 4 Demultiplexer*

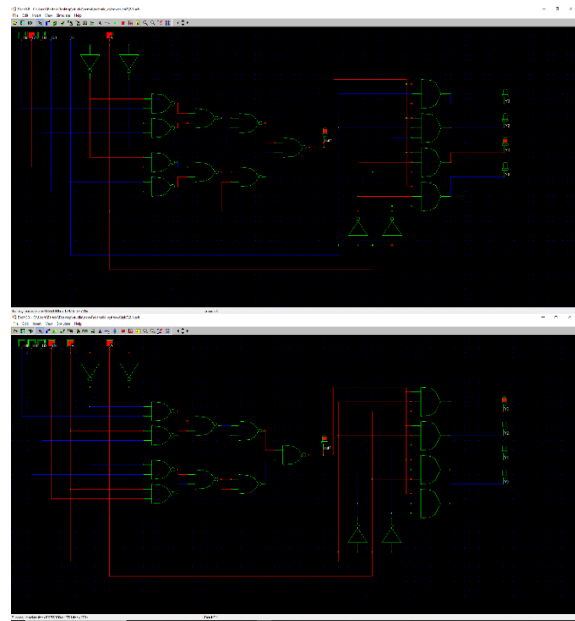
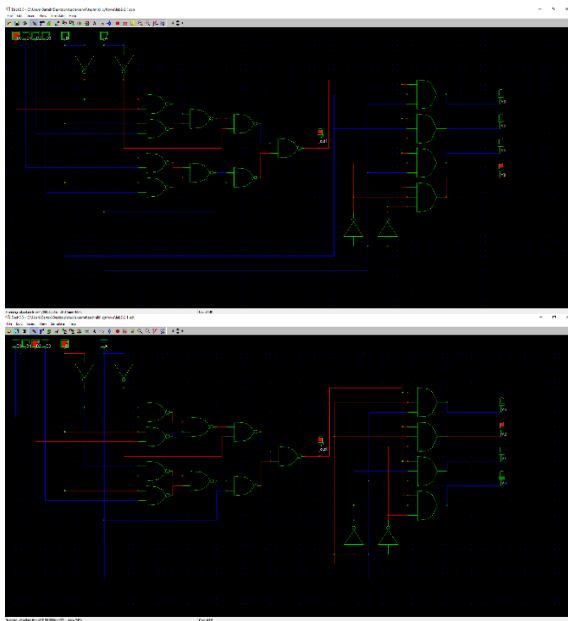


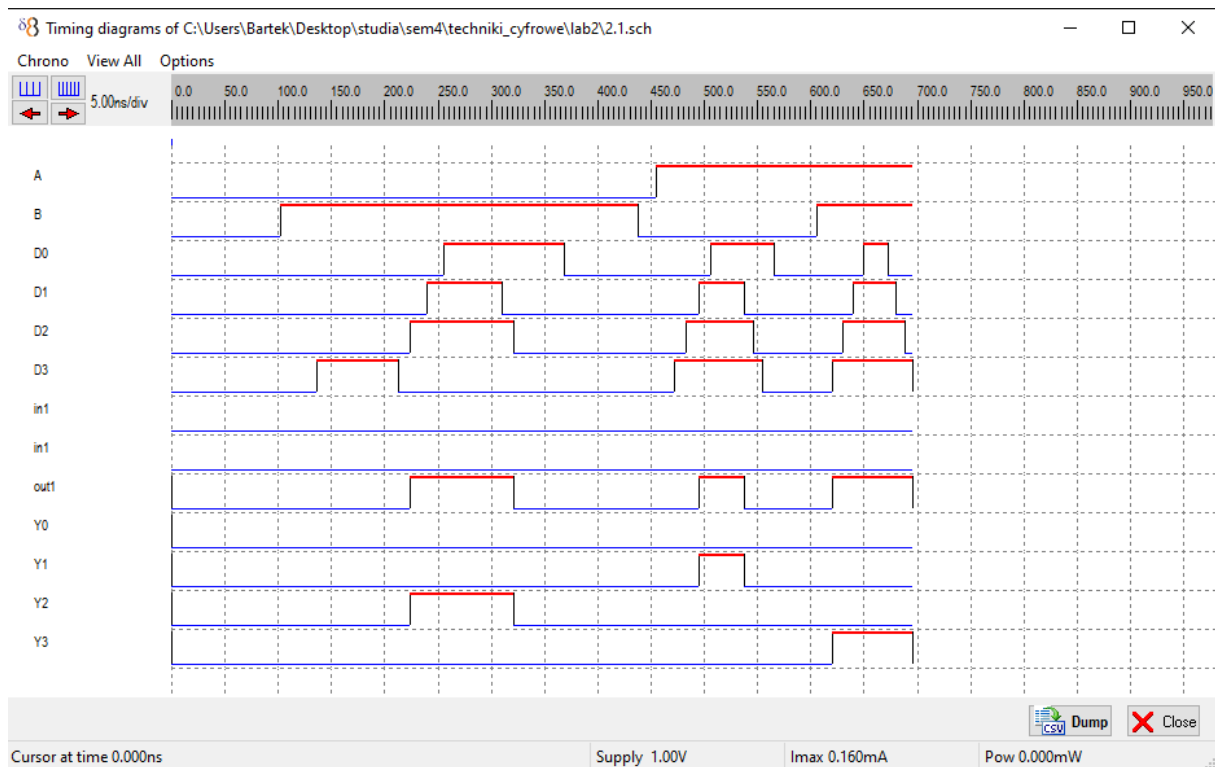
Tabela wyników 3 Multiplexer i demultiplexer 4-bitowy

B	A	D0	D1	D2	D3	Y
0	0	0	X	X	X	0
0	1	X	0	X	X	0
1	0	X	X	0	X	0
1	1	X	X	X	0	0
0	0	1	X	X	X	1
0	1	X	1	X	X	1
1	0	X	X	1	X	1
1	1	X	X	X	1	1

Tabela prawdy 3 Multiplexer

B	A	G	Y0	Y1	Y2	Y3
X	X	0	0	0	0	0
0	0	1	1	0	0	0
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	0

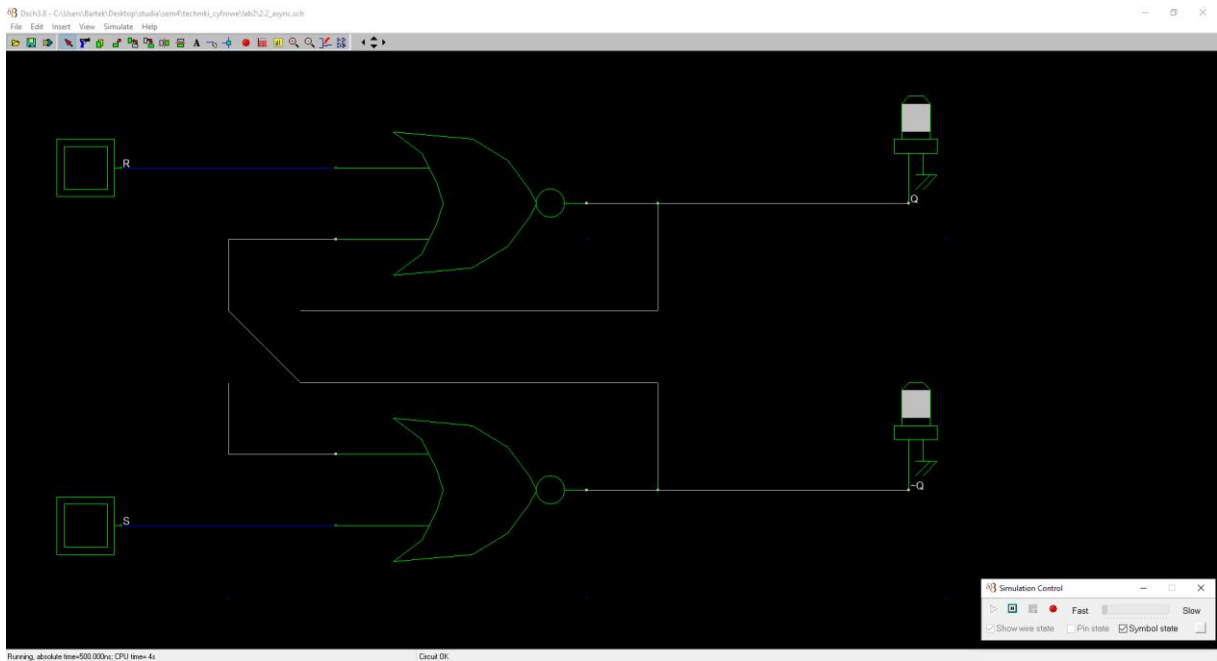
Tabela prawdy 4 Demultiplexer



Przebieg czasowy 3multiplexer i demultiplexer

## 2.2. Przerzutniki RS

Przerzutnik powstaje dzięki sprzężeniu zwrotnemu wyjść z wejściami. Sprzężenie zwrotne powoduje, iż przerzutnik utrzymuje ostatni stan wyjść po przejściu stanów logicznych na wejściach w stan neutralny.



Schemat 5 Przerzutnik RS asynchroniczny

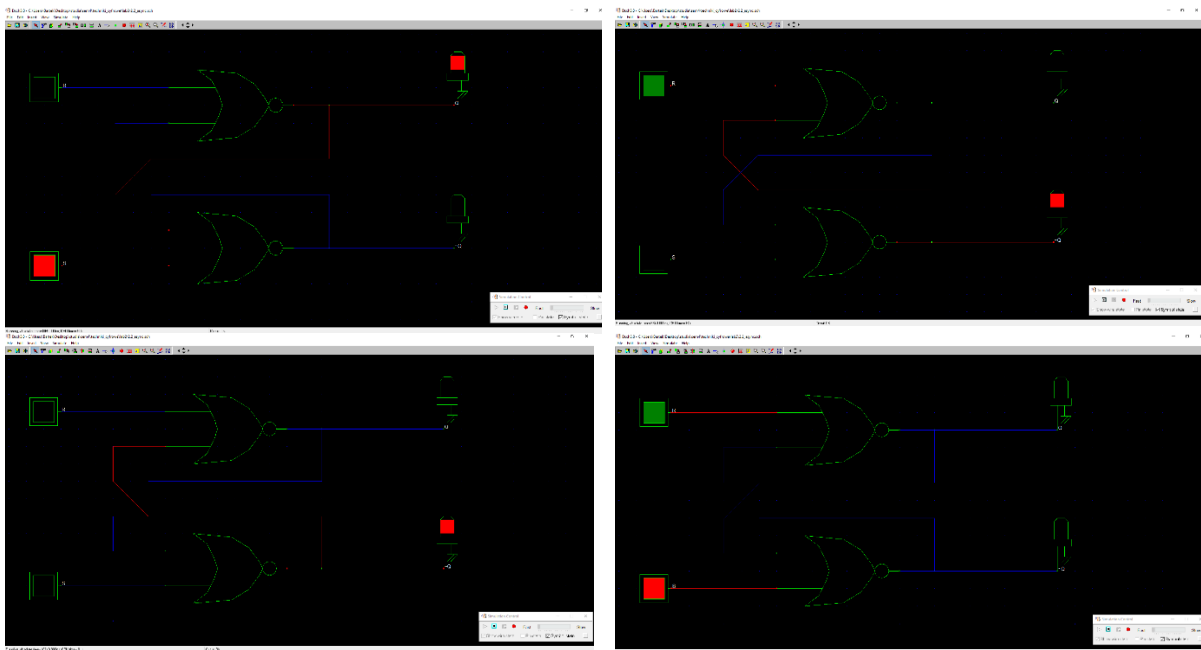
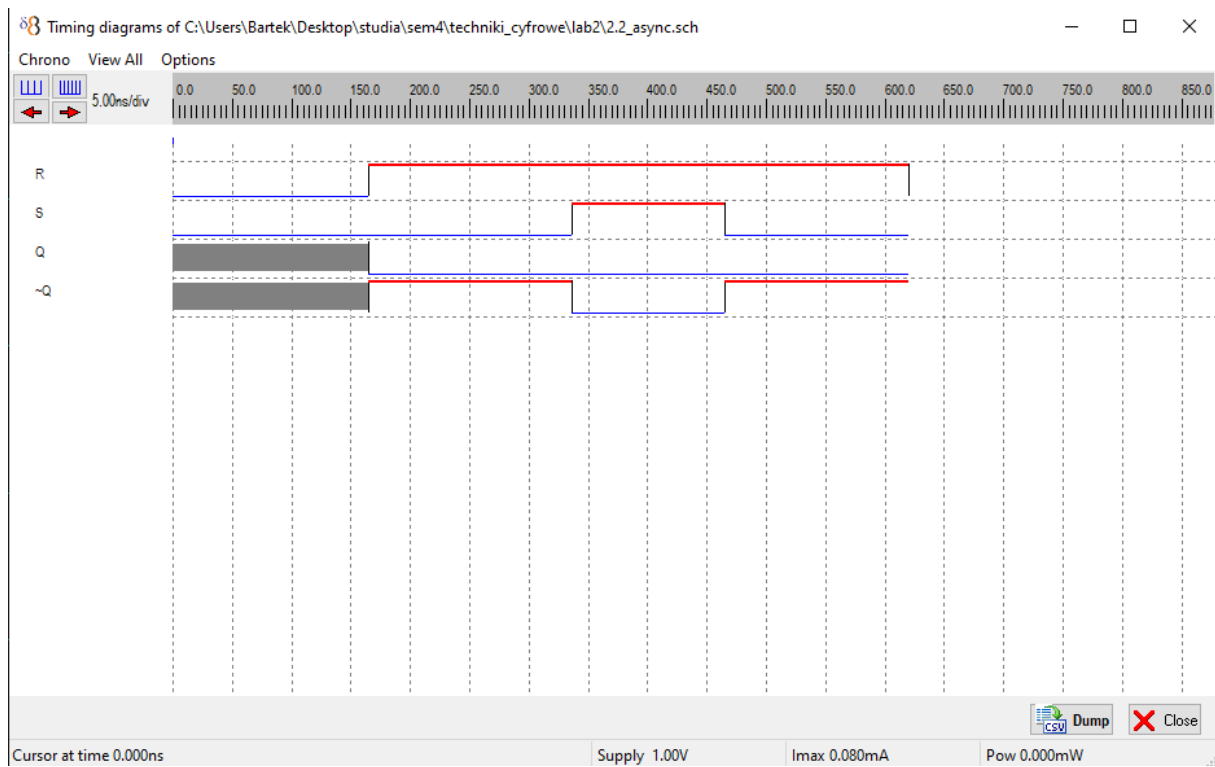


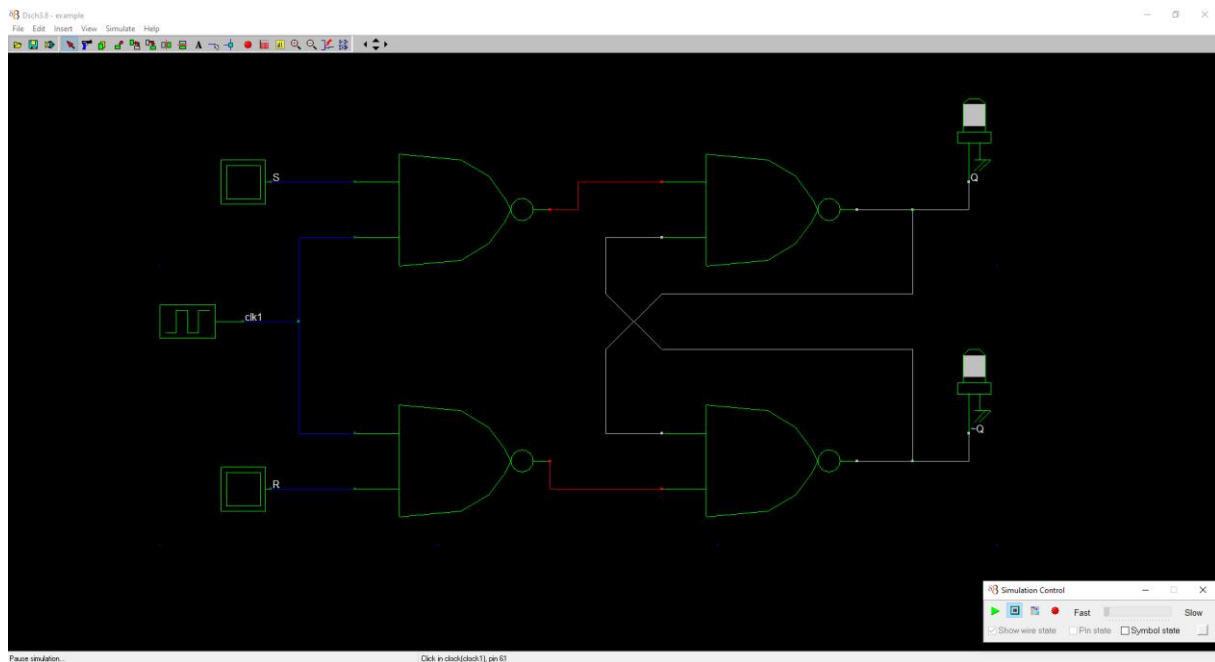
Tabela wyników 4 Przerzutnik RS asynchroniczny



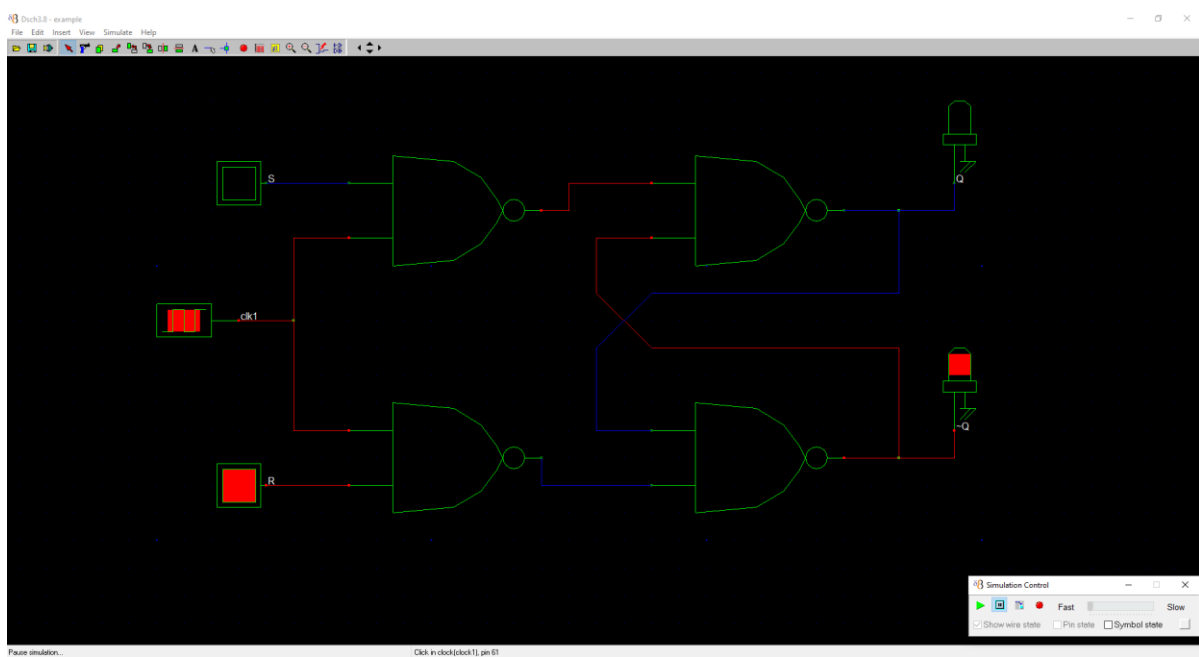
Przebieg czasowy 4 przerzutnik asynchroniczny

R	S	Q	$\sim Q$
0	1	1	0
1	0	0	1
0	0	$Q_{n-1}$	$\sim Q_{n-1}$
1	1	0	0

Tabela prawdy 5 Przerzutnik RS asynchroniczny



Schemat 6 Przerzutnik RS synchroniczny



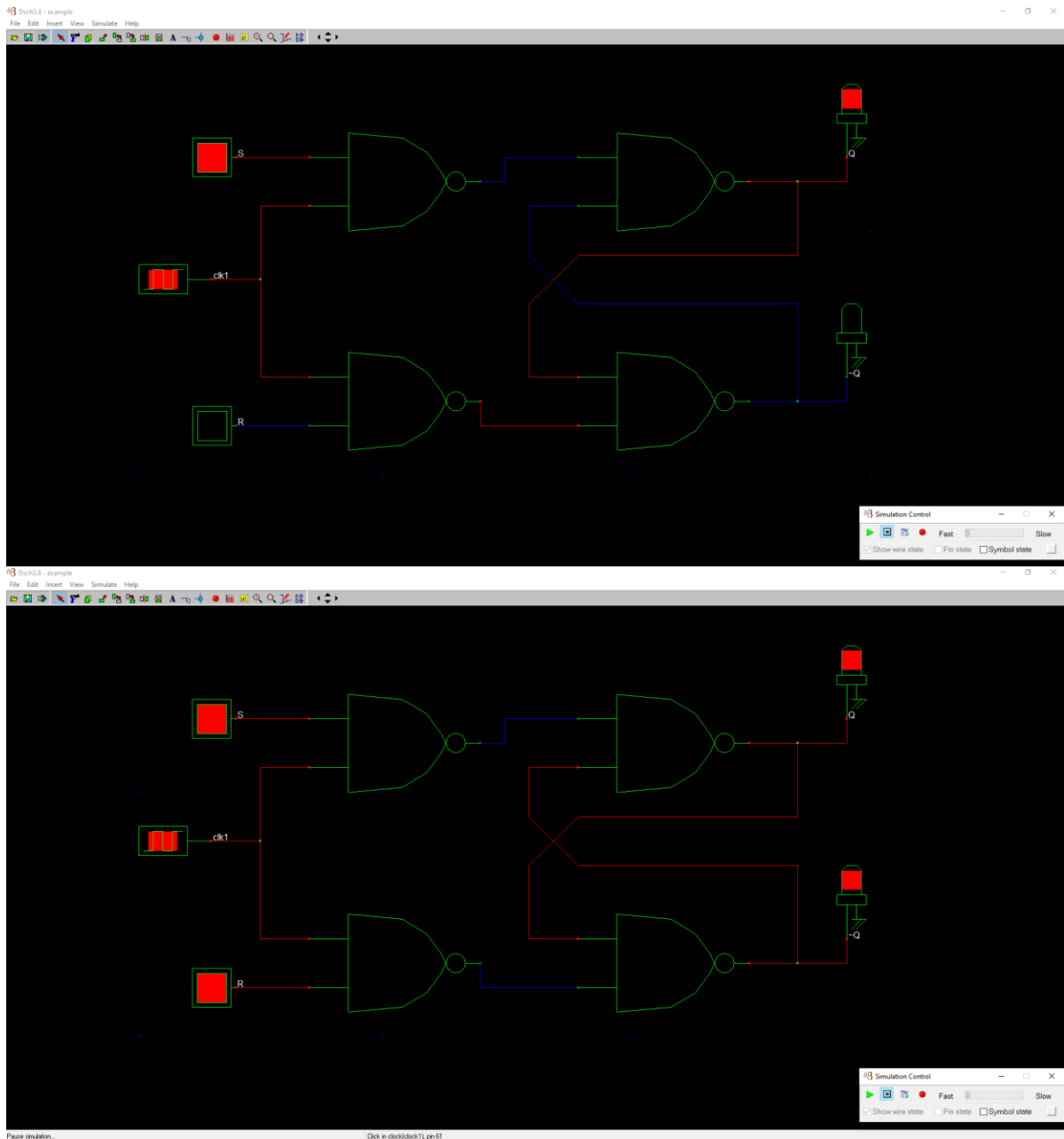
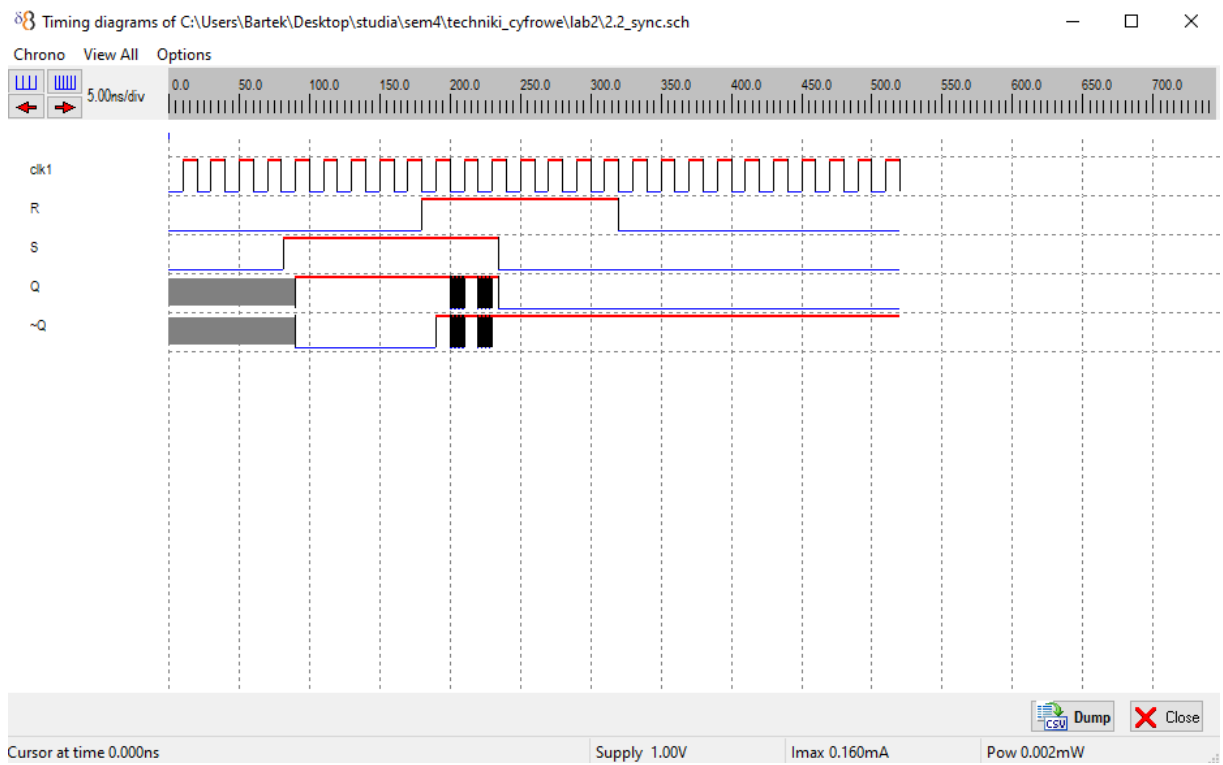


Tabela wyników 5 Przerzutnik RS synchroniczny

S	R	C	Q	$\sim Q$
X	X	0	$Q_{n-1}$	$\sim Q_{n-1}$
0	0	X	$Q_{n-1}$	$\sim Q_{n-1}$
1	0	1	1	0
0	1	1	0	1
1	1	1	1	1

Tabela prawdy 6 Przerzutnik RS synchroniczny

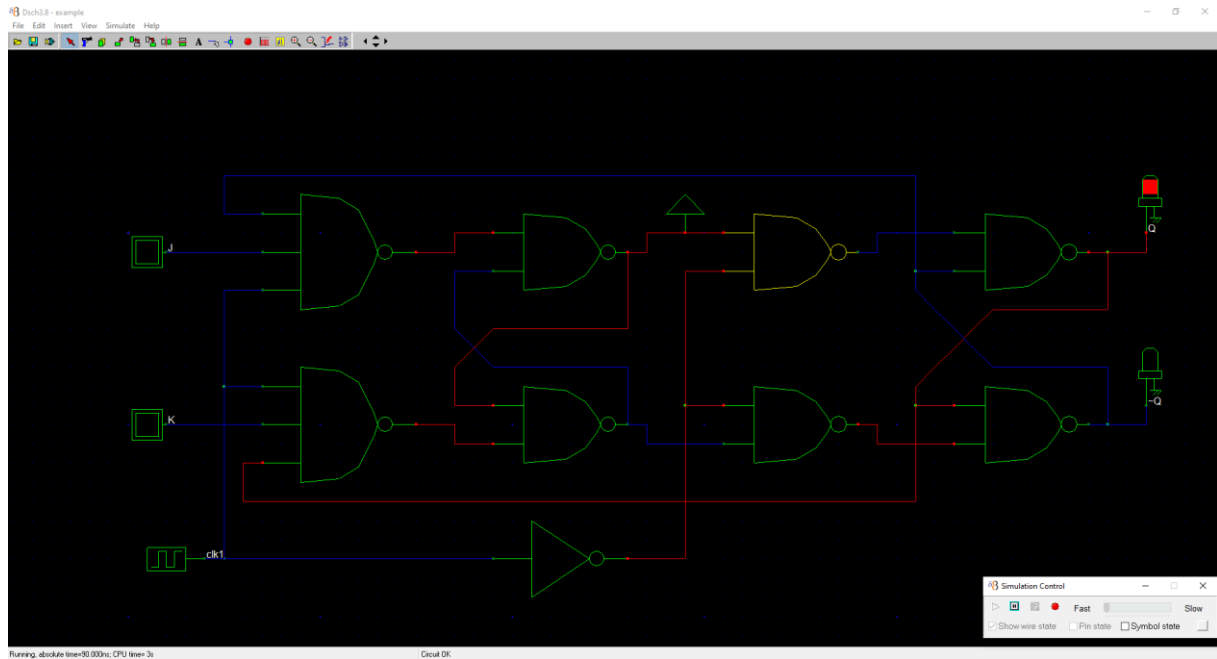




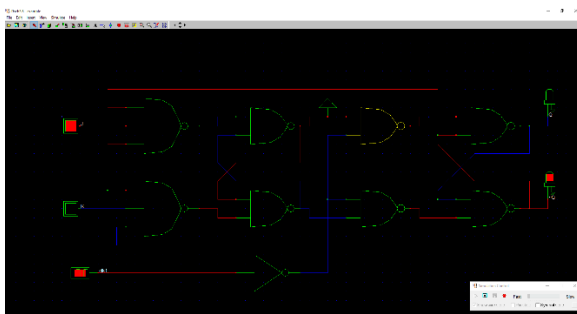
Przebieg czasowy Sprzerzutnik synchroniczny

## 2.3. Przerzutnik synchroniczny JK w układzie Master-Slave

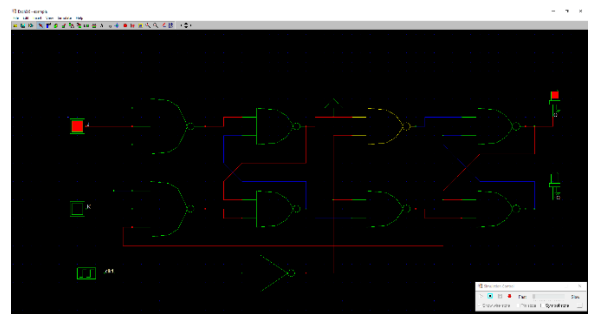
Wyzwalanie przerzutnika następuje tylko w momencie przejścia sygnału zegara ze stanu 1 na 0. Natomiast czas pomiędzy kolejnymi zboczami sygnału zegarowego może być dowolnie długi.



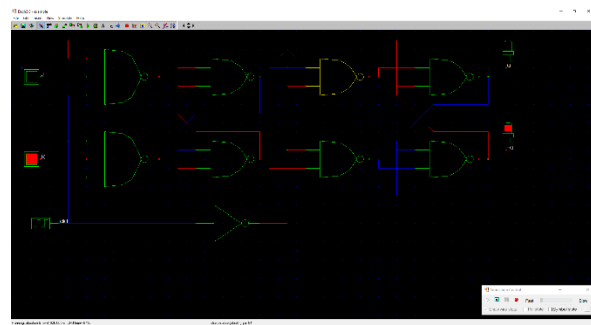
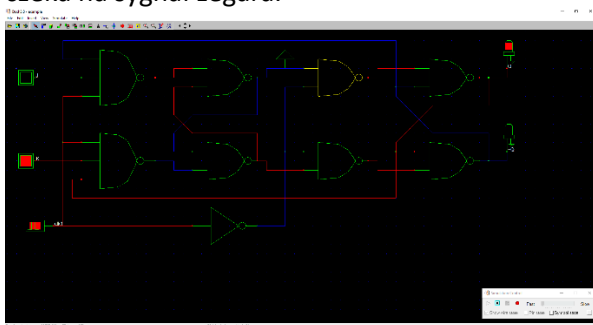
Schemat 7 Przerzutnik J-K Master Slave

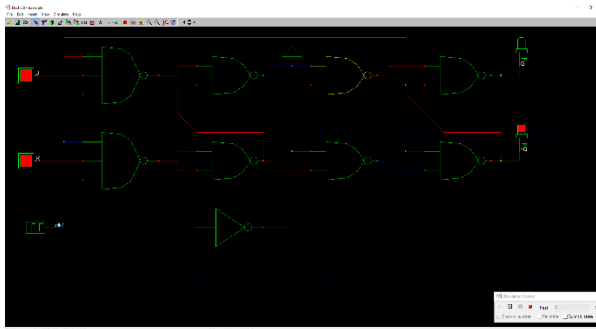


Pamięć przerzutnika Slave, mimo wysokiego stanu przerzutnika Master, sprawia, że Slave czeka na sygnał zegara.

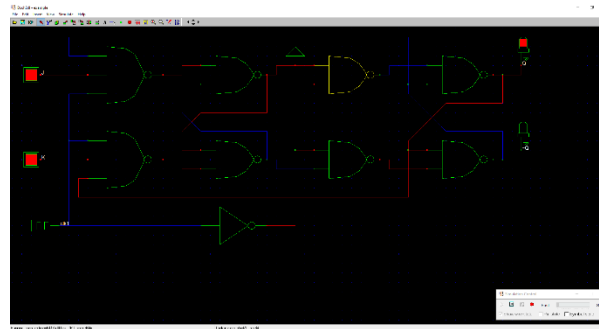


Utwierdzenie stanu przez przerzutnik Slave na sygnał niskiego stanu zegara.





Rozbudowanie przerzutnika o dodatkowy człon bramek skutkuje brakiem sygnału zabronionego.

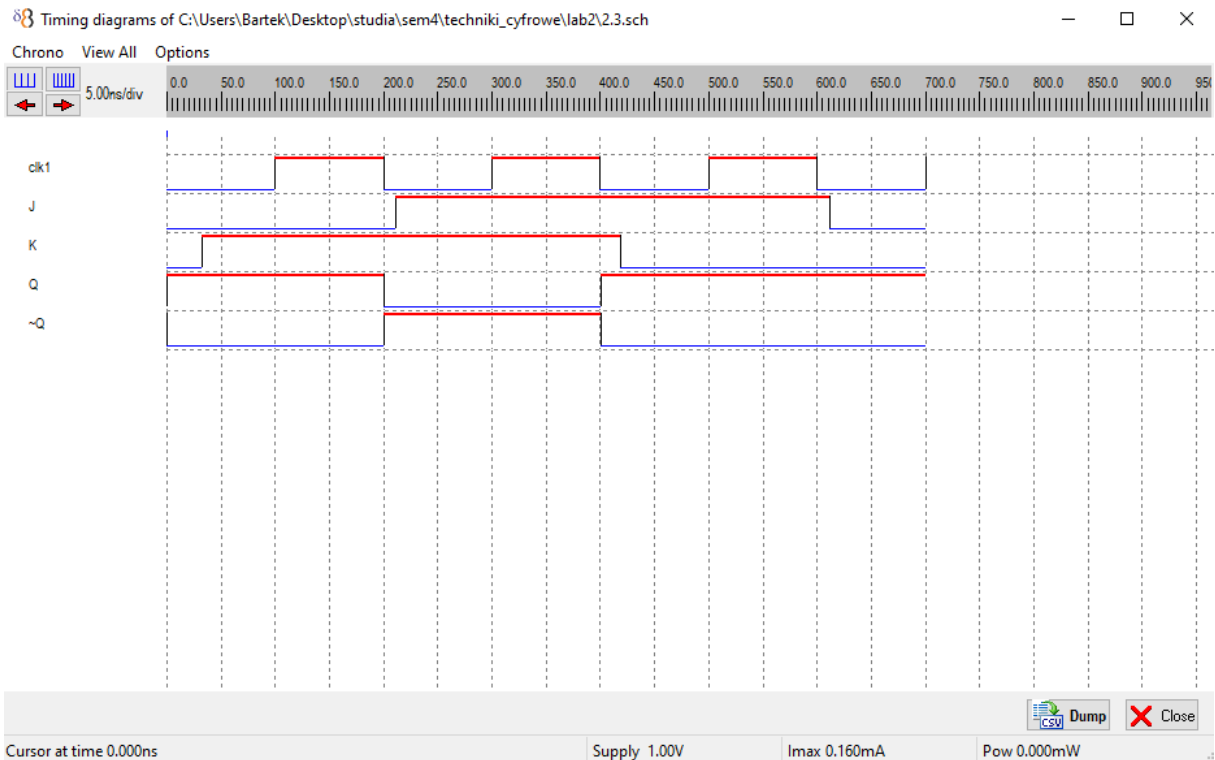


W tym układzie (Master-Slave), przerzutnik na sygnał zegara będzie zmieniał stan wyjść na przemian.

Tabela wyników 6 Przerzutnik J-K Master Slave

J	K	C	Q
X	X	0	$Q_{n-1}$
X	X	1	$Q_{n-1}$
0	0	X	$Q_{n-1}$
1	0	$1 \rightarrow 0$	1
0	1	$1 \rightarrow 0$	0
1	1	$1 \rightarrow 0$	$\sim Q_{n-1}$

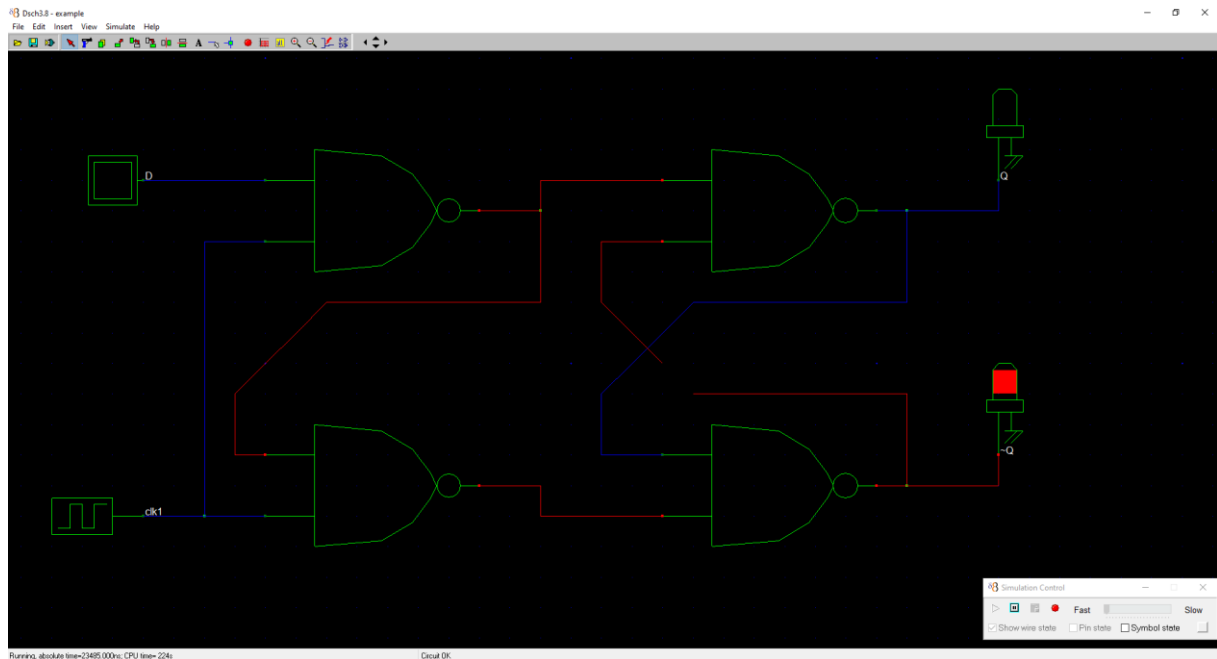
Tabela prawdy 7 Przerzutnik J-K Master Slave



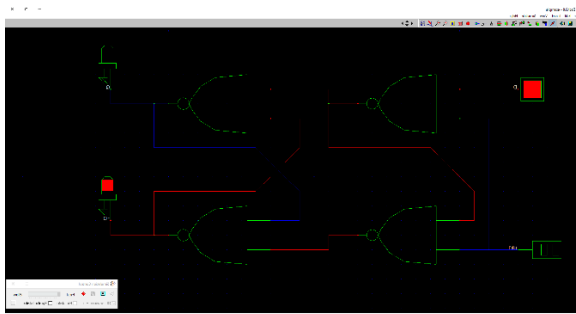
Przebieg czasowy 6 przerzutnik J-K SM

## 2.4. Przerzutnik D, w wersji statycznej oraz transmisyjnej

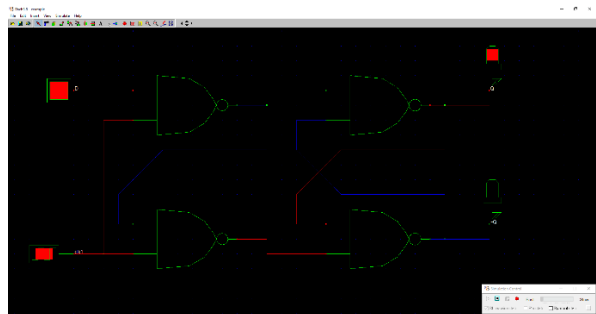
Gdy wejście zegarowe C jest w stanie nieaktywnym, przerzutnik pamięta swój poprzedni stan. Gdy wejście C przechodzi w stan aktywny, do przerzutnika zostaje wpisany stan wejścia D, tzn. na wyjściu Q pojawia się ten sam stan, który występuje na wejściu D. Gdy wejście zegarowe C powróci w stan nieaktywny, wpisany z wejścia D stan jest pamiętany w przerzutniku. Zwróć uwagę, iż w przerzutniku D nie występują stany zabronione.



Schemat 8 Przerzutnik D statyczny



Przerzutnik czeka na stan wysoki zegara

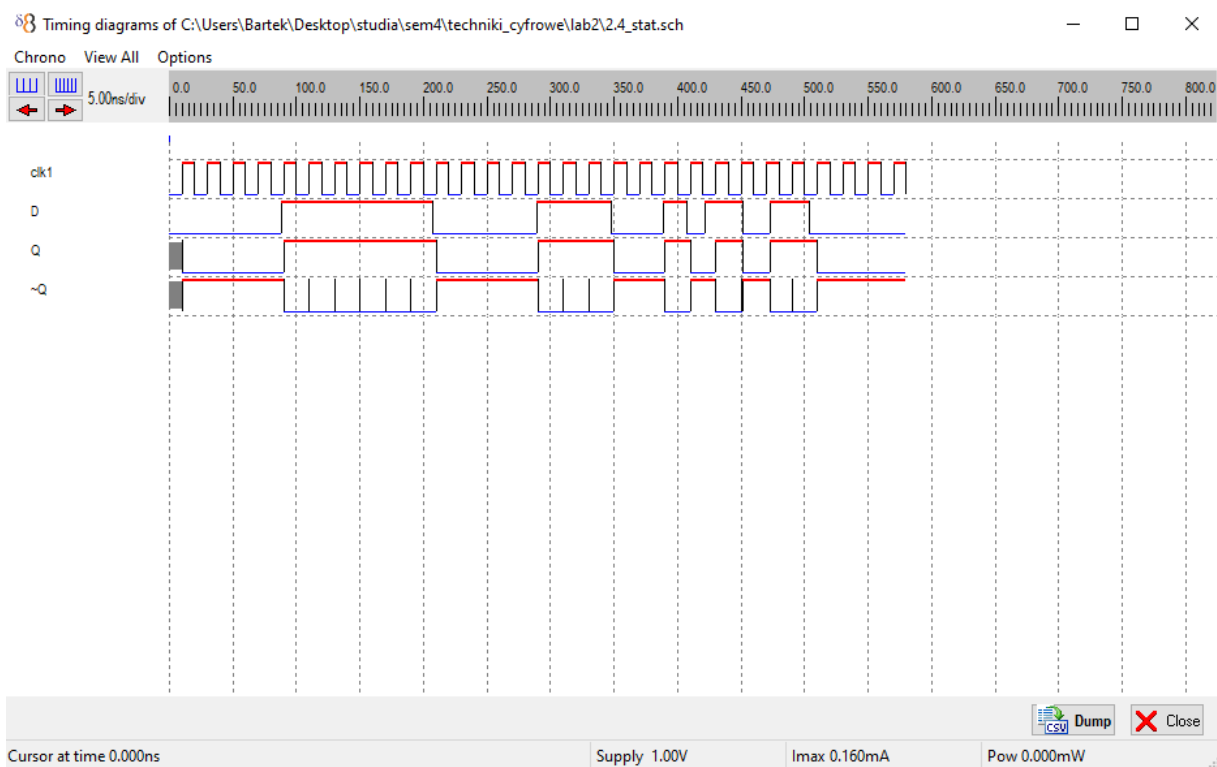


Przerzutnik zmienia stan wyjściowy przy wysokim stanie zegara

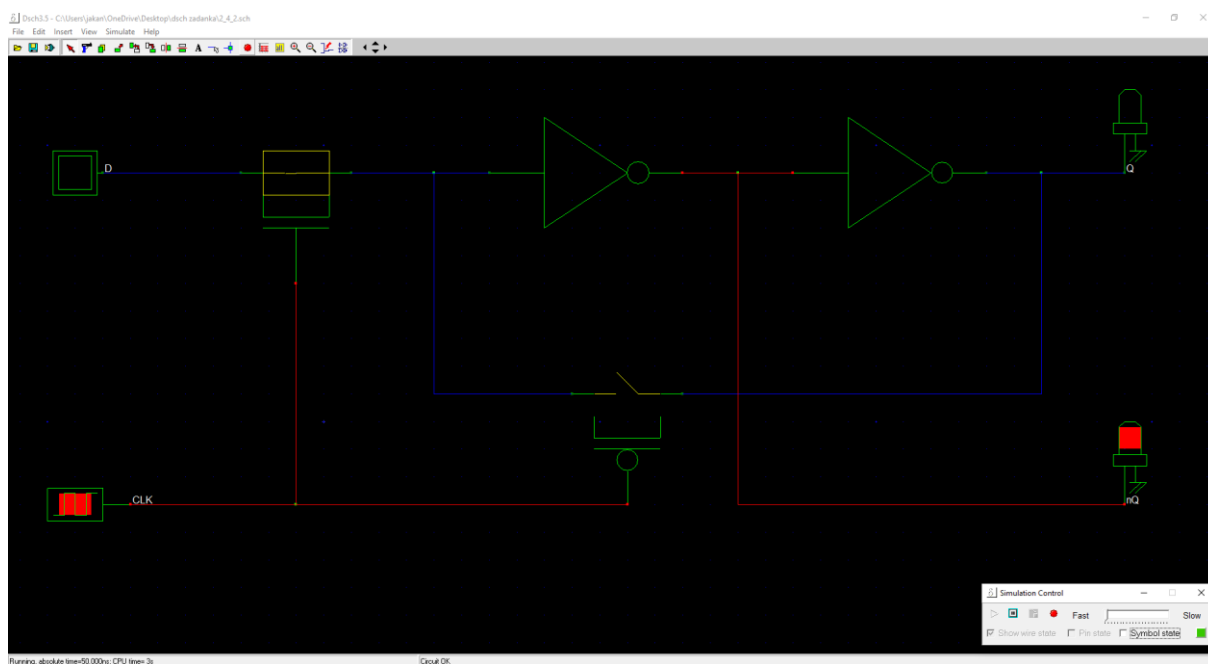
Tabela wyników 7 Przerzutnik statyczny

D	C	Q	$\sim Q$
X	0	$Q_{n-1}$	$\sim Q_{n-1}$
0	1	0	1
1	1	1	0

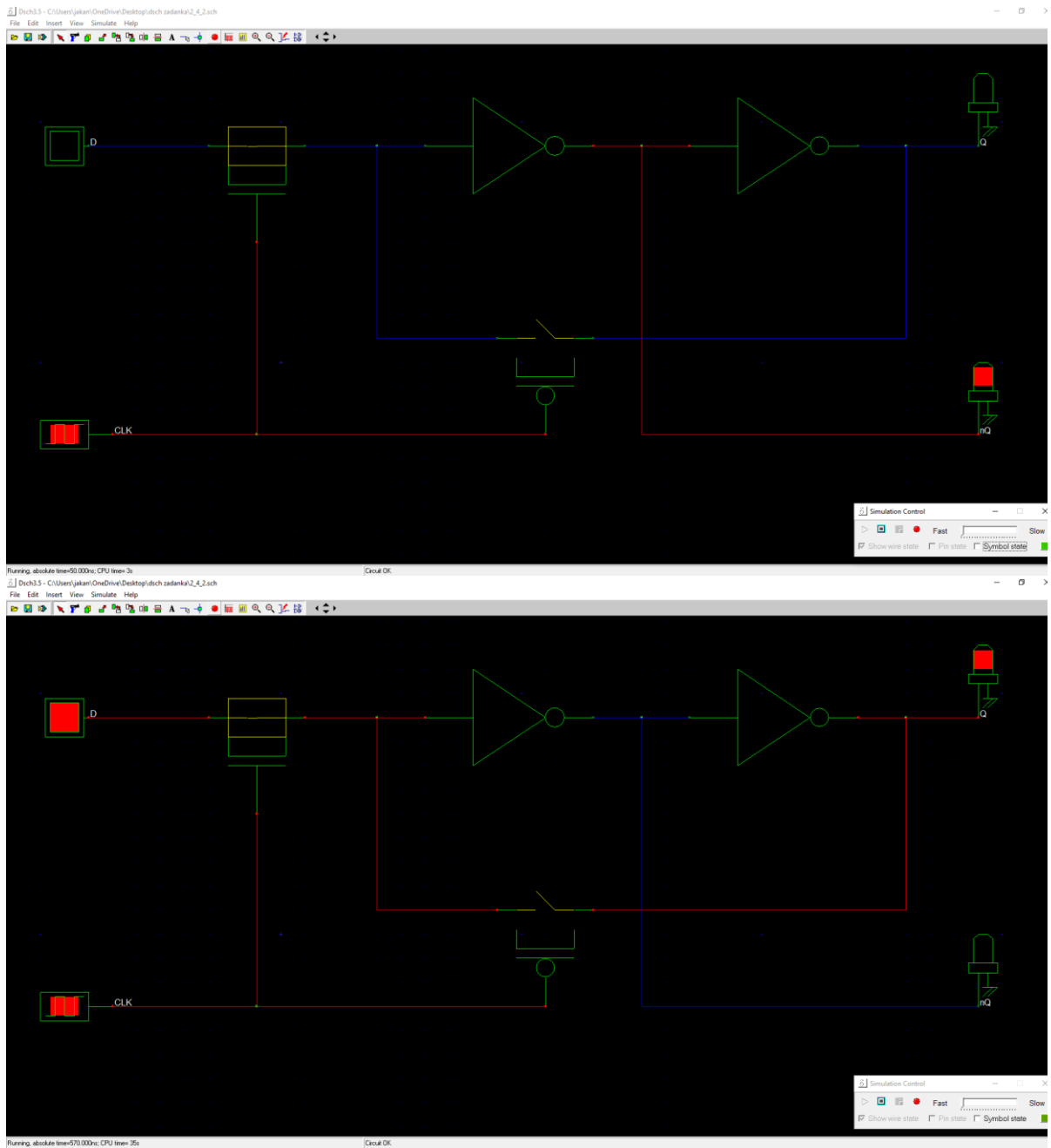
Tabela prawdy 8 Przerzutnik D statyczny



Przebieg czasowy 7przerzutnik D statyczny



Schemat 9 Przerzutnik D transmisyjny



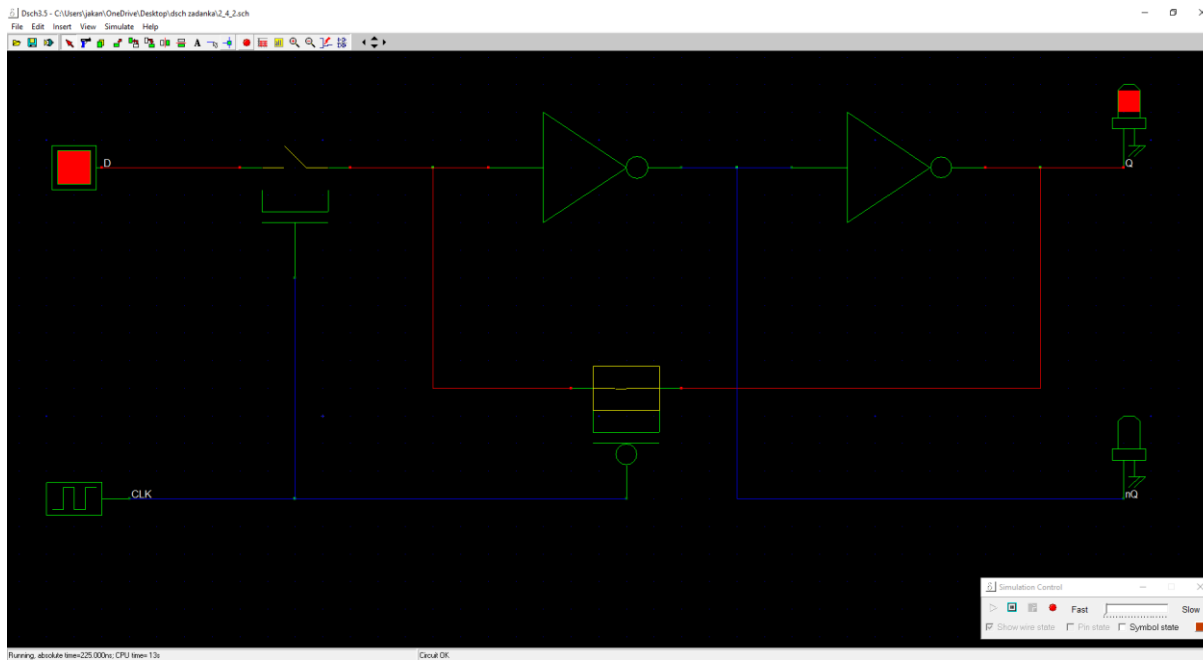
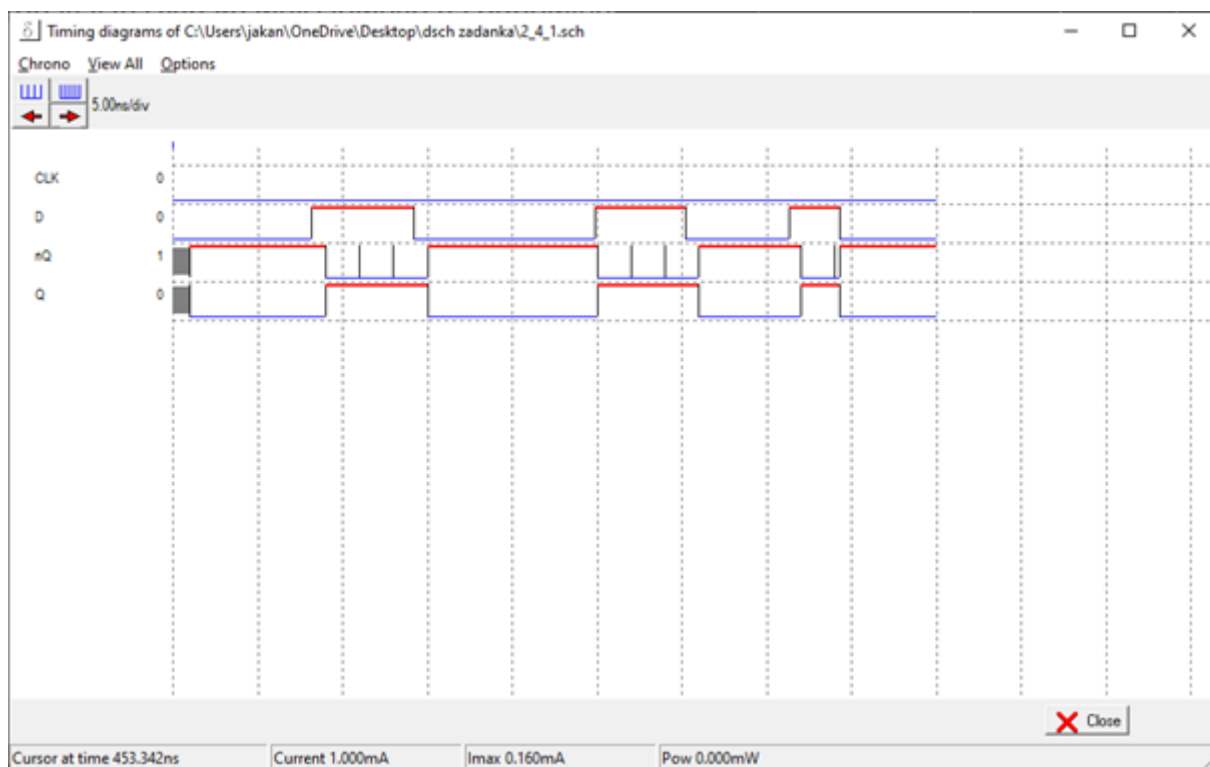


Tabela wyników 8 Przerzutnik D transmisyjny



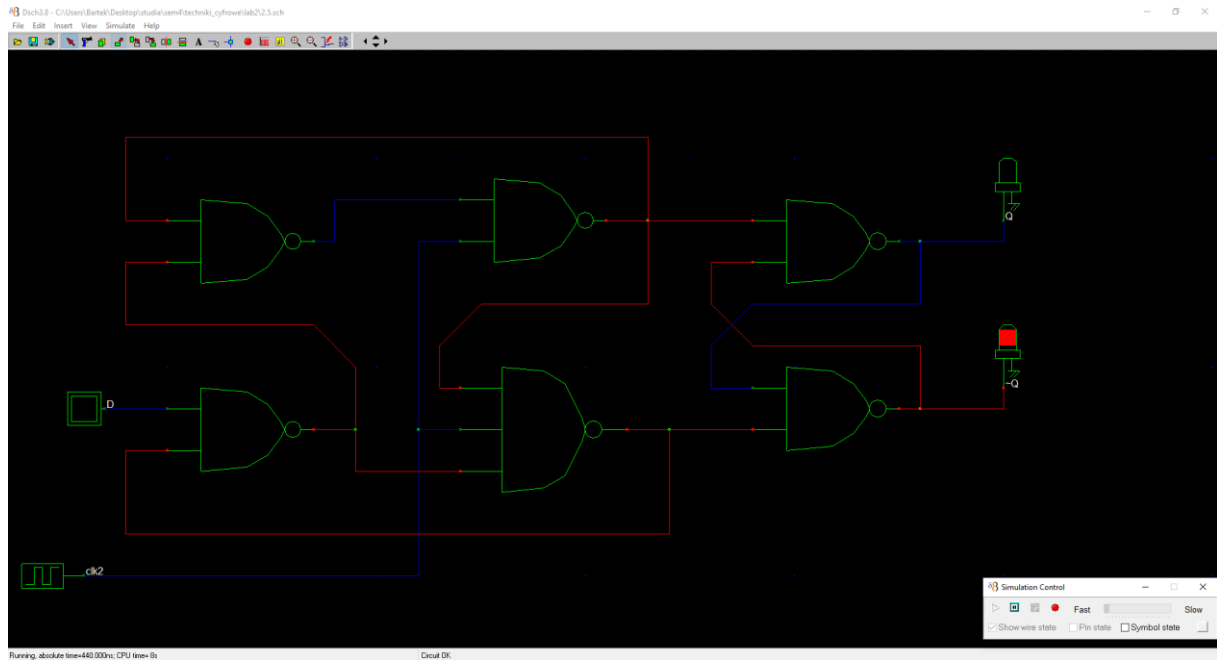
Przebieg czasowy 8przerzutnik D transmisyjny

Czas propagacji sygnału może to sprawiać kłopoty w odpowiednio szybkim przekazywaniu sygnału wejściowego na odpowiednie wyjście bramki CMOS.

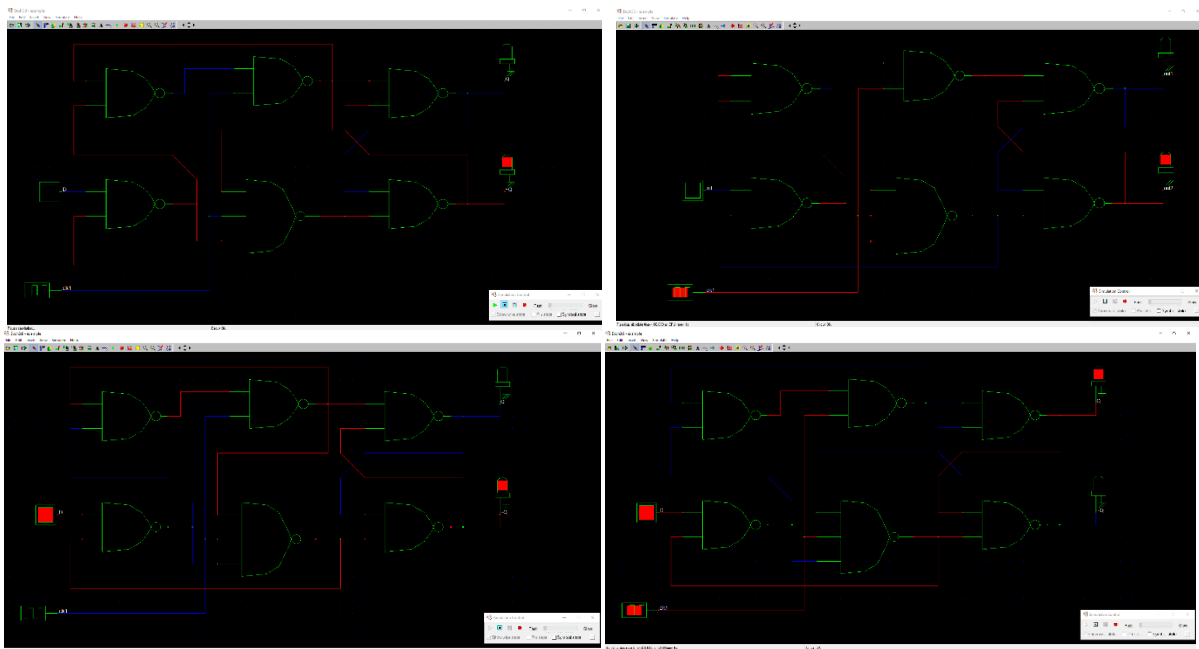
Przerzutnik D typu transmisyjnego ma początkowo niezainicjalizowane stany wyjściowe.

## 2.5 Przerzutnik D wyzwany zboczem

Przerzutnik zapamiętuje stan wejścia D tylko przy odpowiedniej zmianie poziomu logicznego na wejściu zegarowym C. Architektura przypomina przerzutnik RS Master-Slave.



Schemat 10 przerzutnik D wyzwany zboczem



Przerzutnik czeka na sygnał od zegara

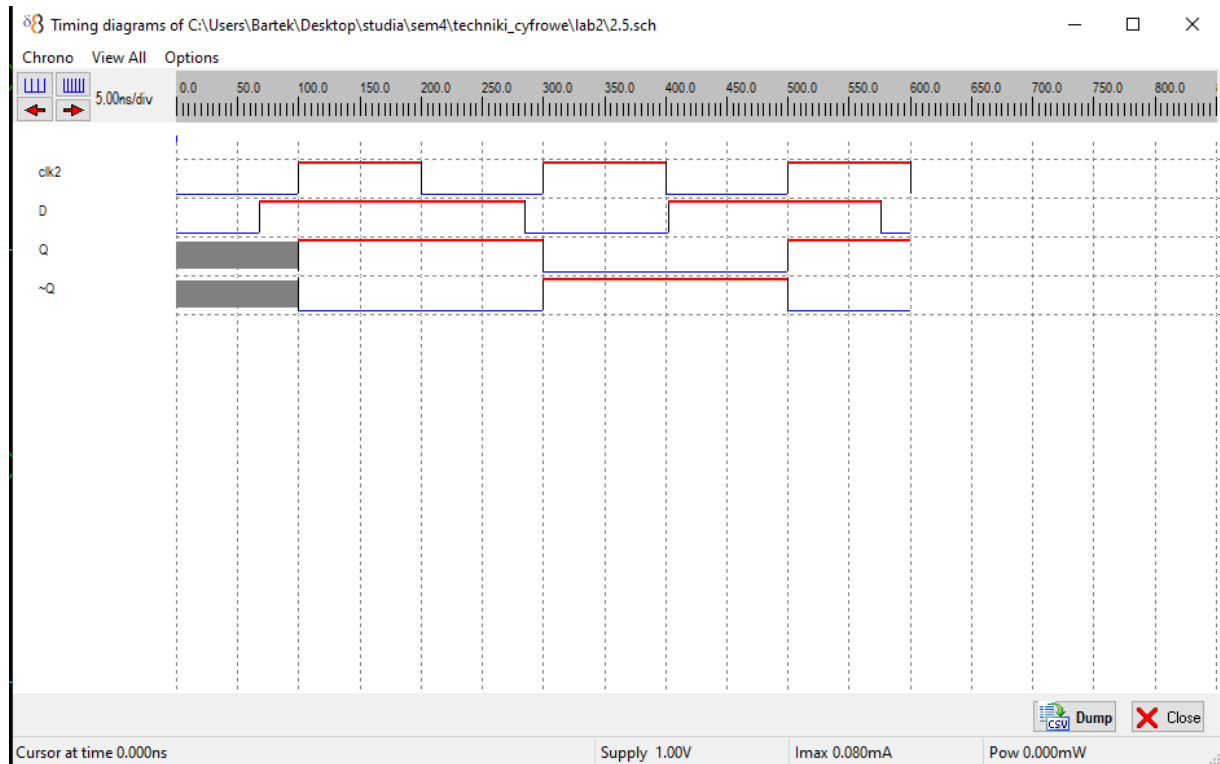
Przerzutnik dostał sygnał

Tabela wyników 9 przerzutnik D wyzwany zboczem



D	C	Q	$\sim Q$
0	X	0	1
1	$0 \rightarrow 1$	1	0
0	$0 \rightarrow 1$	0	1

*Tabela prawdy 9 przerzutnik D wyzwalany zboczem*



*Przebieg czasowy 9 przerzutnik wyzwalany zboczem*

### 3.1. Trzybitowy licznik synchroniczny

Sekwencja stanów dla licznika: 1, 3, 5, 7, 0

t	t+1
1	3
3	5
5	7
7	0
0	1

Tabela 1 sekwencji stanów

t			t+1		
q2	q1	q0	q2	q1	q0
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	1	0	1
1	0	1	1	1	1
1	1	1	0	0	0
0	0	0	0	0	1

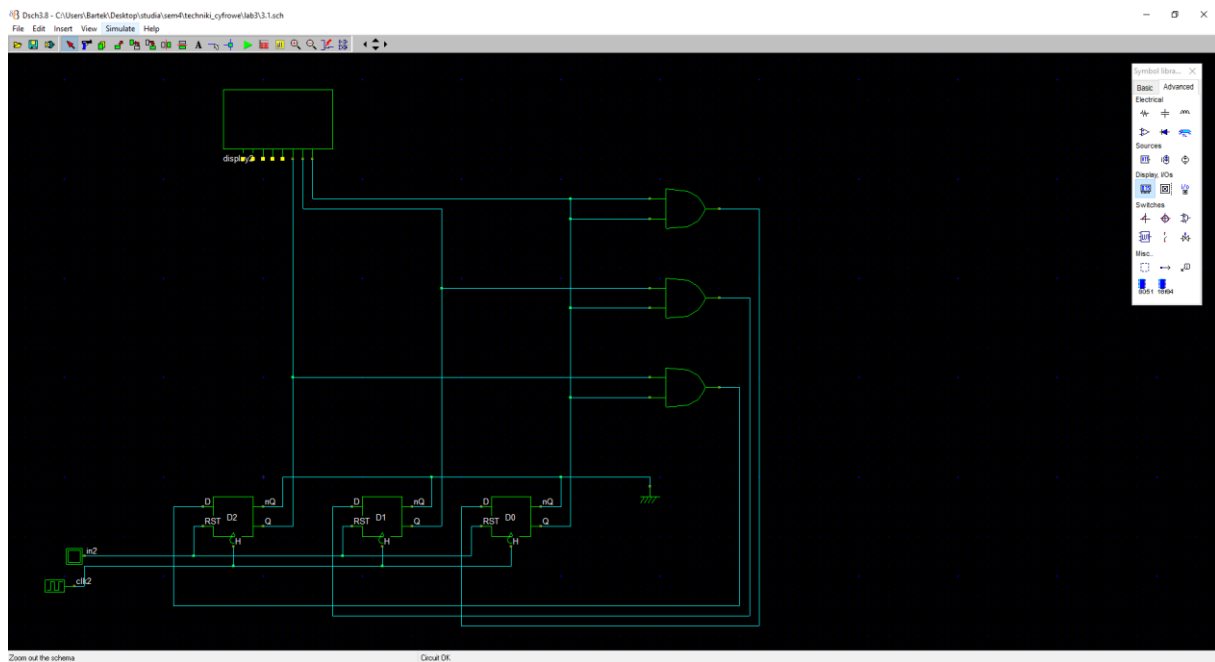
Tabela 2 stanów zakodowana na trzech bitach

		Q2 i Q1				
		00	01	11	10	
Q0	0	0	-	-	-	$D2 = Q0 * Q2$
	1	0	0	1	1	

		Q2 i Q1				
		00	01	11	10	
Q0	0	0	-	-	-	$D1 = Q0 * Q1$
	1	0	1	1	0	

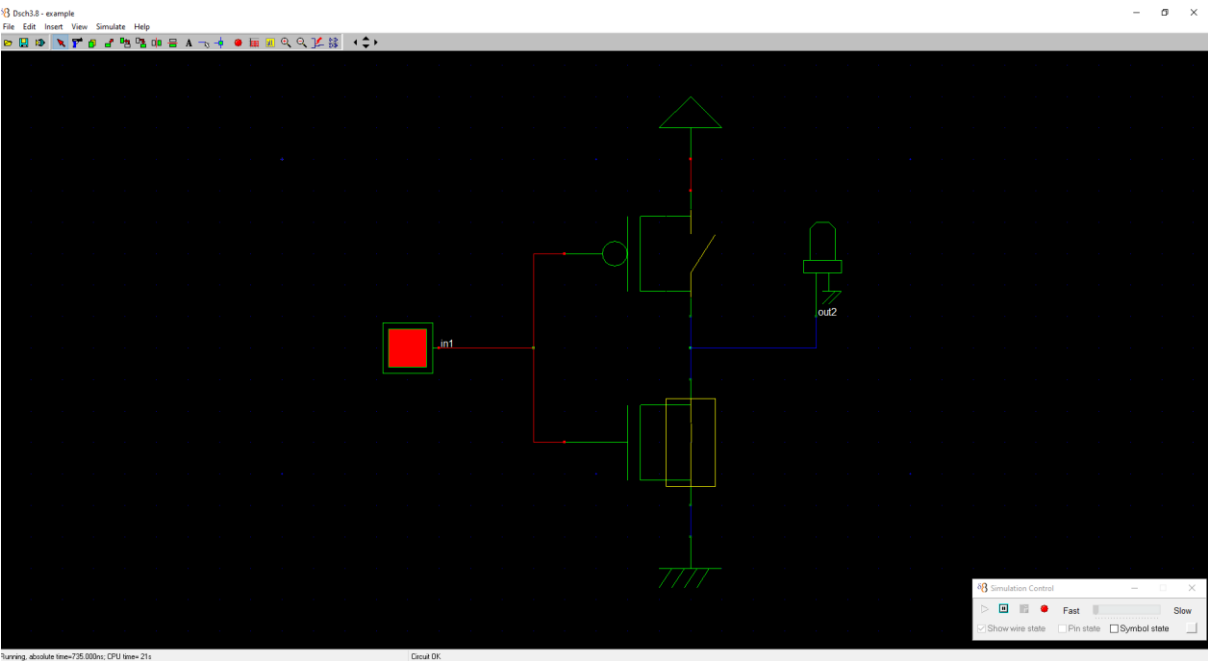
		Q2 i Q1				
		00	01	11	10	
Q0	0	0	-	-	-	$D0 = Q0$
	1	1	1	1	1	

Tabela 3 siatka Karnaugh dla przerzutników D0, D1, D2 wraz ze zminimalizowaną funkcją logiczną

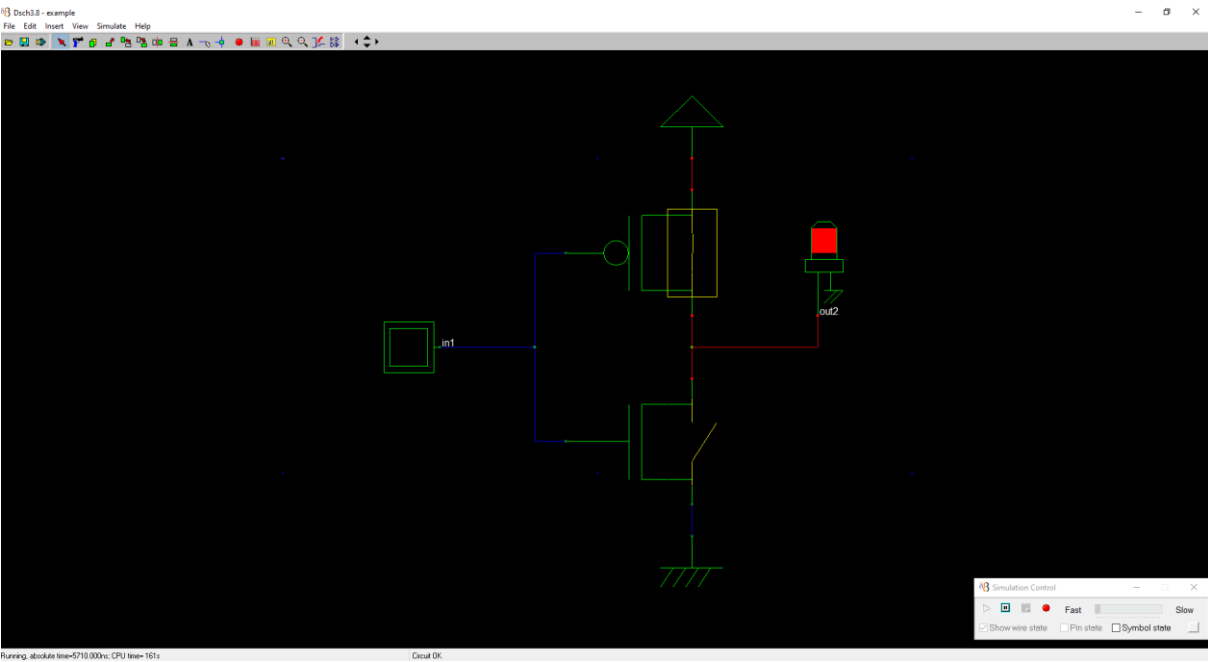


*Schemat 11 licznik synchroniczny*

4.1. Inwerter CMOS



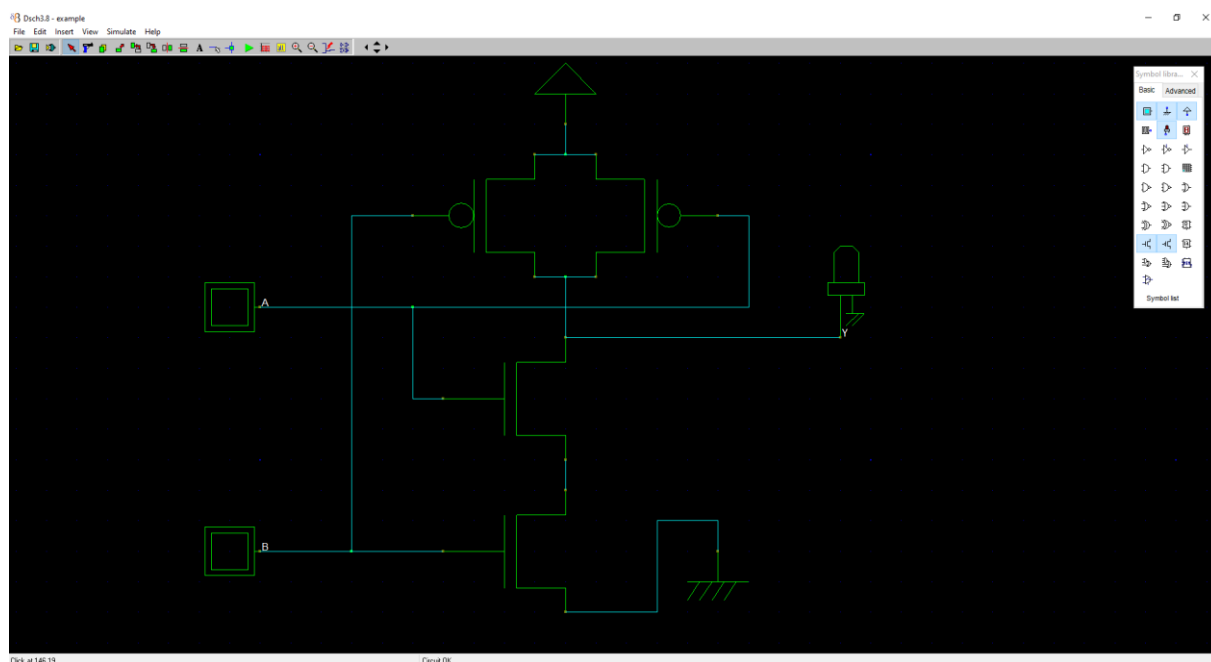
Schemat 12 Inwerter CMOS



IN	OUT
0	1
1	0

Tabela prawdy 10 Inwerter CMOS

## 4.2. Dwuwejściowe statyczne bramki logiczne CMOS



Schemat 13 bramka NAND

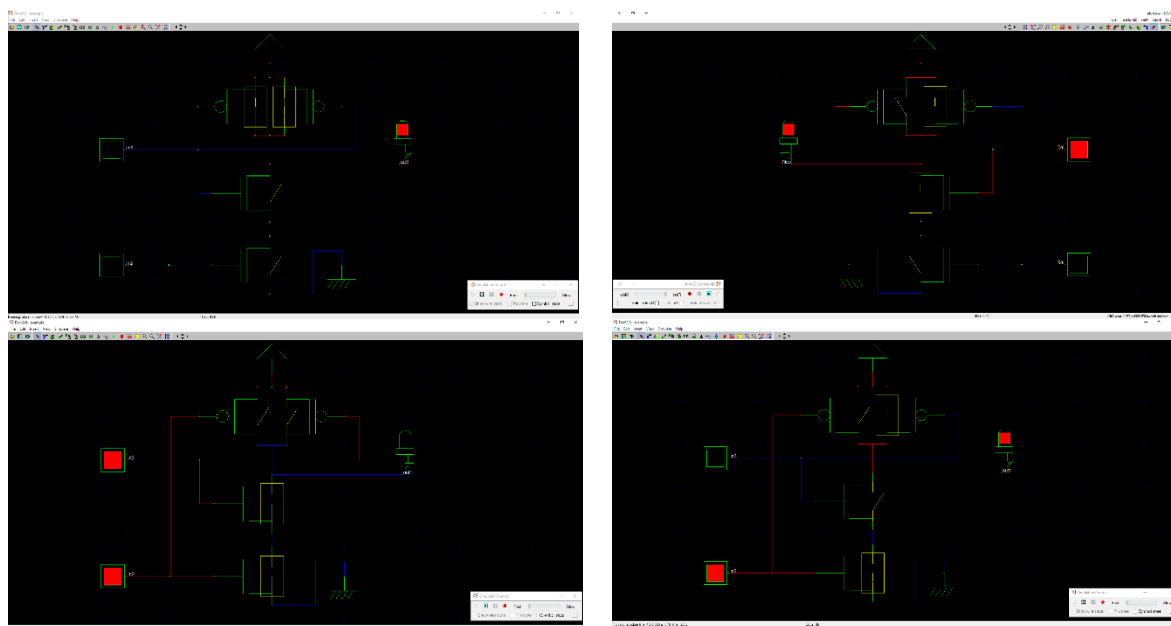
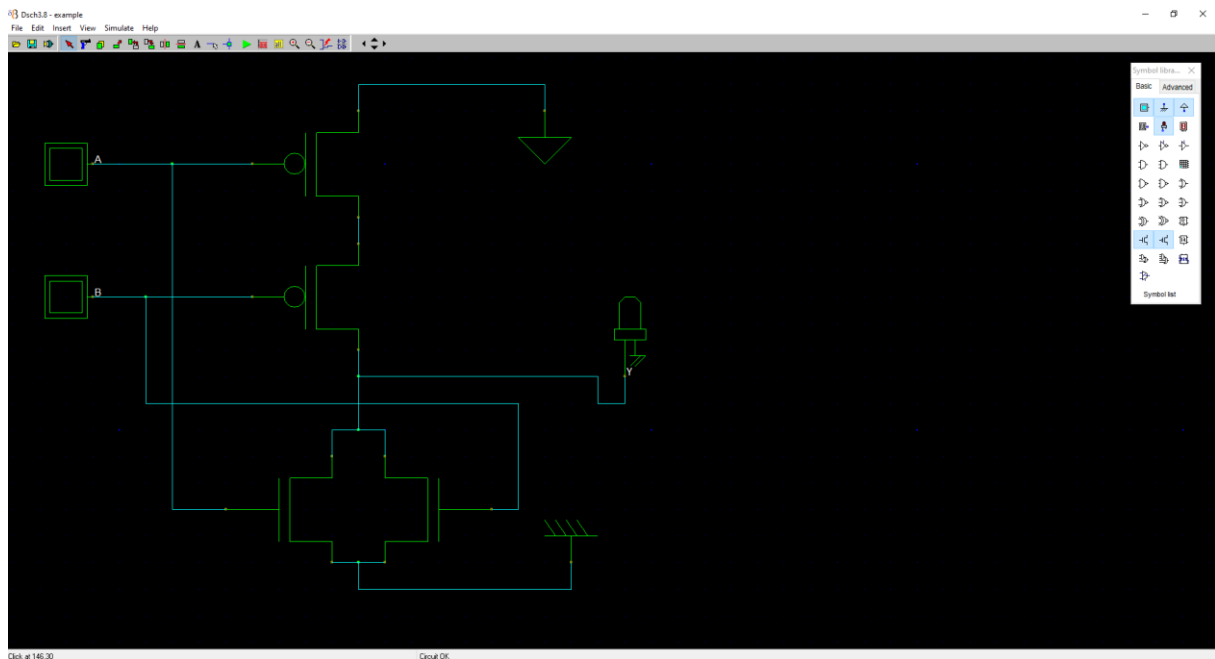


Tabela wyników 10 bramka NAND

A	B	Y
0	0	1
0	1	1
1	1	0
1	0	1

Tabela prawdy 11 bramka NAND



Schemat 14 bramka NOR

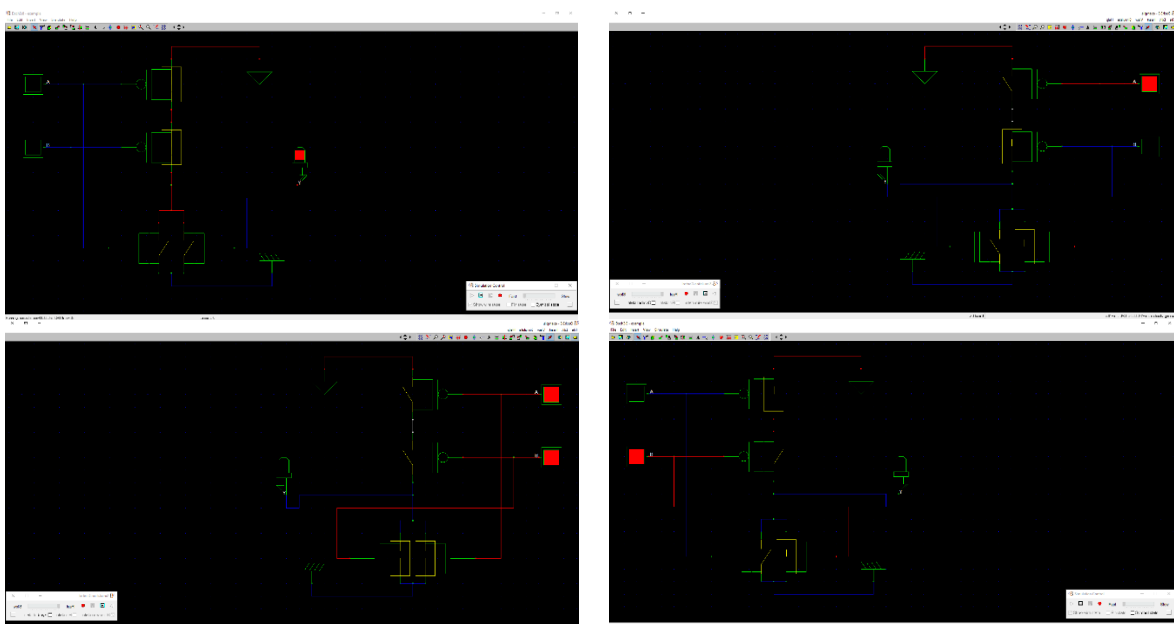


Tabela wyników 11 bramka NOR

A	B	Y
0	0	1
0	1	0
1	1	0
1	0	0

Tabela prawdy 12 bramka NOR

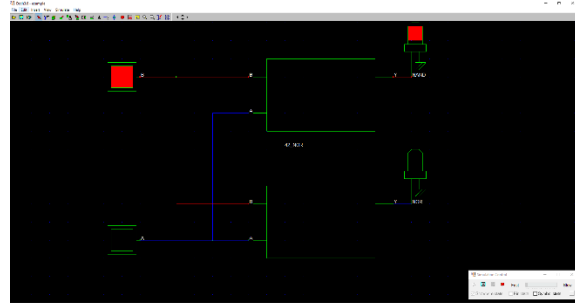
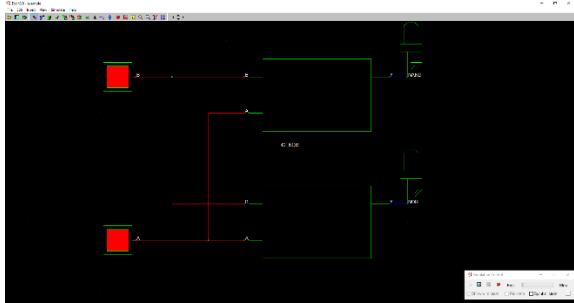
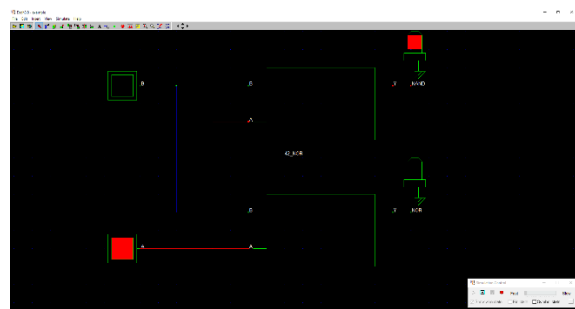
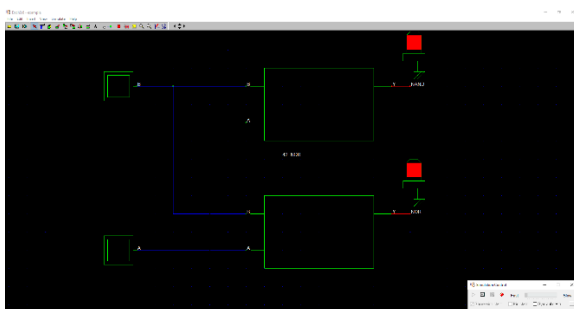
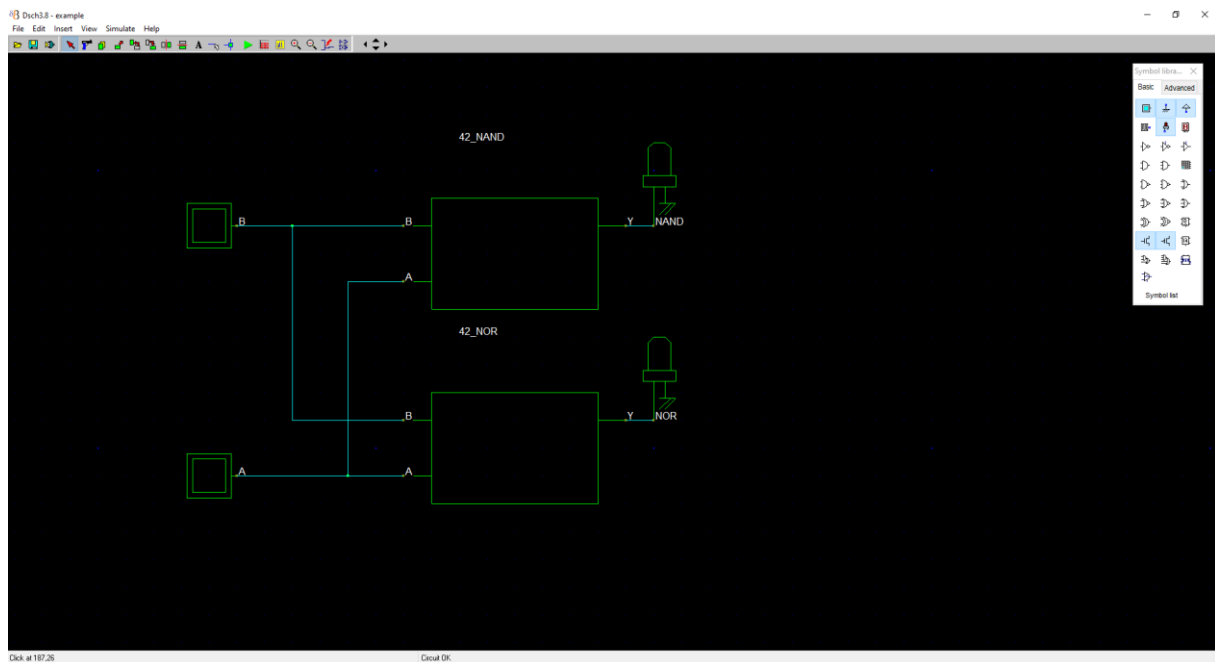
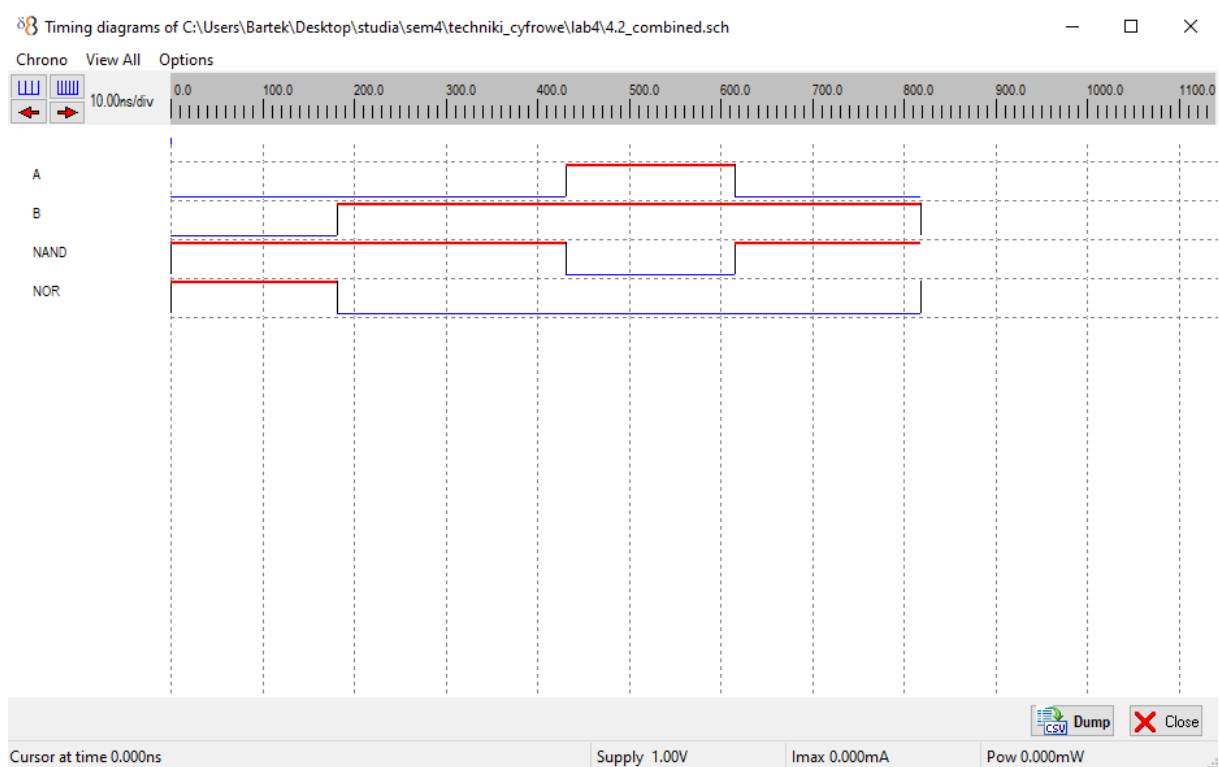


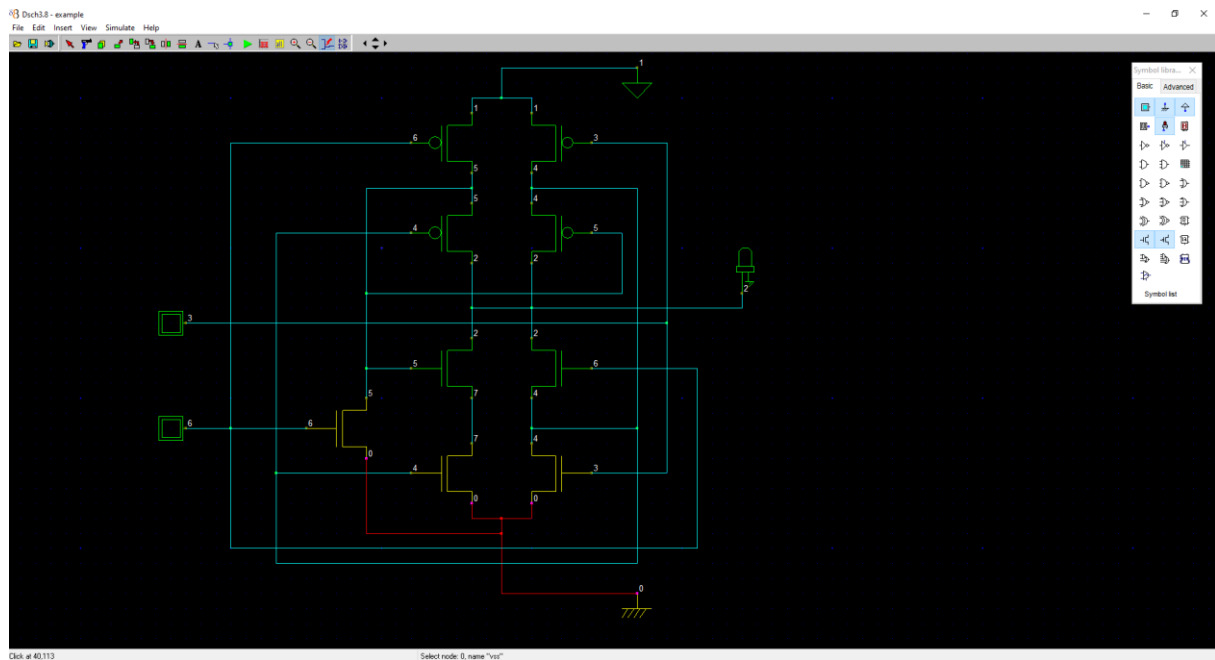
Tabela wyników 12 bramki CMOS



Przebieg czasowy 10 bramki CMOS



### 4.3. Bramka XOR, jako statyczna bramka logiczna CMOS



Schemat 15 bramka XOR

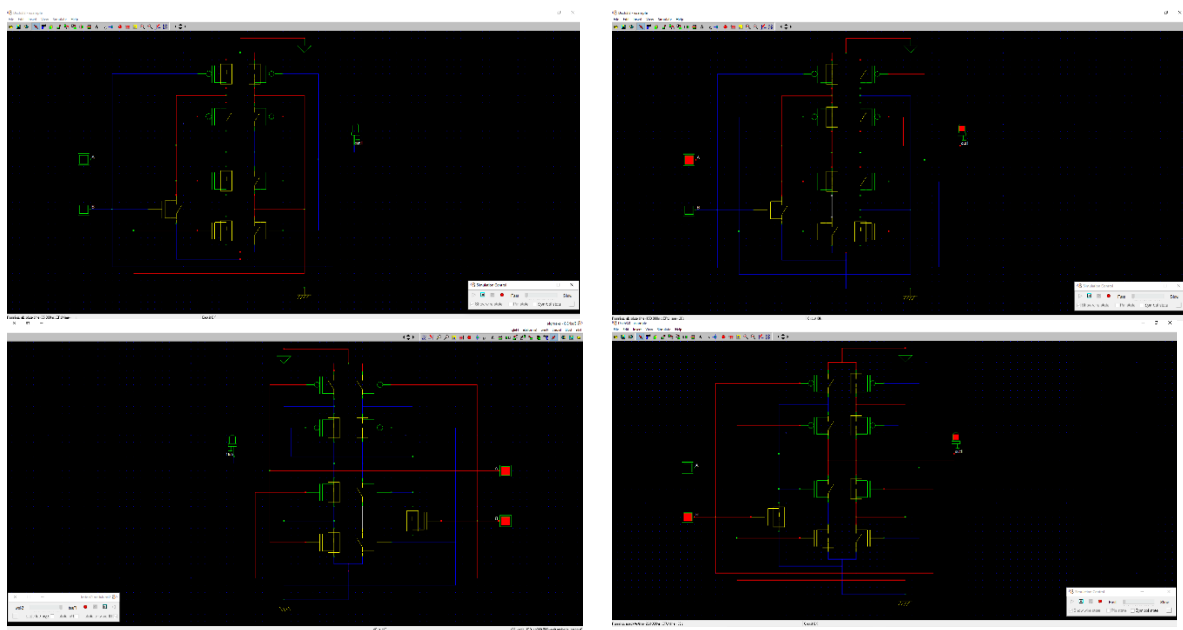
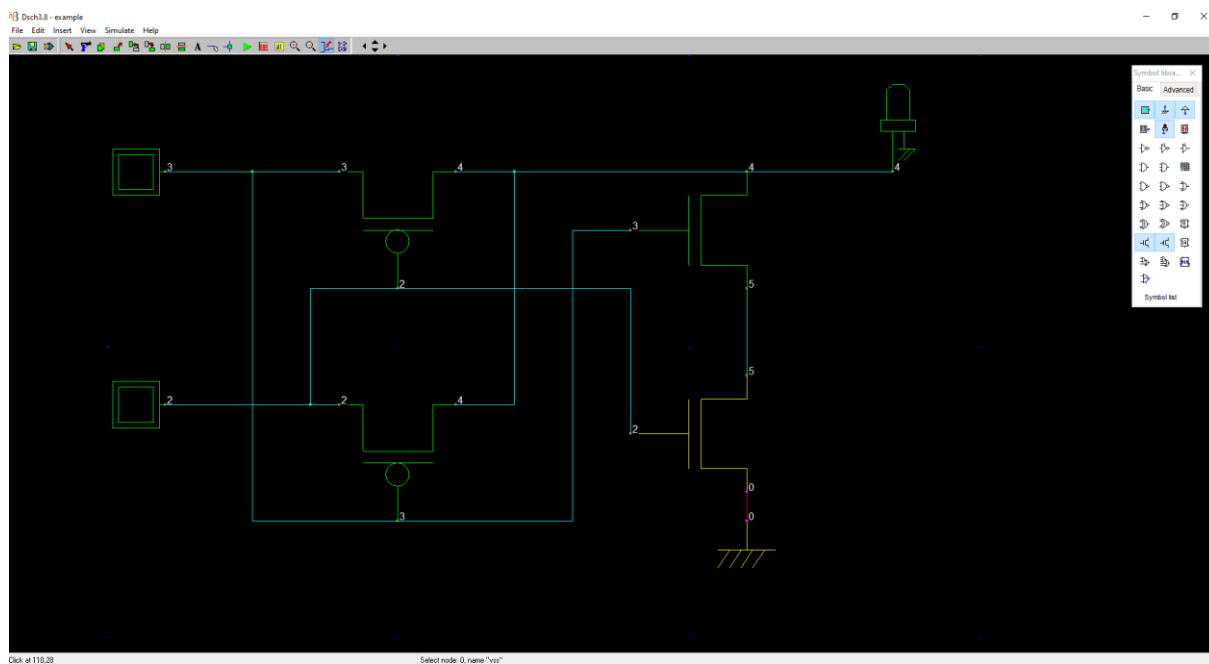


Tabela wyników 13 bramka XOR

A	B	Y
0	0	0
1	0	1
0	1	1
1	1	0

Tabela prawdy 13 bramka XOR

## 5.1. Transmisyjna bramka XOR



Schemat 16 transmisyjna bramka XOR

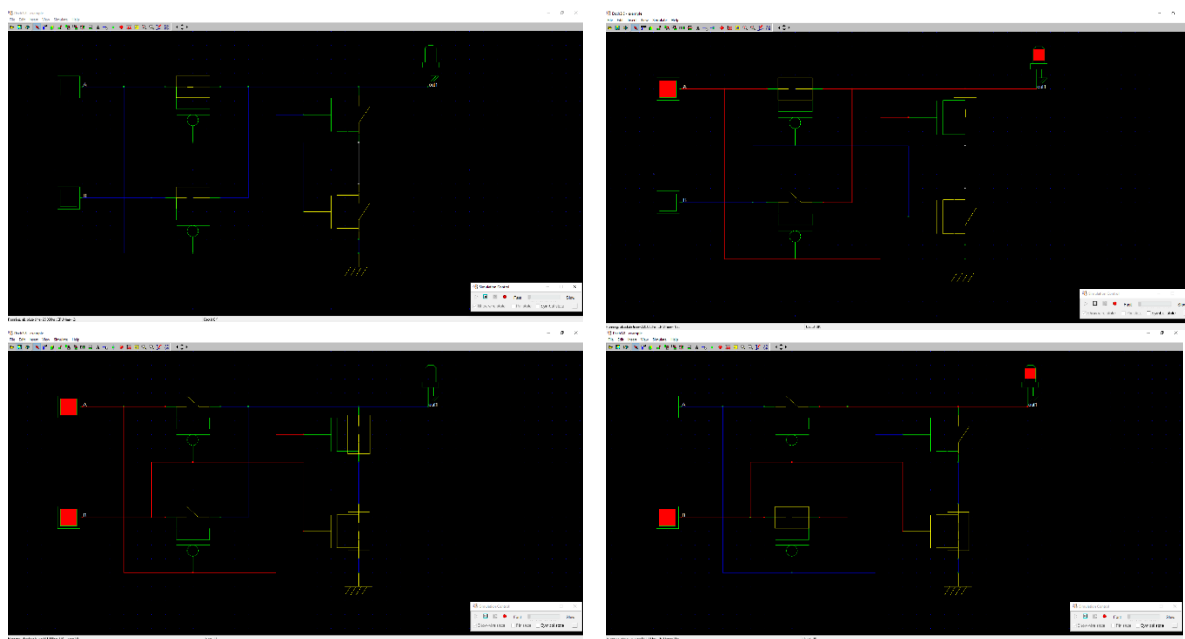


Tabela wyników 14 transmisyjna bramka XOR

A	B	Y
0	0	0
1	0	1
0	1	1
1	1	0

Tabela prawdy 14 transmisyjna bramka XOR