Bartłomiej Błaszczyk

236382

Informatyka 4i1 niestacjonarne

Semestr letni 2022

Sprawozdanie

Wstęp do techniki cyfrowej

Spis treści

[1.7 Półsumator 4](#_Toc114310063)

[1.8 Pełny sumator jednobitowy 6](#_Toc114310064)

[2.1. Multiplexer i demultiplexer 4-bitowy 9](#_Toc114310065)

[2.2. Przerzutniki RS 12](#_Toc114310066)

[2.3. Przerzutnik synchroniczny JK w układzie Master-Slave 17](#_Toc114310067)

[2.4. Przerzutnik D, w wersji statycznej oraz transmisyjnej 19](#_Toc114310068)

[2.5 Przerzutnik D wyzwalany zboczem 23](#_Toc114310069)

[3.1. Trzybitowy licznik synchroniczny 25](#_Toc114310070)

[4.1. Inwerter CMOS 27](#_Toc114310071)

[4.2. Dwuwejściowe statyczne bramki logiczne CMOS 28](#_Toc114310072)

[4.3. Bramka XOR, jako statyczna bramka logiczna CMOS 32](#_Toc114310073)

[5.1. Transmisyjna bramka XOR 33](#_Toc114310074)

[Tabela prawdy 1 Półsumator 5](#_Toc114305813)

[Tabela prawdy 2 Pełny sumator jednobitowy 7](#_Toc114305814)

[Tabela prawdy 3 Multiplexer 10](#_Toc114305815)

[Tabela prawdy 4 Demultiplexer 10](#_Toc114305816)

[Tabela prawdy 5 Przerzutnik RS asynchroniczny 13](#_Toc114305817)

[Tabela prawdy 6 Przerzutnik RS synchroniczny 15](#_Toc114305818)

[Tabela prawdy 7 Przerzutnik J-K Master Slave 18](#_Toc114305819)

[Tabela prawdy 8 Przerzutnik D statyczny 19](#_Toc114305820)

[Tabela prawdy 9 przerzutnik D wyzwalany zboczem 24](#_Toc114305821)

[Tabela prawdy 10 Inwerter CMOS 27](#_Toc114305822)

[Tabela prawdy 11 bramka NAND 28](#_Toc114305823)

[Tabela prawdy 12 bramka NOR 29](#_Toc114305824)

[Tabela prawdy 13 bramka XOR 32](#_Toc114305825)

[Tabela prawdy 14 transmisyjna bramka XOR 33](#_Toc114305826)

[Tabela wyników 1 Półsumator 4](#_Toc114305827)

[Tabela wyników 2 Pełny sumator jednobitowy 7](#_Toc114305828)

[Tabela wyników 3 Multiplexer i demultiplexer 4-bitowy 10](#_Toc114305829)

[Tabela wyników 4 Przerzutnik RS asynchroniczny 12](#_Toc114305830)

[Tabela wyników 5 Przerzutnik RS synchroniczny 15](#_Toc114305831)

[Tabela wyników 6 Przerzutnik J-K Master Slave 18](#_Toc114305832)

[Tabela wyników 7 Przerzutnik statyczny 19](#_Toc114305833)

[Tabela wyników 8 Przerzutnik D transmisyjny 22](#_Toc114305834)

[Tabela wyników 9 przerzutnik D wyzwalany zboczem 23](#_Toc114305835)

[Tabela wyników 10 bramka NAND 28](#_Toc114305836)

[Tabela wyników 11 bramka NOR 29](#_Toc114305837)

[Tabela wyników 12 bramka XOR 32](#_Toc114305838)

[Tabela wyników 13 transmisyjna bramka XOR 33](#_Toc114305839)

[Schemat 1 Półsumator 4](#_Toc114310077)

[Schemat 2 Pełny sumator jednobitowy 6](#_Toc114310078)

[Schemat 3 Multiplexer 9](#_Toc114310079)

[Schemat 4 Demultiplexer 9](#_Toc114310080)

[Schemat 5 Przerzutnik RS asynchroniczny 12](#_Toc114310081)

[Schemat 6 Przerzutnik RS synchroniczny 14](#_Toc114310082)

[Schemat 7 Przerzutnik J-K Master Slave 17](#_Toc114310083)

[Schemat 8 Przerzutnik D statyczny 19](#_Toc114310084)

[Schemat 9 Przerzutnik D transmisyjny 20](#_Toc114310085)

[Schemat 10 przerzutnik D wyzwalany zboczem 23](#_Toc114310086)

[Schemat 11 licznik synchroniczny 26](#_Toc114310087)

[Schemat 12 Inwerter CMOS 27](#_Toc114310088)

[Schemat 13 bramka NAND 28](#_Toc114310089)

[Schemat 14 bramka NOR 29](#_Toc114310090)

[Schemat 15 bramka XOR 32](#_Toc114310091)

[Schemat 16 transmisyjna bramka XOR 33](#_Toc114310092)

[Przebieg czasowy 1 półsumator 5](#_Toc114310093)

[Przebieg czasowy 2 pełen sumator 8](#_Toc114310094)

[Przebieg czasowy 3multiplexer i demultiplexer 11](#_Toc114310095)

[Przebieg czasowy 4 przerzutnik asynchroniczny 13](#_Toc114310096)

[Przebieg czasowy 5przerzutnik synchroniczny 16](#_Toc114310097)

[Przebieg czasowy 6 przerzutnik J-K SM 18](#_Toc114310098)

[Przebieg czasowy 7przerzutnik D statyczny 20](#_Toc114310099)

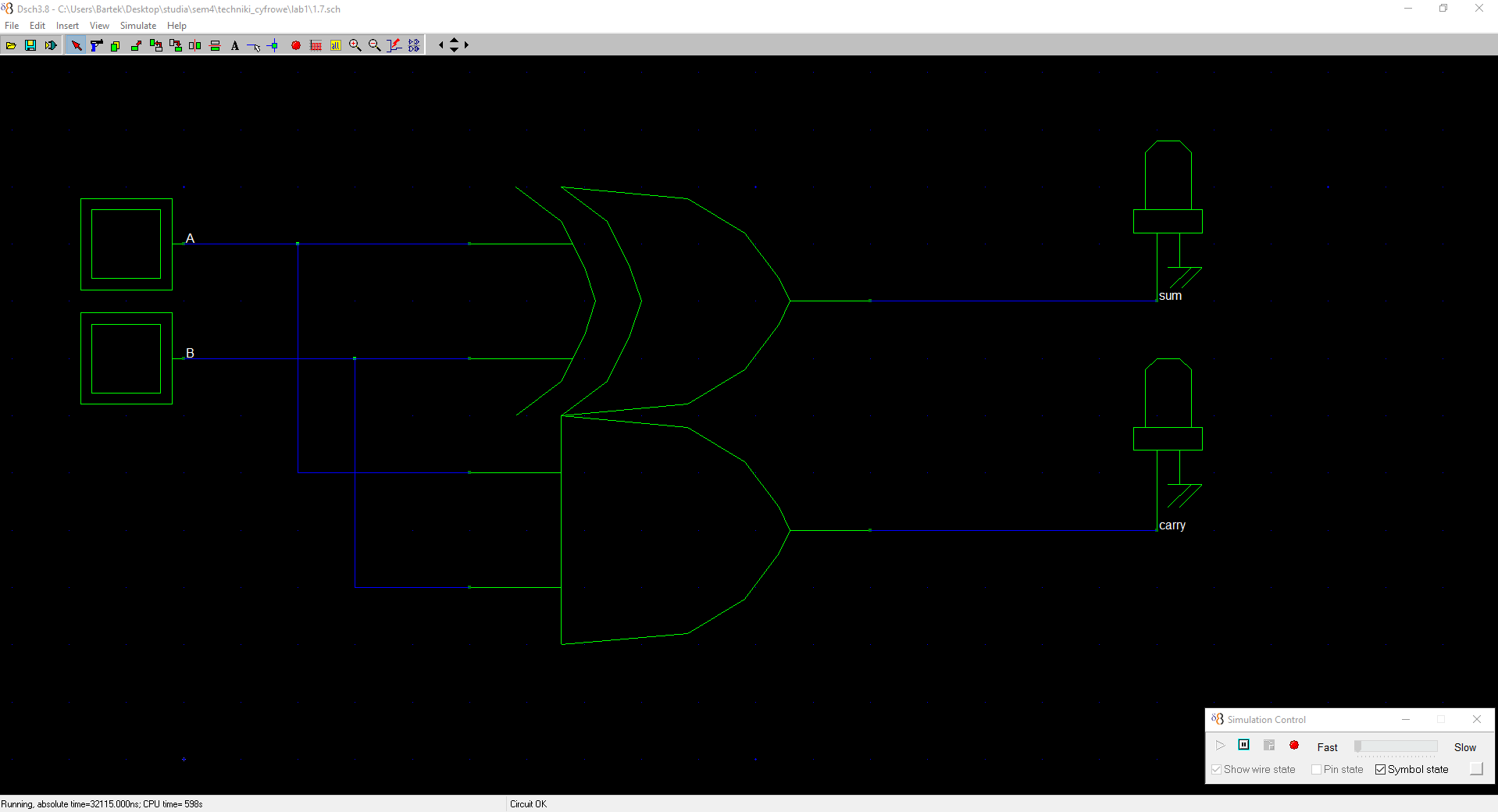
[Przebieg czasowy 8przerzutnik D transmisyjny 22](#_Toc114310100)

[Przebieg czasowy 9 przerzutnik wyzwalany zboczem 24](#_Toc114310101)

[Przebieg czasowy 10 bramki CMOS 31](#_Toc114310102)

# 1.7 Półsumator

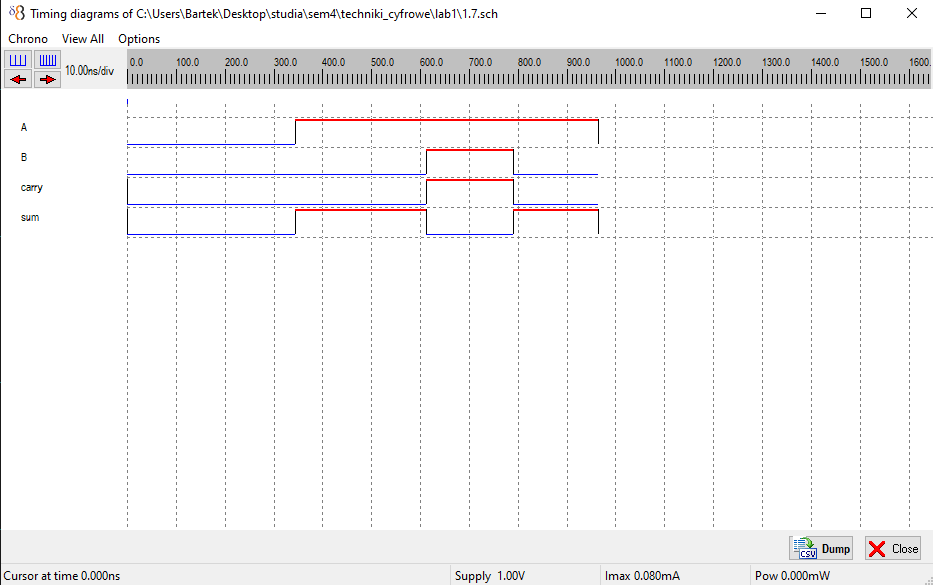
Funkcja SUM jest zrealizowana za pomocą bramki XOR, funkcja CARRY z wykorzystaniem bramki AND. Poprawne działanie należy zweryfikować w symulacji.



Schemat 1 Półsumator

|  |  |
| --- | --- |
|  |  |
|  |  |

Tabela wyników 1 Półsumator



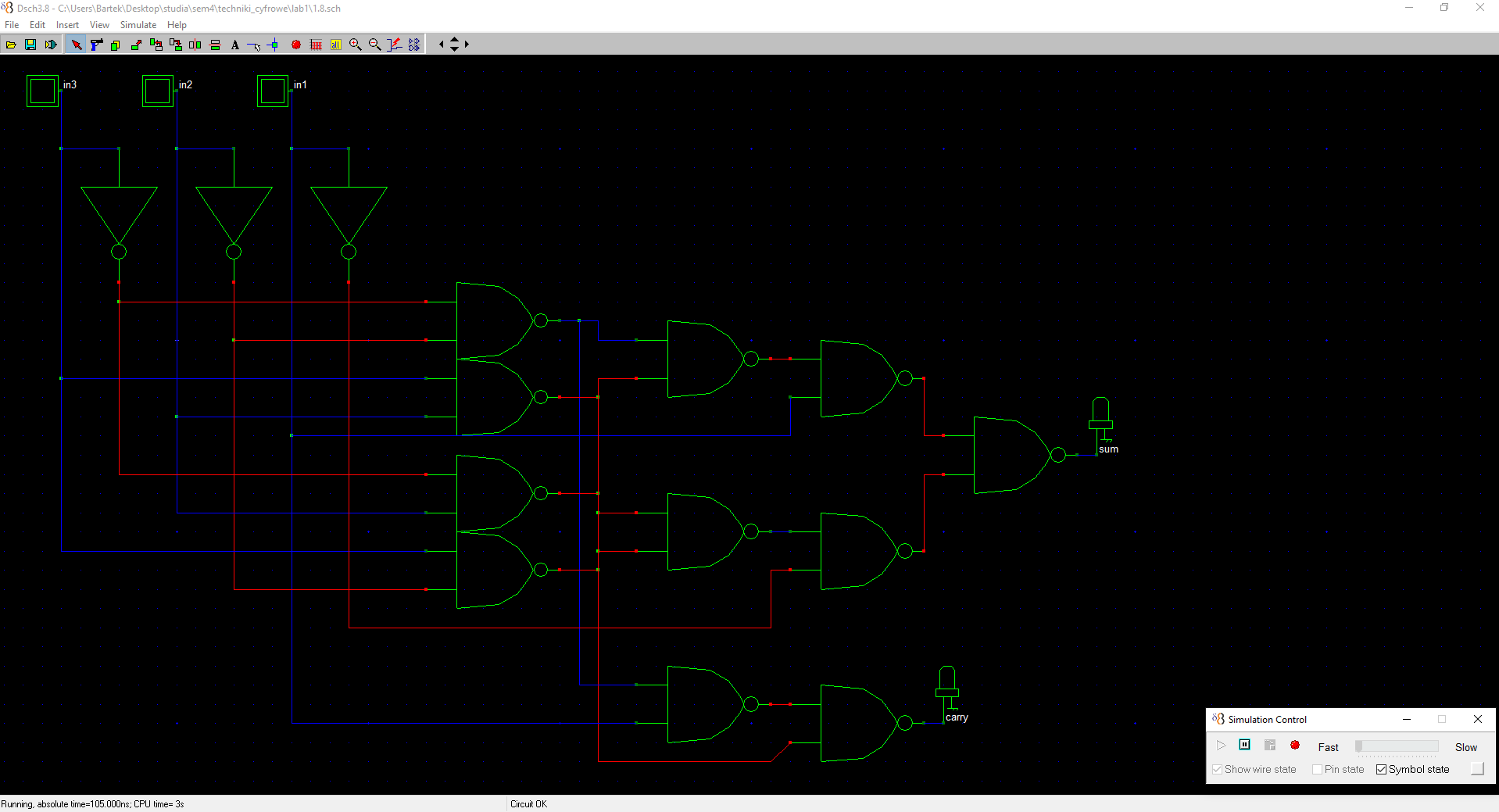
Przebieg czasowy 1 półsumator

|  |  |  |  |
| --- | --- | --- | --- |
| **A** | **B** | **CARRY** | **SUM** |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Tabela prawdy 1 Półsumator

# 1.8 Pełny sumator jednobitowy

Układ ten posiada trzy równoważne wejścia oraz jedno wyjście dwubitowe. Działanie tego układu polega na zliczaniu jedynek logicznych obecnych na wejściach oraz podawaniu ich liczby na wyjściu, w postaci liczby binarnej w kodzie naturalnym. Wyjście SUM to młodszy a CARRY to starszy bit tej liczby.



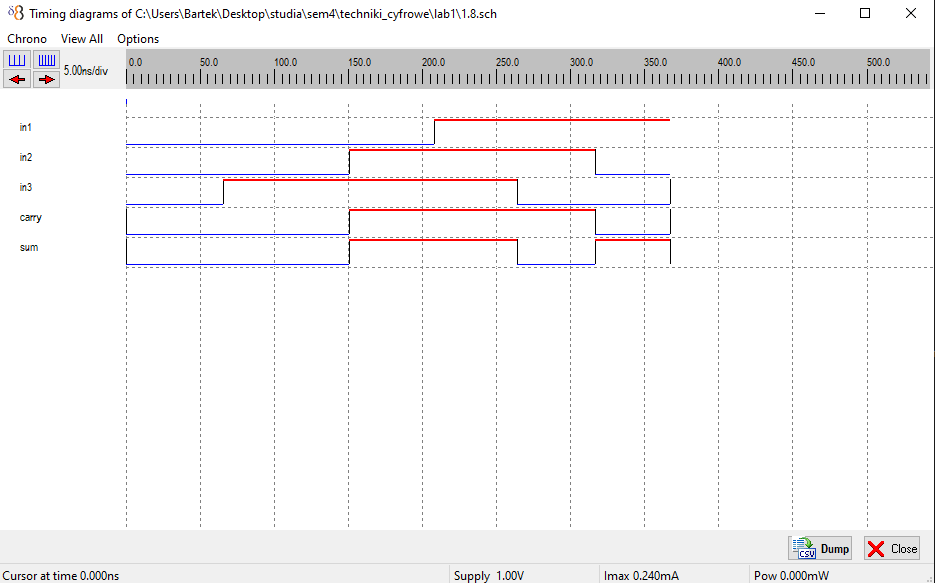
Schemat 2 Pełny sumator jednobitowy

|  |  |
| --- | --- |
|  |  |
|  |  |
|  |  |
|  |  |

Tabela wyników 2 Pełny sumator jednobitowy

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** | **B** | **C** | **CARRY** | **SUM** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

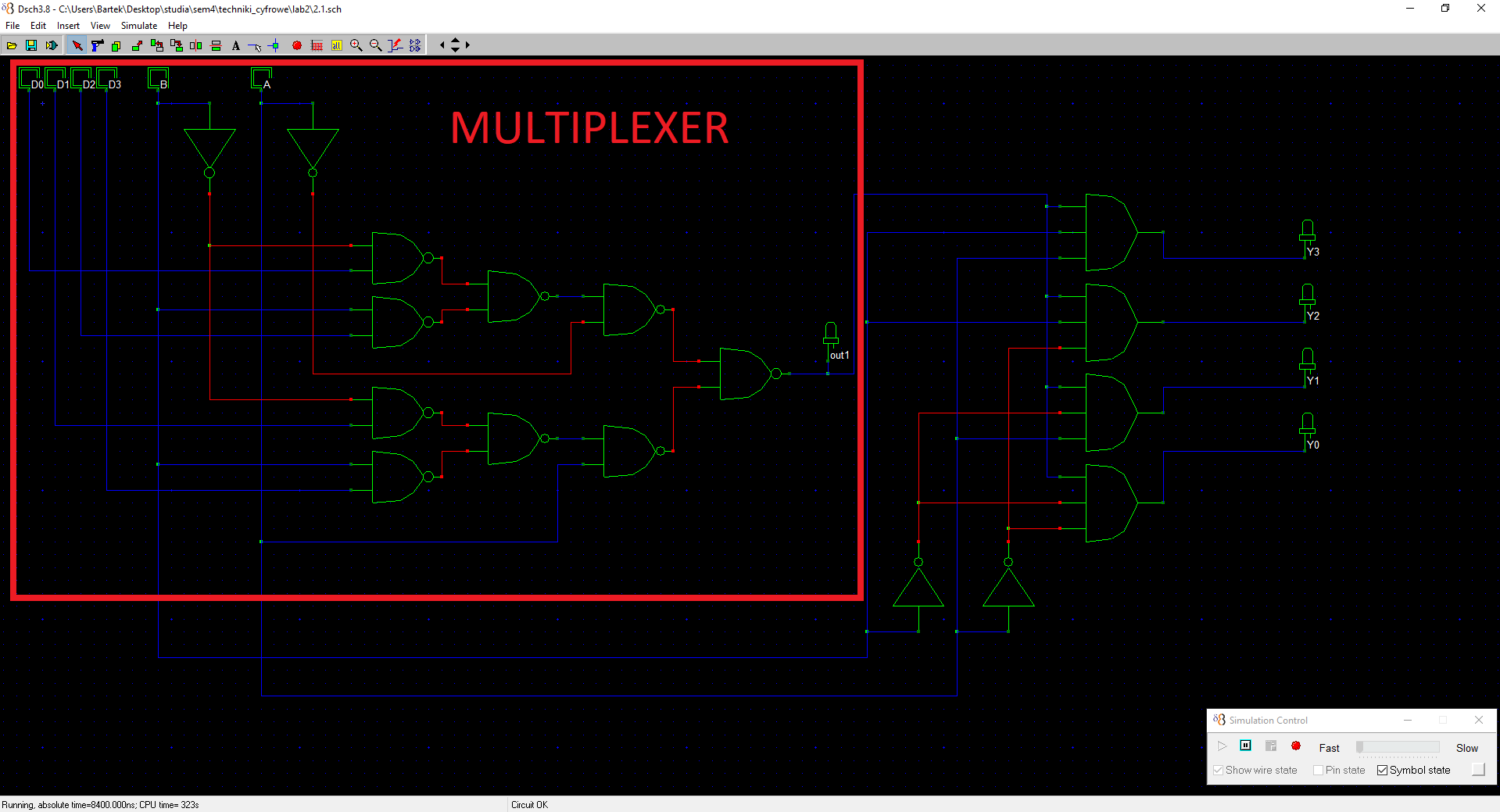
Tabela prawdy 2 Pełny sumator jednobitowy



Przebieg czasowy 2 pełen sumator

# 2.1. Multiplexer i demultiplexer 4-bitowy

Multiplekser (selektor danych) jest układem cyfrowym posiadającym n wejść danych, jedno wyjście y oraz wejścia adresowe. Na wyjściu y pojawia się stan wejścia danych, którego numer (adres) podany został na wejścia adresowe. Przykładowy projekt dotyczy układu z czterema wejściami danych D0, D1, D2, D3, z jednym wyjściem Y oraz dwoma wejściami adresowymi A i B.



Schemat 3 Multiplexer

A screenshot of a computer

Description automatically generated with medium confidence

Schemat 4 Demultiplexer

|  |  |
| --- | --- |
|  |  |
|  |  |

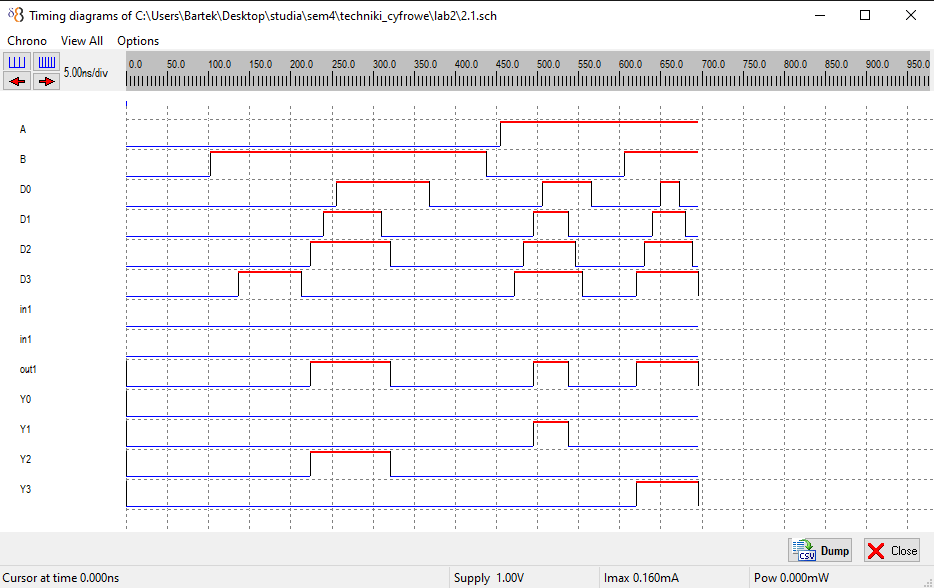
Tabela wyników 3 Multiplexer i demultiplexer 4-bitowy

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **B** | **A** | **D0** | **D1** | **D2** | **D3** | **Y** |
| 0 | 0 | 0 | X | X | X | 0 |
| 0 | 1 | X | 0 | X | X | 0 |
| 1 | 0 | X | X | 0 | X | 0 |
| 1 | 1 | X | X | X | 0 | 0 |
| 0 | 0 | 1 | X | X | X | 1 |
| 0 | 1 | X | 1 | X | X | 1 |
| 1 | 0 | X | X | 1 | X | 1 |
| 1 | 1 | X | X | X | 1 | 1 |

Tabela prawdy 3 Multiplexer

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **B** | **A** | **G** | **Y0** | **Y1** | **Y2** | **Y3** |
| X | X | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 |

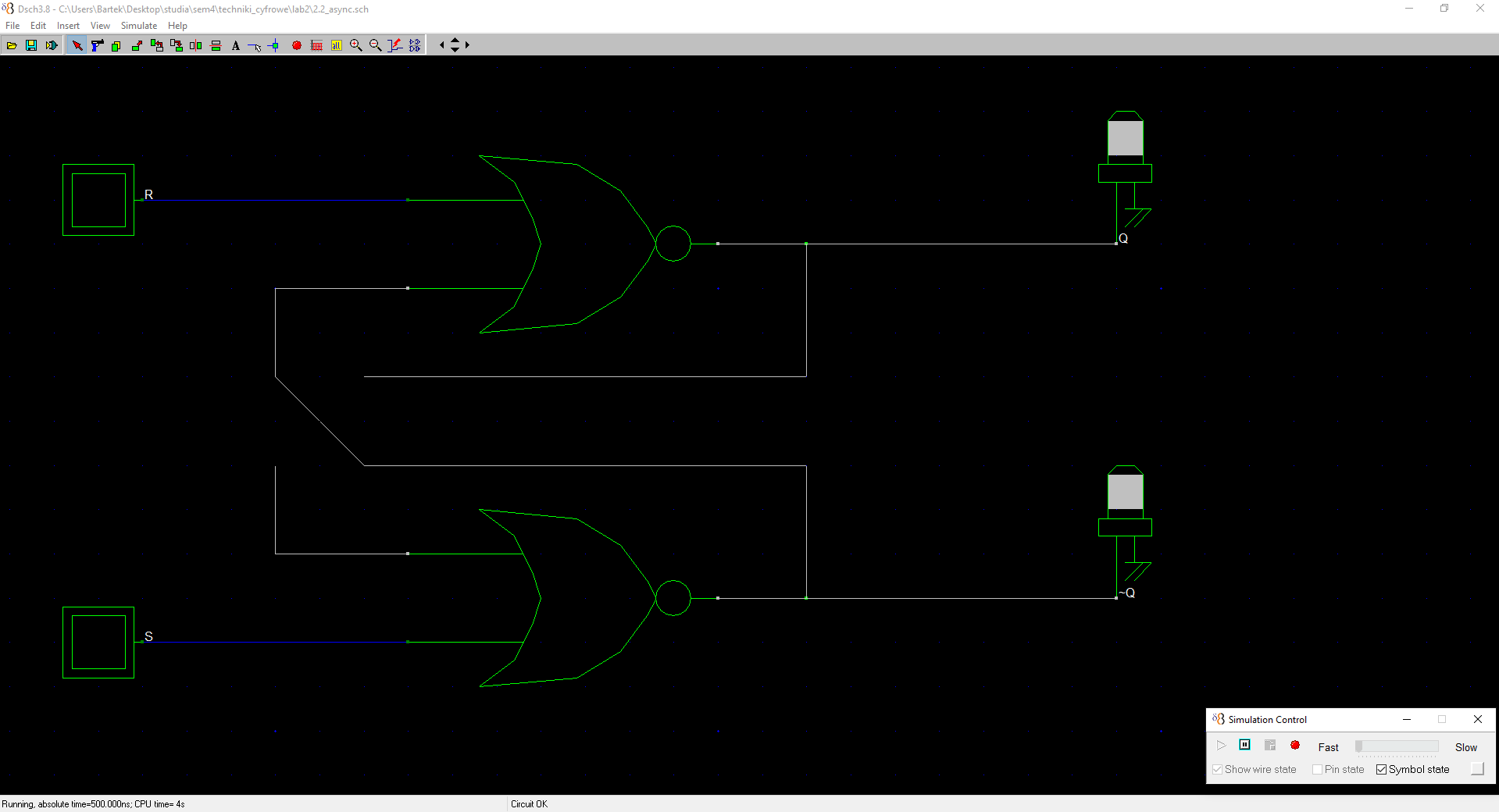
Tabela prawdy 4 Demultiplexer



Przebieg czasowy 3multiplexer i demultiplexer

# 2.2. Przerzutniki RS

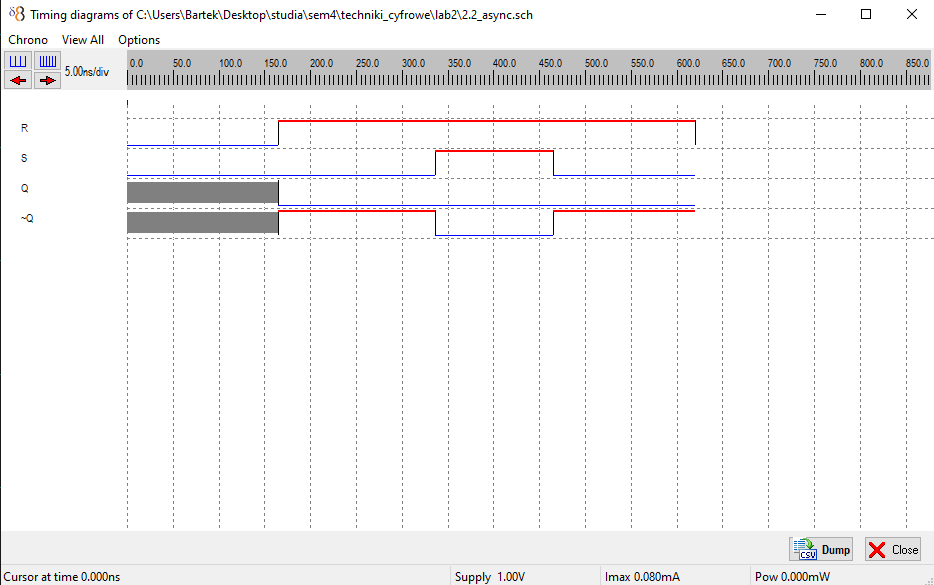
Przerzutnik powstaje dzięki sprzężeniu zwrotnemu wyjść z wejściami. Sprzężenie zwrotne powoduje, iż przerzutnik utrzymuje ostatni stan wyjść po przejściu stanów logicznych na wejściach w stan neutralny.



Schemat 5 Przerzutnik RS asynchroniczny

|  |  |
| --- | --- |
|  |  |
|  |  |

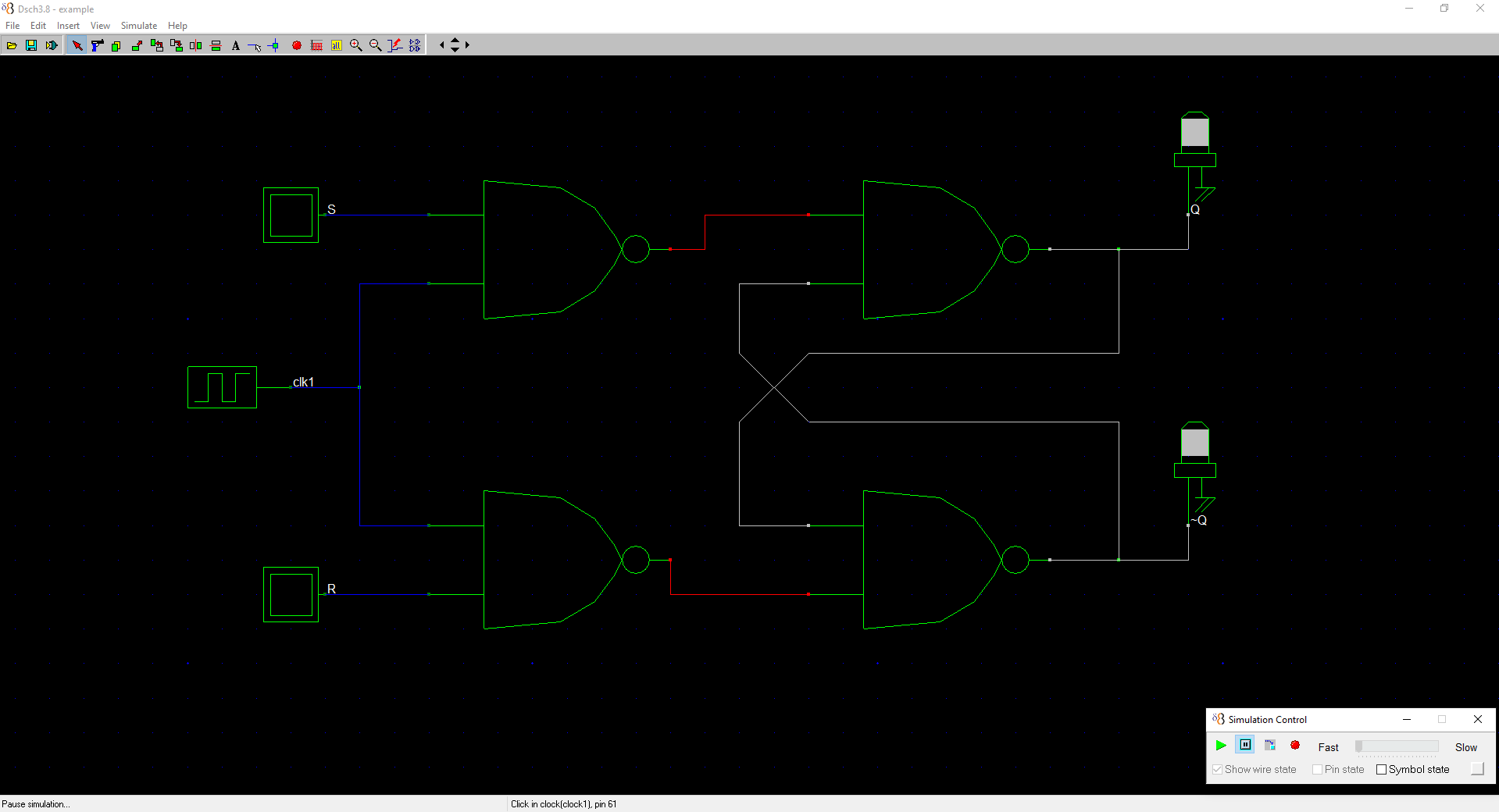
Tabela wyników 4 Przerzutnik RS asynchroniczny



Przebieg czasowy 4 przerzutnik asynchroniczny

|  |  |  |  |
| --- | --- | --- | --- |
| **R** | **S** | **Q** | **~Q** |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 0 | 0 | Qn-1 | ~Qn-1 |
| 1 | 1 | 0 | 0 |

Tabela prawdy 5 Przerzutnik RS asynchroniczny



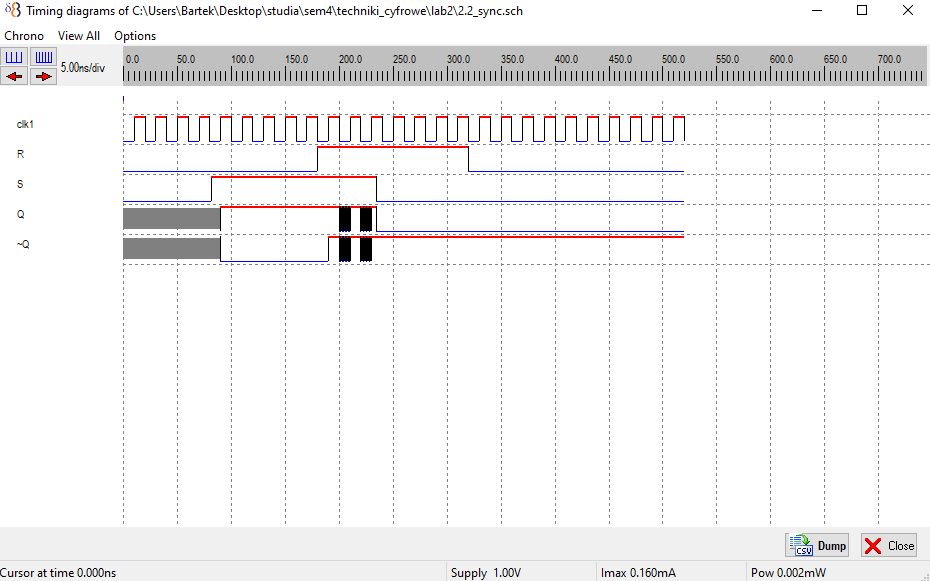
Schemat 6 Przerzutnik RS synchroniczny

|  |
| --- |
|  |
|  |
|  |

Tabela wyników 5 Przerzutnik RS synchroniczny

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **S** | **R** | **C** | **Q** | **~Q** |
| X | X | 0 | Qn-1 | ~Qn-1 |
| 0 | 0 | X | Qn-1 | ~Qn-1 |
| 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

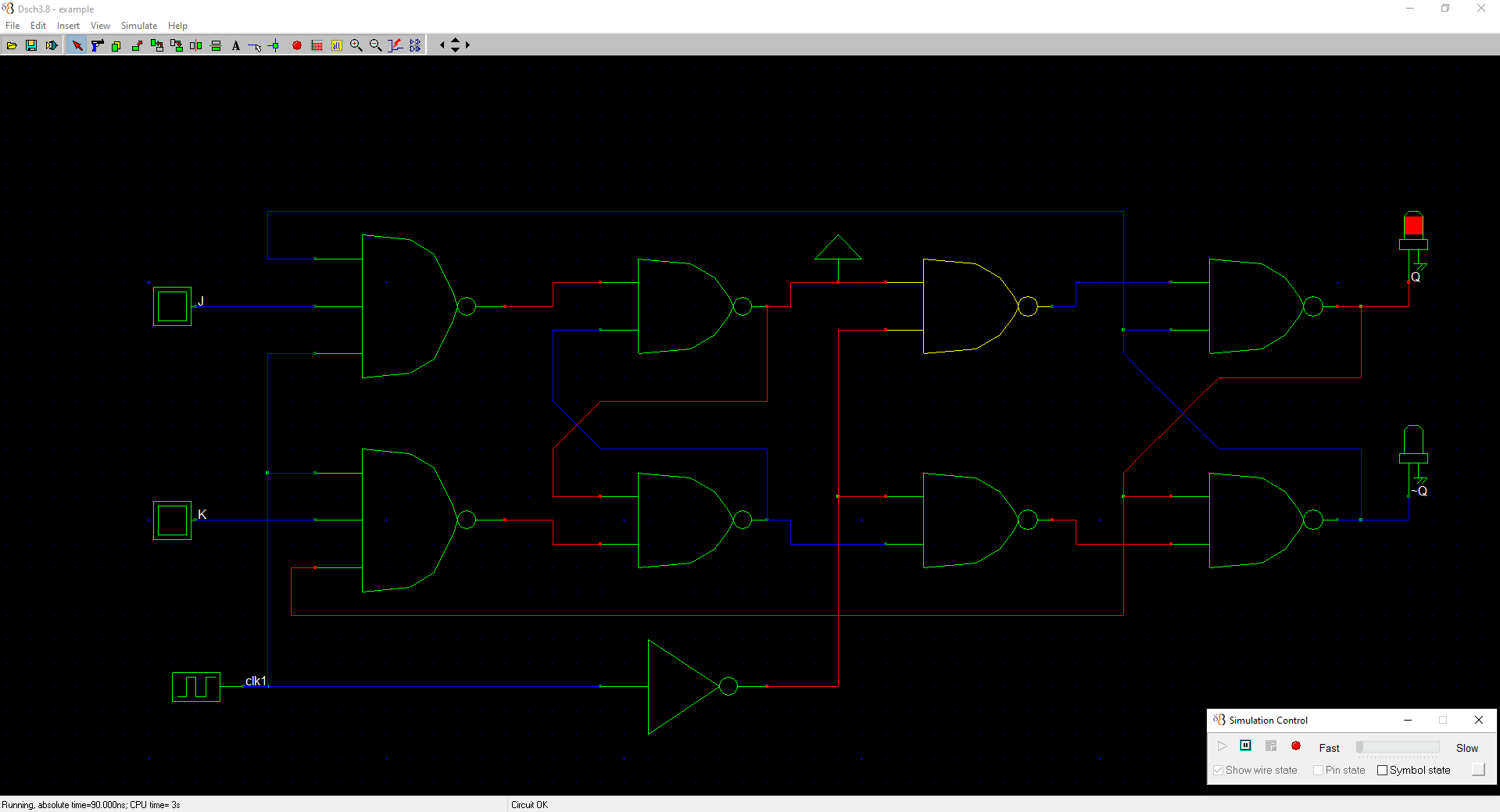
Tabela prawdy 6 Przerzutnik RS synchroniczny



Przebieg czasowy 5przerzutnik synchroniczny

# 2.3. Przerzutnik synchroniczny JK w układzie Master-Slave

Wyzwalanie przerzutnika następuje tylko w momencie przejścia sygnału zegara ze stanu 1 na 0. Natomiast czas pomiędzy kolejnymi zboczami sygnału zegarowego może być dowolnie długi.



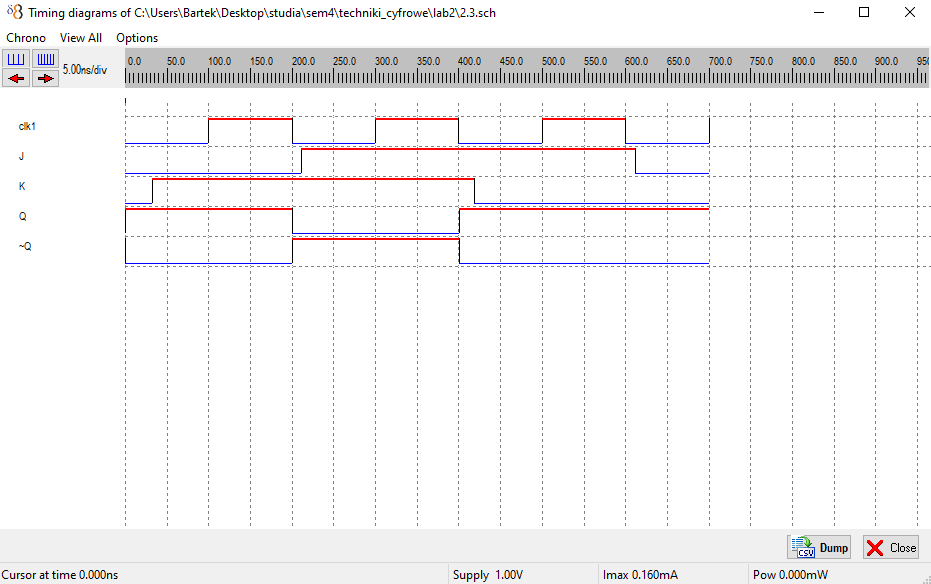
Schemat 7 Przerzutnik J-K Master Slave

|  |  |
| --- | --- |
|  |  |
| Pamięć przerzutnika Slave, mimo wysokiego stanu przerzutnika Master.sprawia, że Slave czeka na sygnał zegara. | Utwierdzenie stanu przez przerzutnik Slave na sygnał niskiego stanu zegara. |
|  |  |
|  |  |
|  |  |
| Rozbudowanie przerzutnika o dodatkowy człon bramek skutkuje brakiem sygnału zabronionego. | W tym układzie (Master-Slave), przerzutnik na sygnał zegara będzie zmieniał stan wyjść na przemian. |

Tabela wyników 6 Przerzutnik J-K Master Slave

|  |  |  |  |
| --- | --- | --- | --- |
| **J** | **K** | **C** | **Q** |
| X | X | 0 | Qn-1 |
| X | X | 1 | Qn-1 |
| 0 | 0 | X | Qn-1 |
| 1 | 0 | 1→0 | 1 |
| 0 | 1 | 1→0 | 0 |
| 1 | 1 | 1→0 | ~Qn-1 |

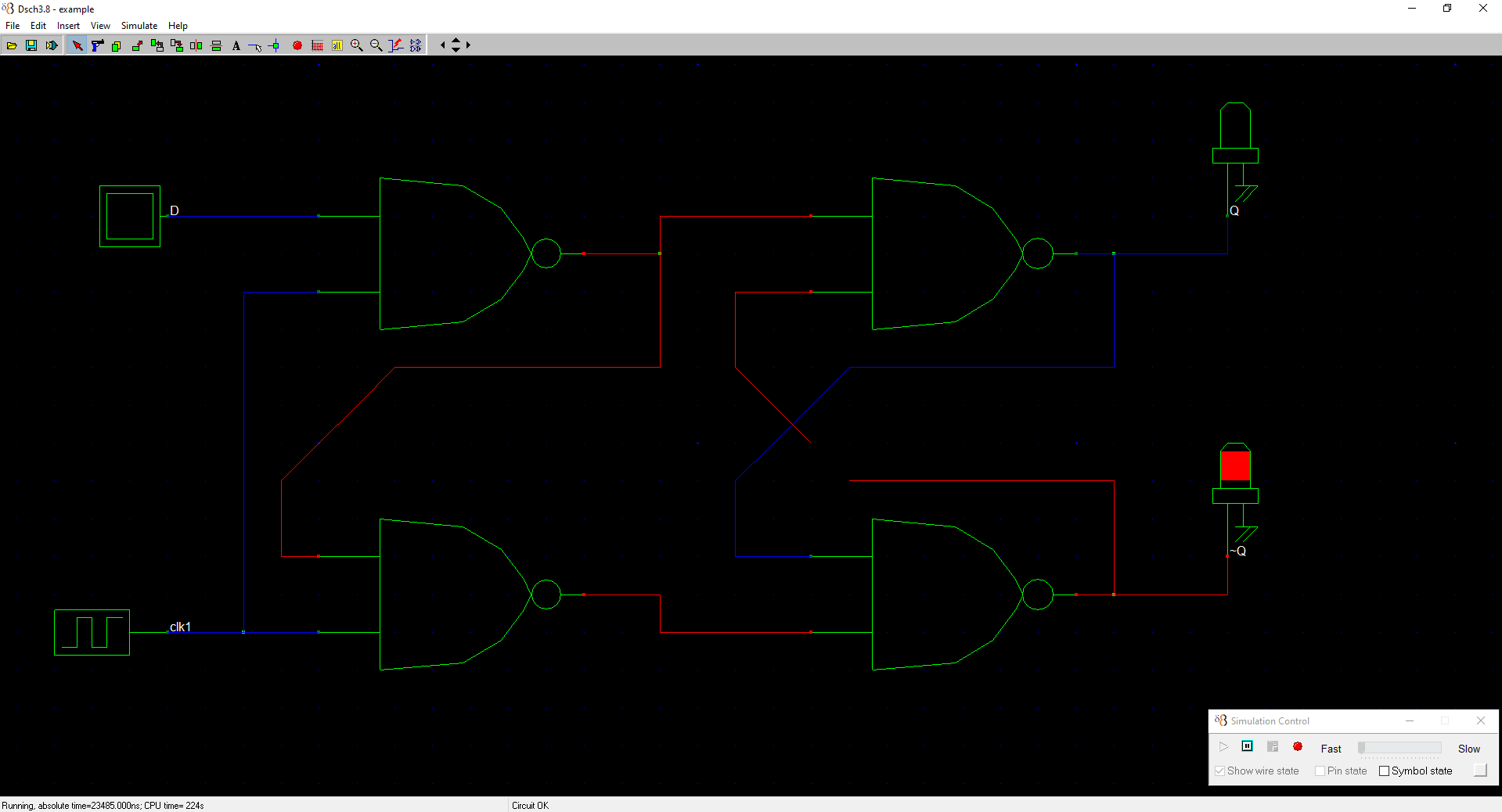
Tabela prawdy 7 Przerzutnik J-K Master Slave



Przebieg czasowy 6 przerzutnik J-K SM

# 2.4. Przerzutnik D, w wersji statycznej oraz transmisyjnej

Gdy wejście zegarowe C jest w stanie nieaktywnym, przerzutnik pamięta swój poprzedni stan. Gdy wejście C przechodzi w stan aktywny, do przerzutnika zostaje wpisany stan wejścia D, tzn. na wyjściu Q pojawia się ten sam stan, który występuje na wejściu D. Gdy wejście zegarowe C powróci w stan nieaktywny, wpisany z wejścia D stan jest pamiętany w przerzutniku. Zwróć uwagę, iż w przerzutniku D nie występują stany zabronione.



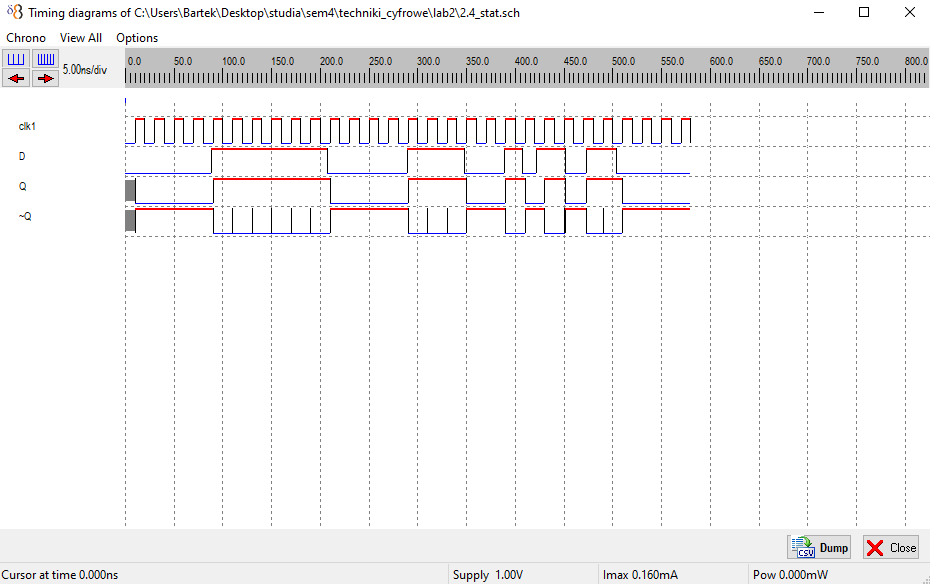
Schemat 8 Przerzutnik D statyczny

|  |  |
| --- | --- |
|  |  |
| Przerzutnik czeka na stan wysoki zegara | Przerzutnik zmienia stan wyjściowy przy wysokim stanie zegara |

Tabela wyników 7 Przerzutnik statyczny

|  |  |  |  |
| --- | --- | --- | --- |
| **D** | **C** | **Q** | **~Q** |
| X | C | Qn-1 | ~Qn-1 |
| 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Tabela prawdy 8 Przerzutnik D statyczny



Przebieg czasowy 7przerzutnik D statyczny

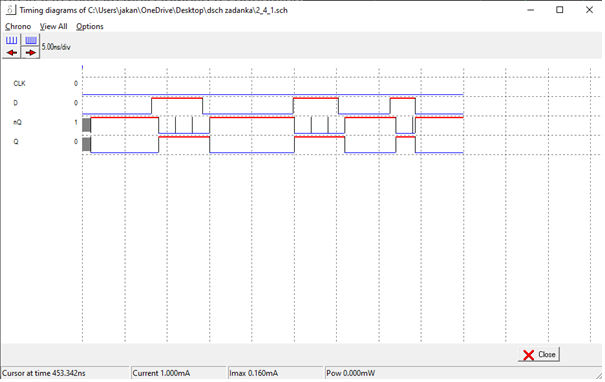
A screenshot of a computer

Description automatically generated with medium confidence

Schemat 9 Przerzutnik D transmisyjny

|  |
| --- |
|  |
|  |
|  |

Tabela wyników 8 Przerzutnik D transmisyjny



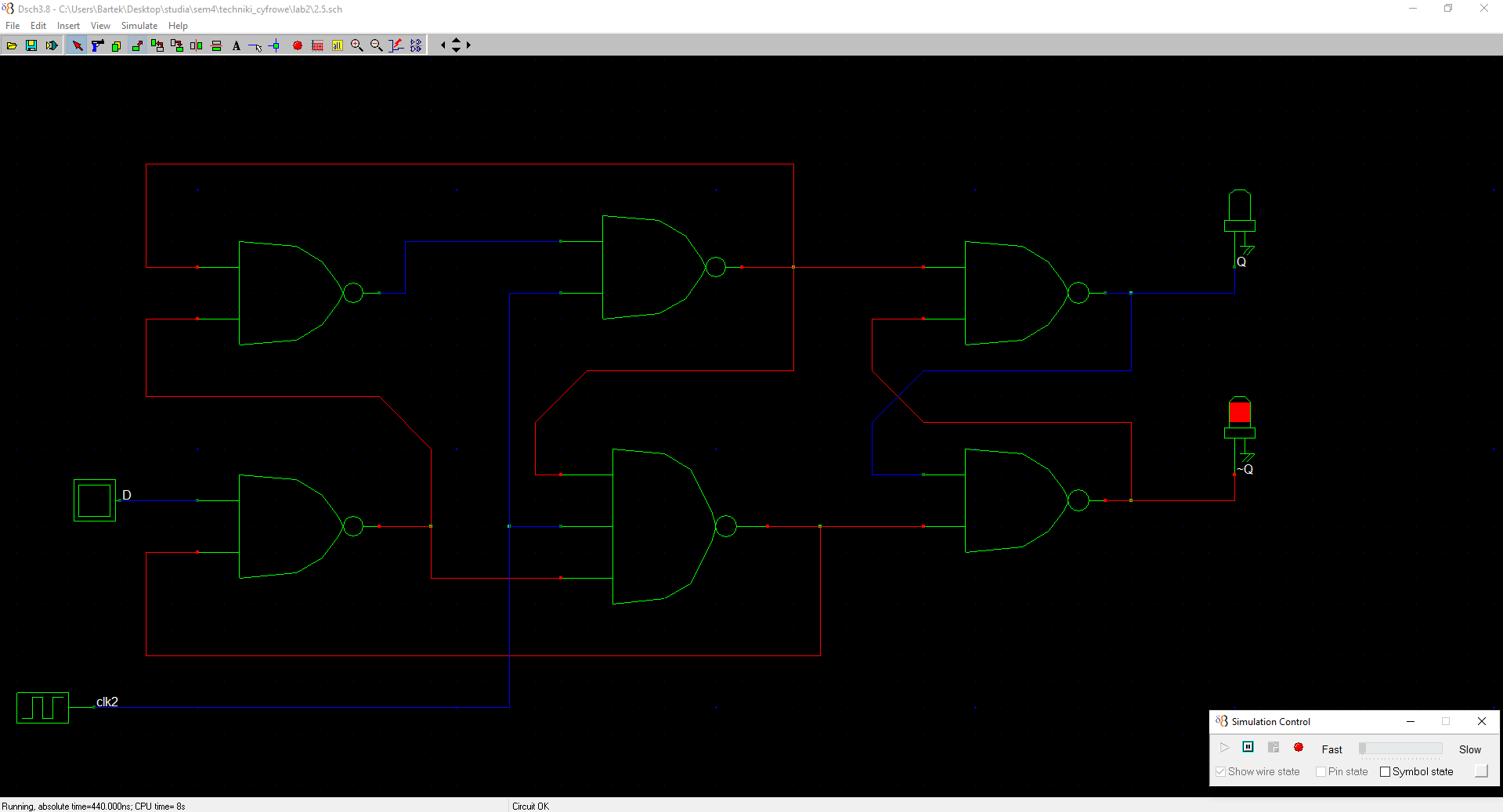
Przebieg czasowy 8przerzutnik D transmisyjny

Czas propagacji sygnału może to sprawiać kłopoty w odpowiednio szybkim przekazywaniu sygnału wejściowego na odpowiednie wyjście bramki CMOS.

Przerzutnik D typu transmisyjnego ma początkowo niezainicjalizowane stany wyjściowe.

# 2.5 Przerzutnik D wyzwalany zboczem

Przerzutnik zapamiętuje stan wejścia D tylko przy odpowiedniej zmianie poziomu logicznego na wejściu zegarowym C. Architektura przypomina przerzutnik RS Master-Slave.



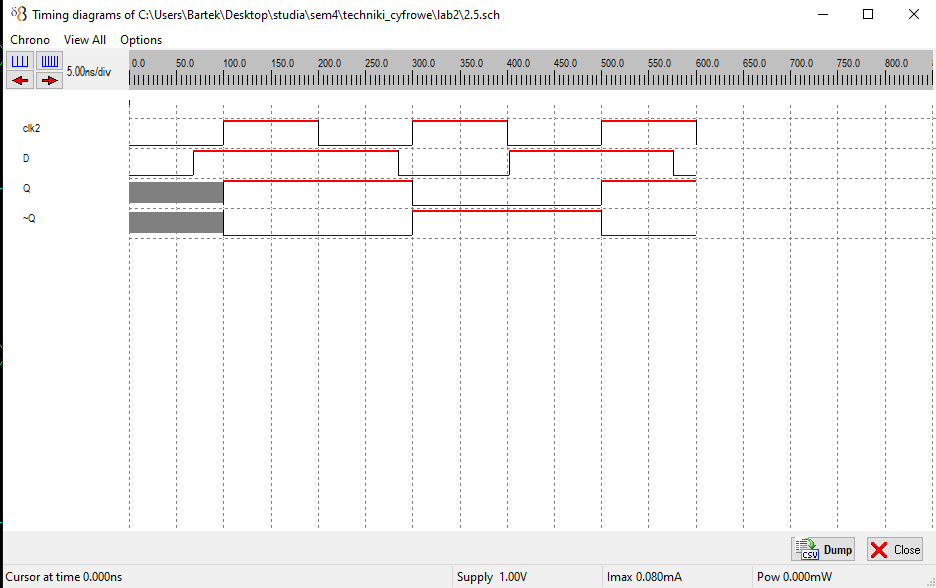
Schemat 10 przerzutnik D wyzwalany zboczem

|  |  |
| --- | --- |
| A screenshot of a computer  Description automatically generated with medium confidence | A screenshot of a computer  Description automatically generated with medium confidence |
| A screenshot of a computer screen  Description automatically generated with medium confidencePrzerzutnik czeka na sygnał od zegara | A picture containing graphical user interface  Description automatically generatedPrzerzutnik dostał sygnał |

Tabela wyników 9 przerzutnik D wyzwalany zboczem

|  |  |  |  |
| --- | --- | --- | --- |
| **D** | **C** | **Q** | **~Q** |
| 0 | X | 0 | 1 |
| 1 | 0→1 | 1 | 0 |
| 0 | 0→1 | 0 | 1 |

Tabela prawdy 9 przerzutnik D wyzwalany zboczem



Przebieg czasowy 9 przerzutnik wyzwalany zboczem

# 3.1. Trzybitowy licznik synchroniczny

Sekwencja stanów dla licznika: 1, 3, 5, 7, 0

|  |  |
| --- | --- |
| t | t+1 |
| 1 | 3 |
| 3 | 5 |
| 5 | 7 |
| 7 | 0 |
| 0 | 1 |

Tabela 1 sekwencji stanów

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| t | | | t+1 | | |
| q2 | q1 | q0 | q2 | q1 | q0 |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 1 |

Tabela 2 stanów zakodowana na trzech bitach

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| D2 | | Q2 i Q1 | | | |  |  |
| 00 | 01 | 11 | 10 |  |  |
| Q0 | 0 | 0 | - | - | - |  | D2 = Q0\*Q2 |
| 1 | 0 | 0 | 1 | 1 |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
| D1 | | Q2 i Q1 | | | |  |  |
| 00 | 01 | 11 | 10 |  |  |
| Q0 | 0 | 0 | - | - | - |  | D1 = Q0\*Q1 |
| 1 | 0 | 1 | 1 | 0 |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
| D0 | | Q2 i Q1 | | | |  |  |
| 00 | 01 | 11 | 10 |  |  |
| Q0 | 0 | 0 | - | - | - |  | D0 = Q0 |
| 1 | 1 | 1 | 1 | 1 |  |  |

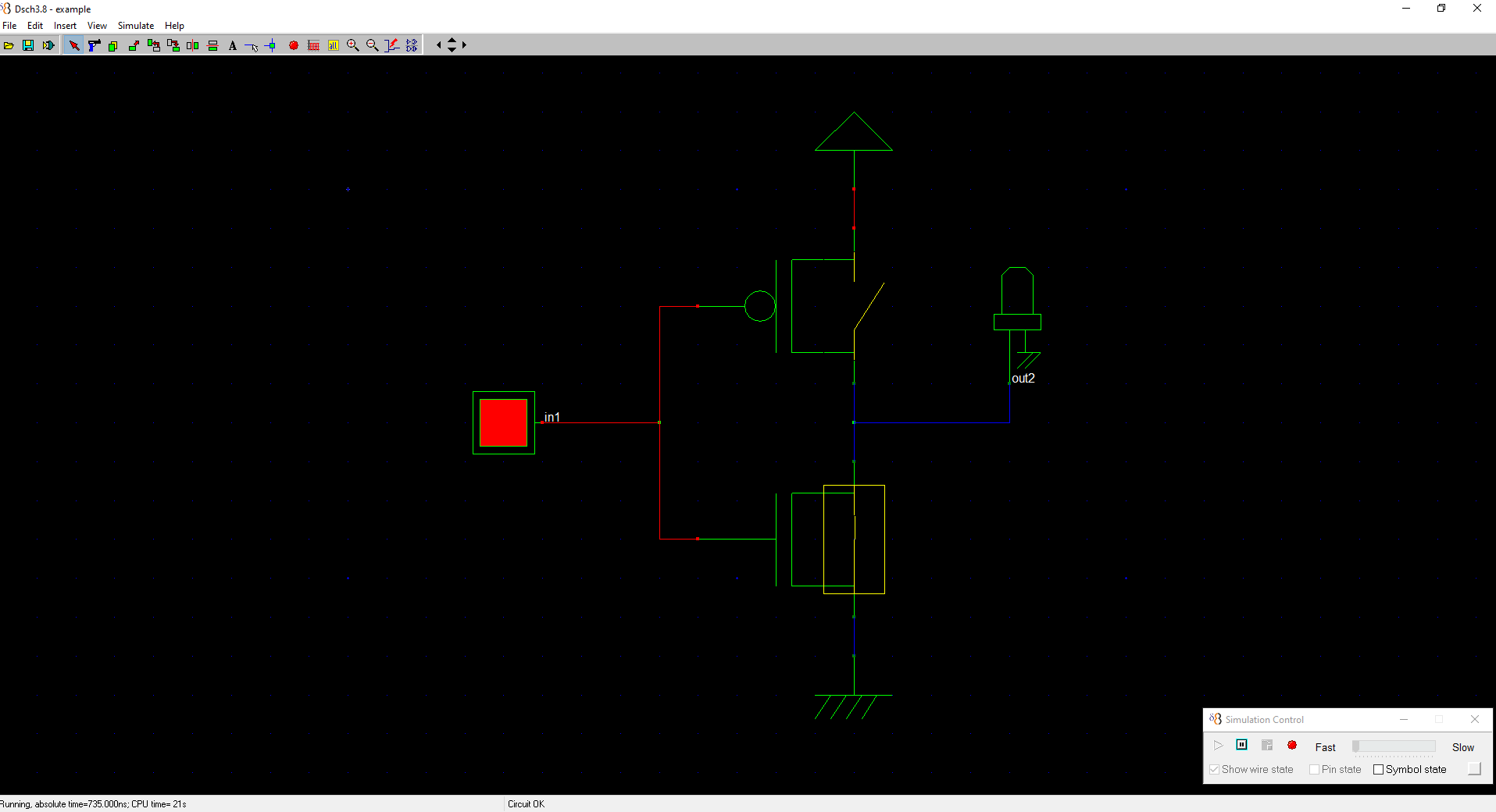
Tabela 3 siatka Karnaugha dla przerzutników D0, D1, D2 wraz ze zminimalizowaną funkcją logiczną

A screenshot of a computer

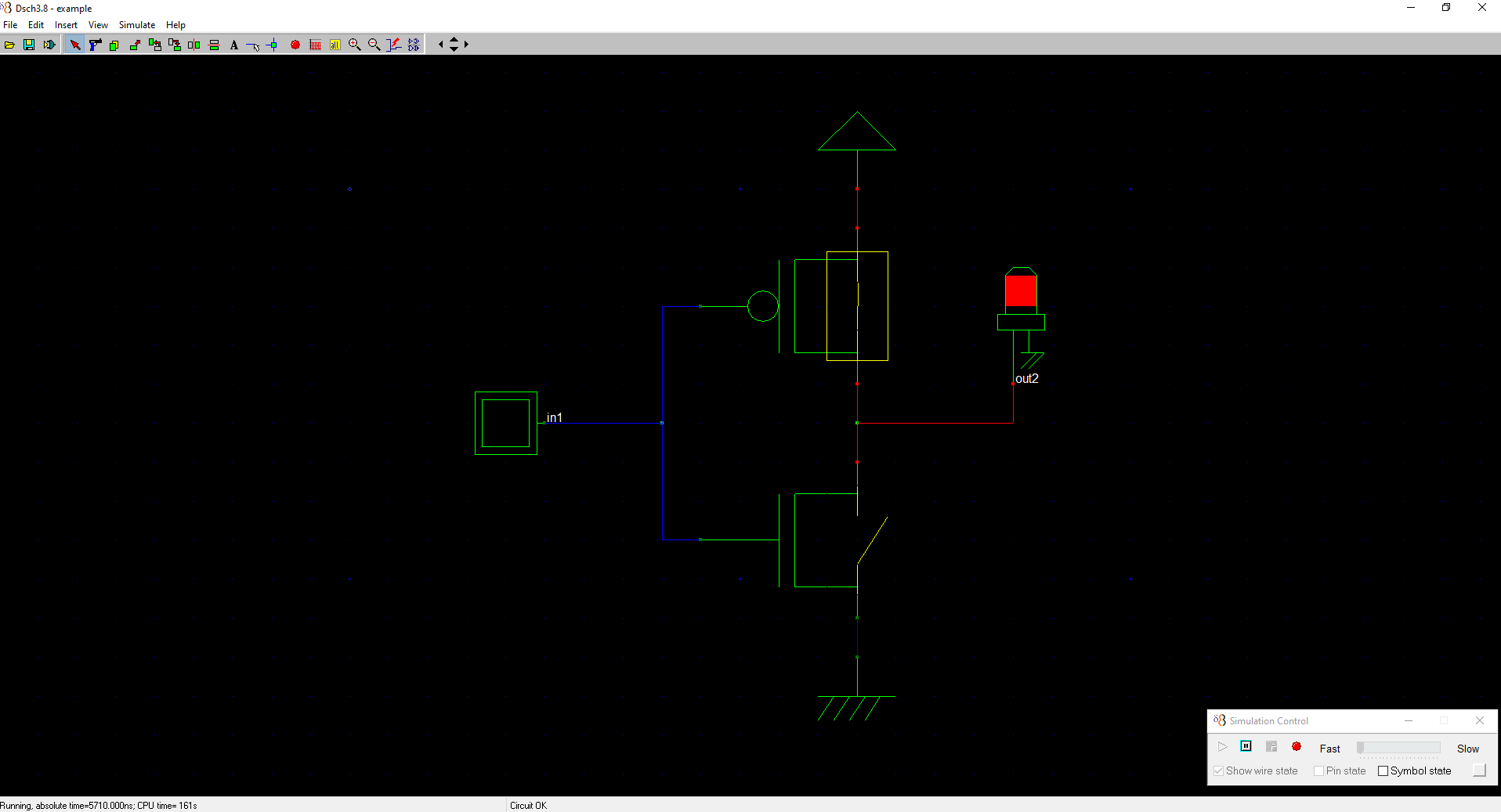
Description automatically generated with medium confidence

Schemat 11 licznik synchroniczny

# 4.1. Inwerter CMOS



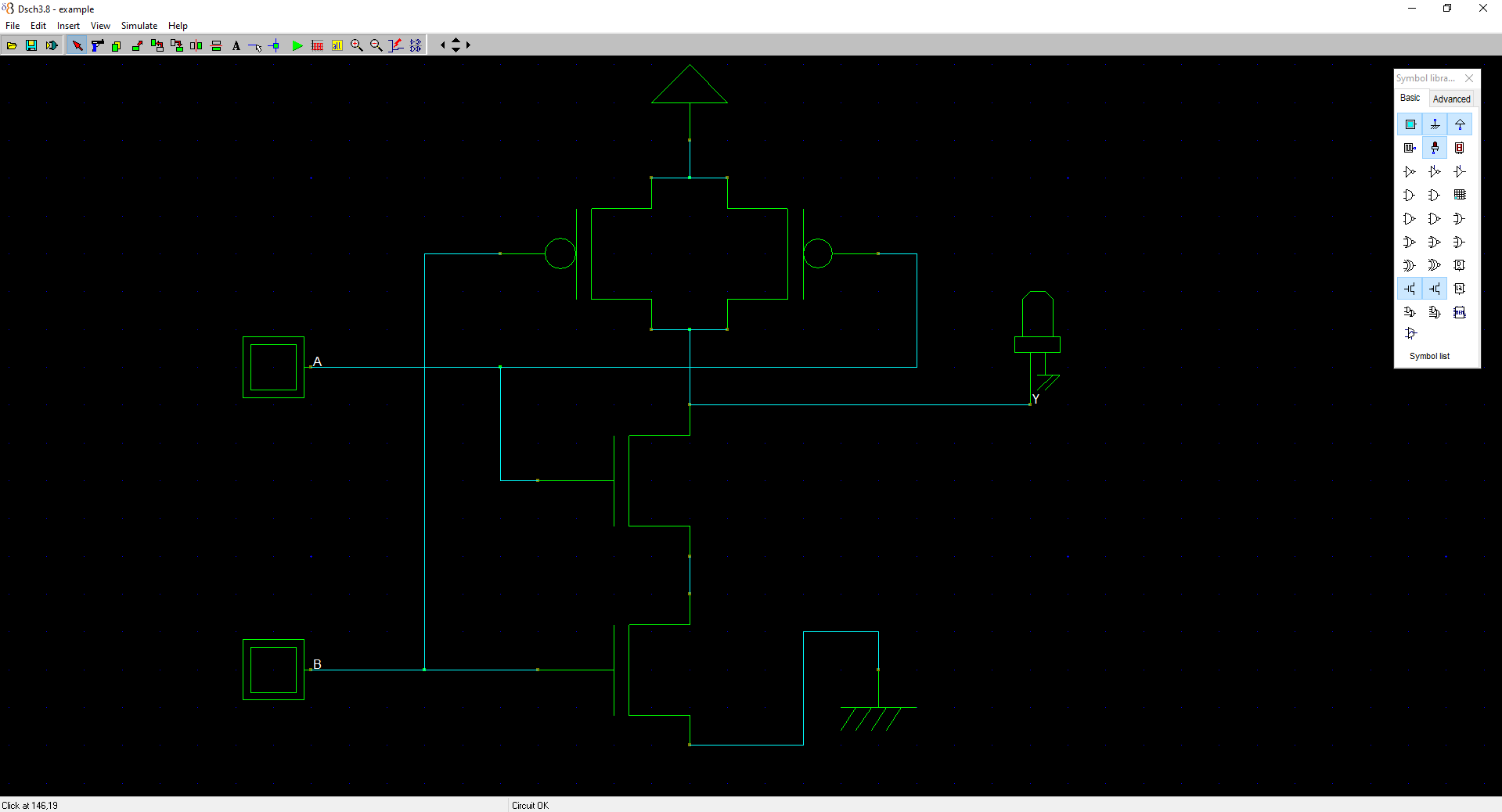
Schemat 12 Inwerter CMOS



|  |  |
| --- | --- |
| **IN** | **OUT** |
| 0 | 1 |
| 1 | 0 |

Tabela prawdy 10 Inwerter CMOS

# 4.2. Dwuwejściowe statyczne bramki logiczne CMOS



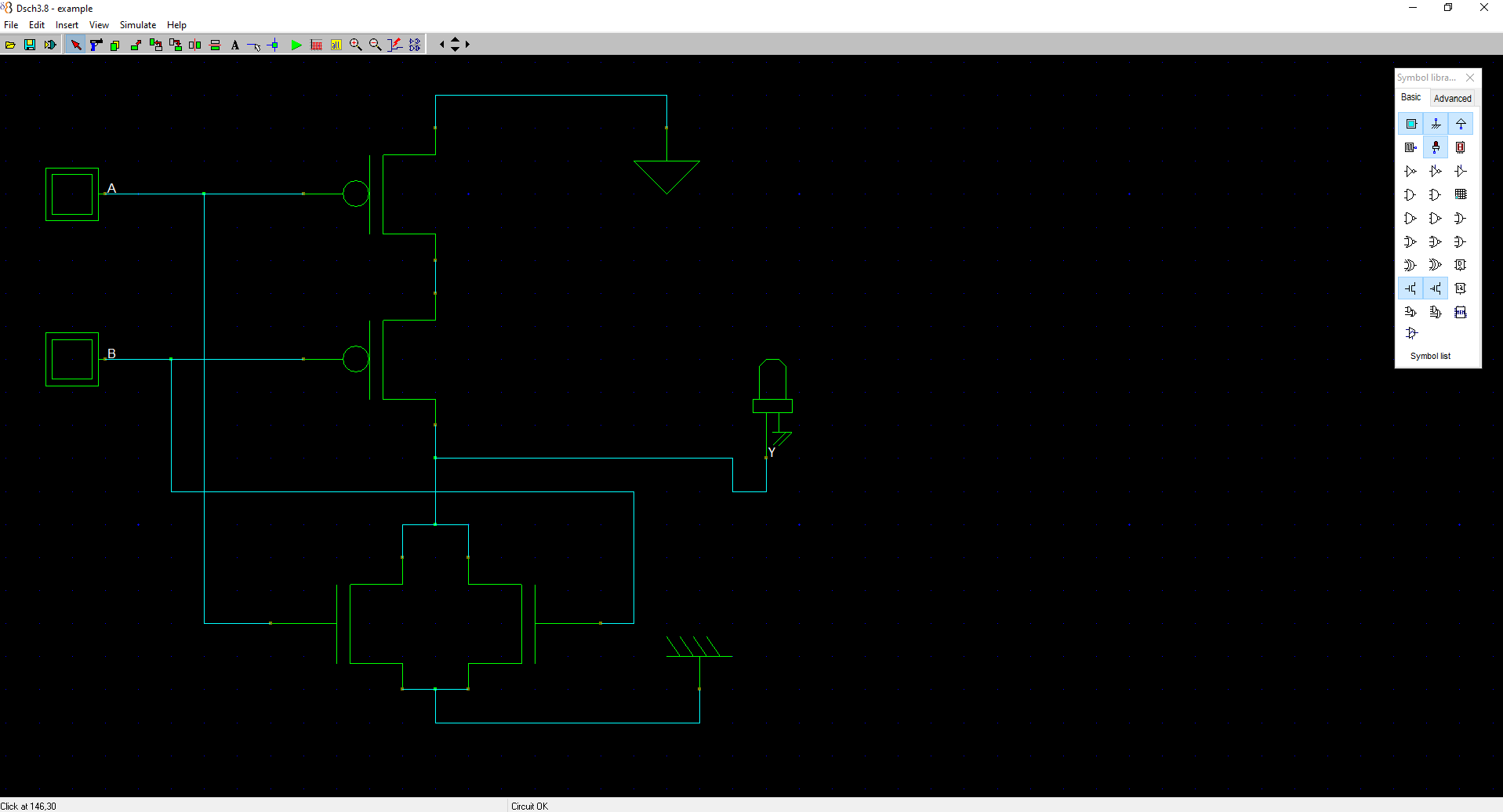
Schemat 13 bramka NAND

|  |  |
| --- | --- |
|  |  |
|  |  |

Tabela wyników 10 bramka NAND

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 1 | 0 |
| 1 | 0 | 1 |

Tabela prawdy 11 bramka NAND



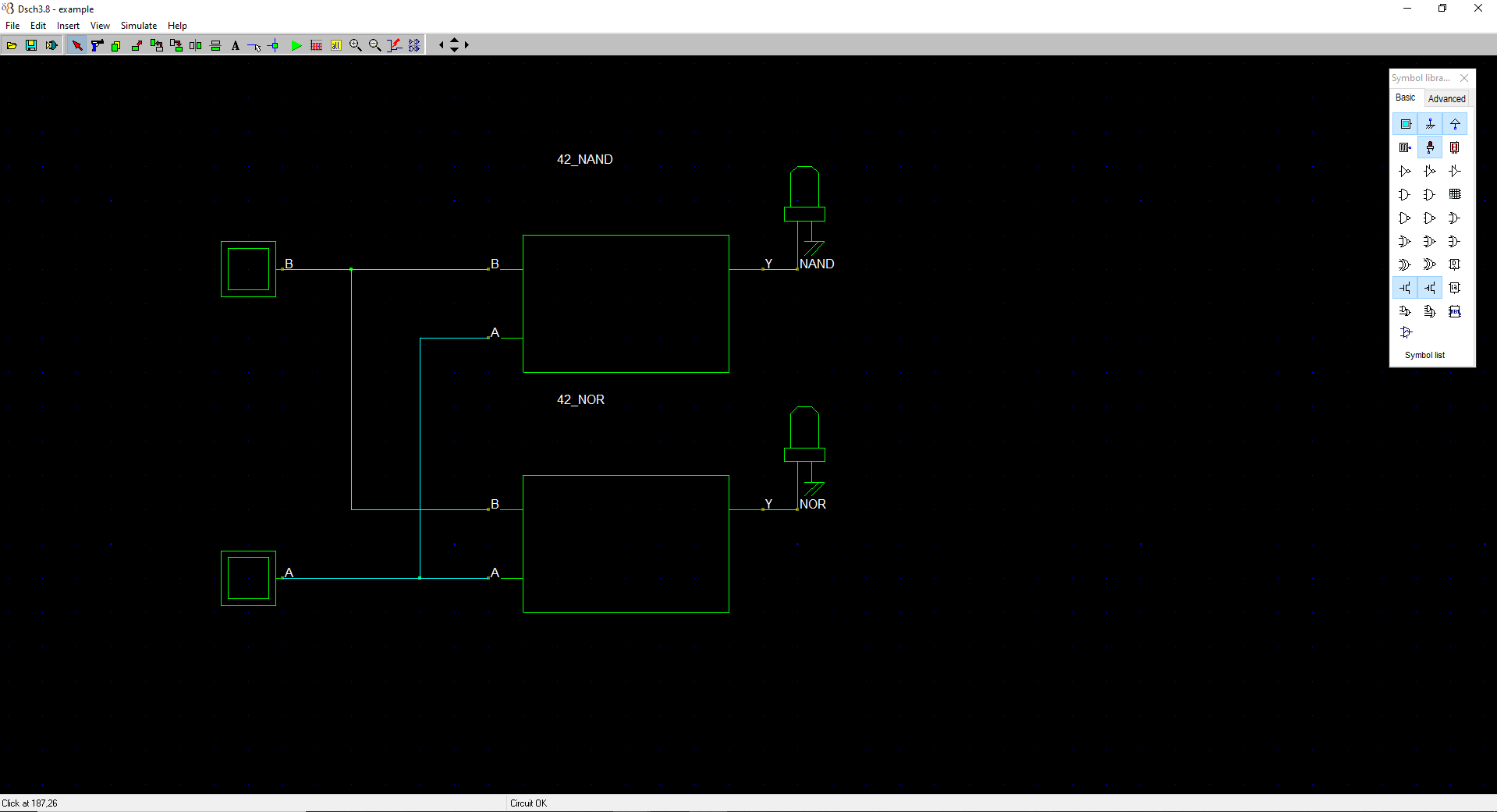
Schemat 14 bramka NOR

|  |  |
| --- | --- |
|  |  |
|  |  |

Tabela wyników 11 bramka NOR

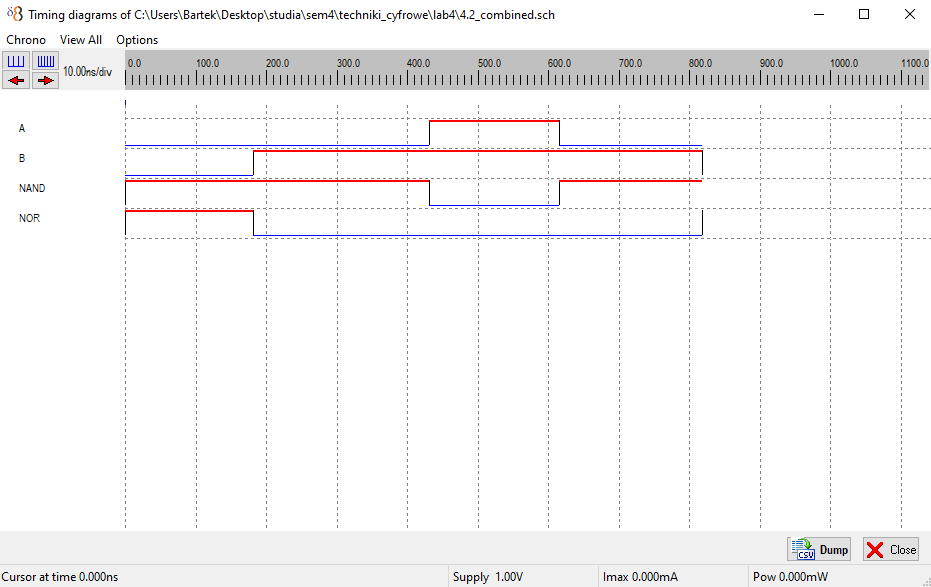
|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 1 | 0 |
| 1 | 0 | 0 |

Tabela prawdy 12 bramka NOR



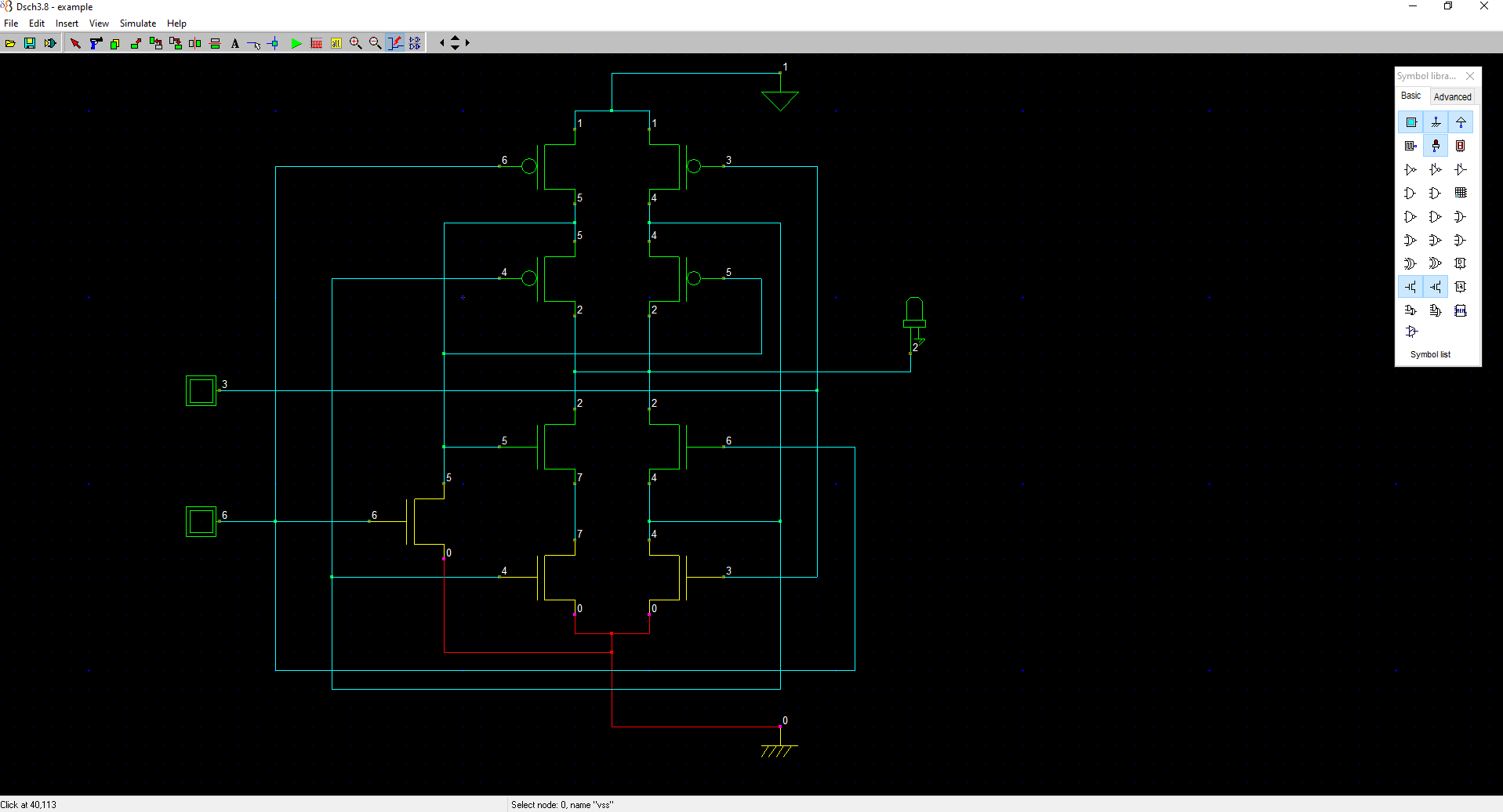
|  |  |
| --- | --- |
|  |  |
|  |  |

Tabela wyników 12 bramki CMOS



Przebieg czasowy 10 bramki CMOS

# 4.3. Bramka XOR, jako statyczna bramka logiczna CMOS



Schemat 15 bramka XOR

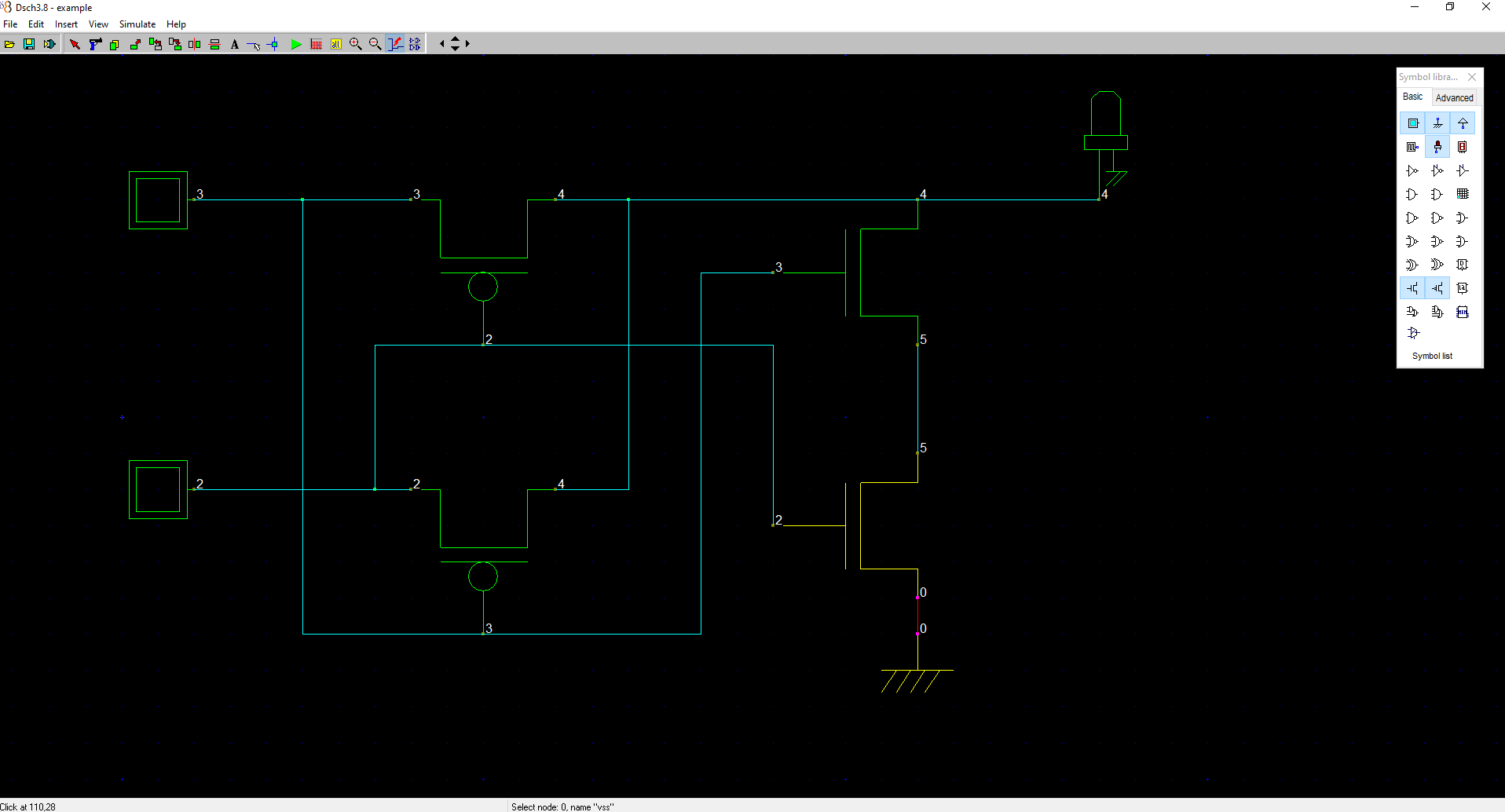
|  |  |
| --- | --- |
|  |  |
|  |  |

Tabela wyników 13 bramka XOR

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 1 | 0 |

Tabela prawdy 13 bramka XOR

# 5.1. Transmisyjna bramka XOR



Schemat 16 transmisyjna bramka XOR

|  |  |
| --- | --- |
|  |  |
|  |  |

Tabela wyników 14 transmisyjna bramka XOR

|  |  |  |
| --- | --- | --- |
| **A** | **B** | **Y** |
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 1 | 0 |

Tabela prawdy 14 transmisyjna bramka XOR