

Arquitectura-De-Computadores-Tema-1.pdf



Arrebato



Arquitectura de Computadores



2º Grado en Ingeniería Informática



Escuela Técnica Superior de Ingenierías Informática y de Telecomunicación
Universidad de Granada

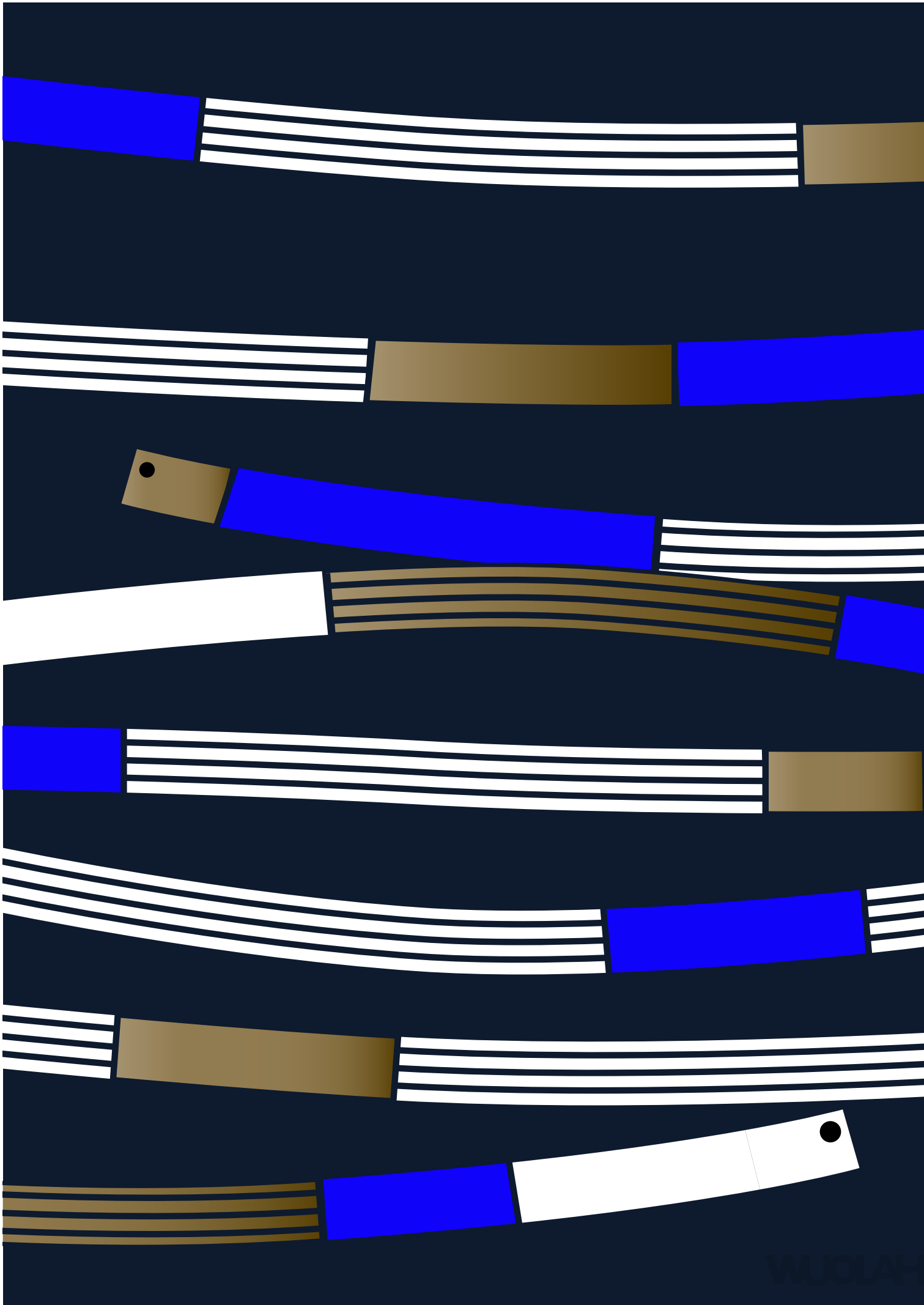


Descarga la APP de Wuolah.
Ya disponible para el móvil y la tablet.





**KEEP
CALM
AND
ESTUDIA
UN POQUITO**



Reservados todos los derechos. No se permite la explotación económica ni la transformación de esta obra. Queda permitida la impresión en su totalidad.

Arquitectura de Computadores

Julio Ortega Lopera Teoría
Mancía Anguita Prácticas

Teoría		Prácticas	
60%		40%	
min (40%) 2'4		1'6	
Actividades	Examen Ord	Entregas	Examen Global
4pts	2pts	2pts	2pts



FUNDAMENTOS Y PROBLEMAS DE ARQUITECTURA DE COMPUTADORES.

AUTORES : Mancía Anguita López / Julio Ortega Lopera

Editorial Técnica Avicam

LIBRERÍA FLEMING AVENIDA DE MADRID, 12

E-Mail: ciencias@libreriafleming.com

TLF. 958280183 / 654387692



Tema 1.- Arquitecturas Paralelas:

Clasificación y Prestaciones

Lección 1

Dependencias de datos

Los bloques B_1 y B_2 serán **dependientes** si:

- hacen referencia a una misma pos. de memoria
- B_1 aparece antes que B_2 en el código

Tipos de Dependencia:

Read After Write

RAW

$$a = b + c$$
$$d = a + c$$

Write After Write

WAW

$$a = b + c$$
$$\dots$$
$$a = d + e$$

Write After Read

WAR

$$b = a + 1$$
$$\dots$$
$$a = d + e$$

Paralelismo implícito en una aplicación

Tareas

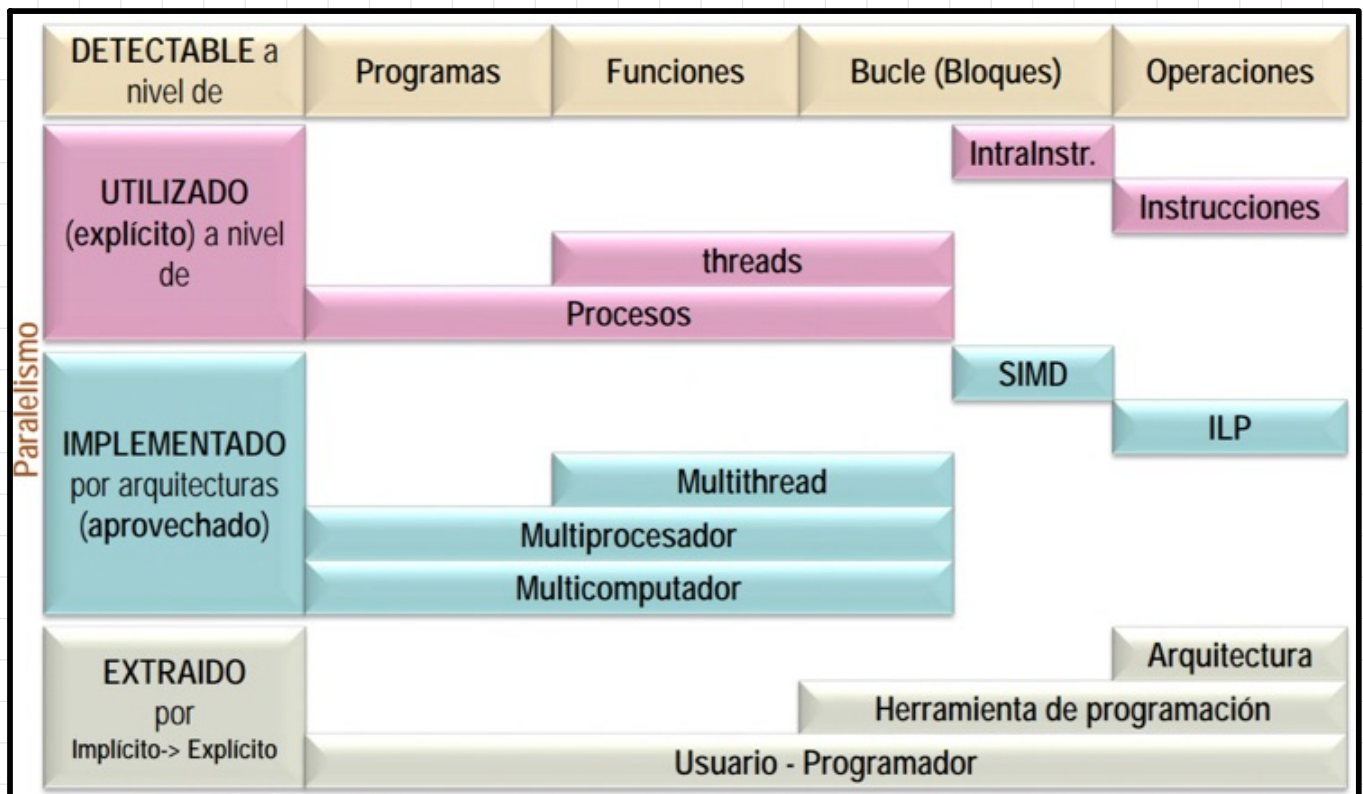
- Extrayendo estructura lógica de funciones
- \approx paralelismo del nivel de función

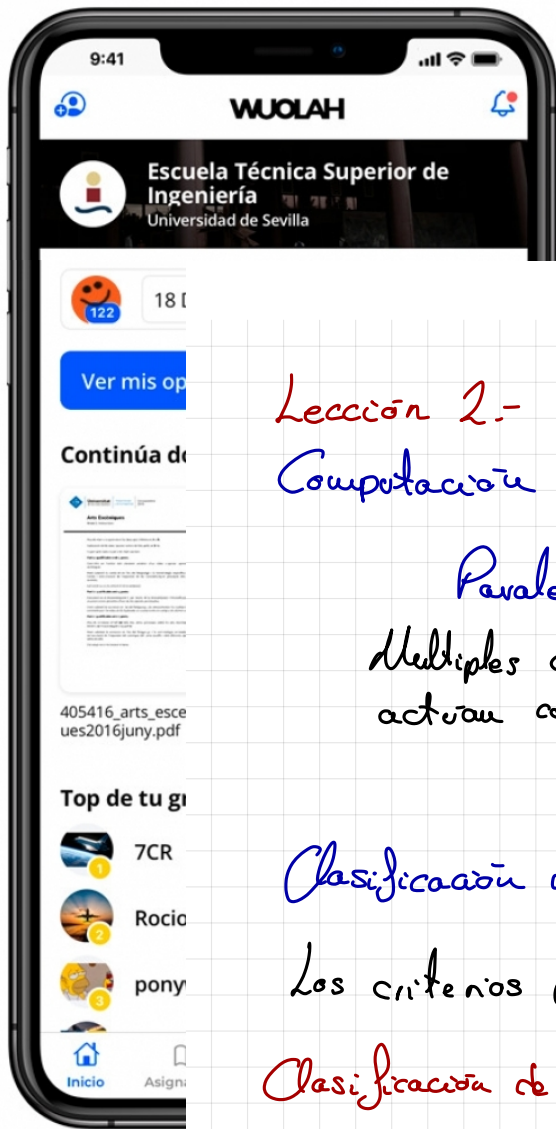
Datos

- Implícito en operaciones con estructura de datos (vectores, matrices)
- Se puede sacar de la representación matemática
- \pm = paralelismo nivel **bloque**

Paralelismo Explícito

Instrucciones	Threads o light process	Process o Process
Unidad de Control gestiona Instrucciones por unidad de procesamiento	Menor unidad de ejecución Menor Secuencia que se puede ejecutar en paralelo	Mayor Unidad Un proces consta de uno o varios threads





Descarga la APP de Wuolah.
Ya disponible para el móvil y la tablet.



Lección 2.-

Computación paralela y distribuida

Paralela

Múltiples cores/núcleos que actúan como una **unidad**

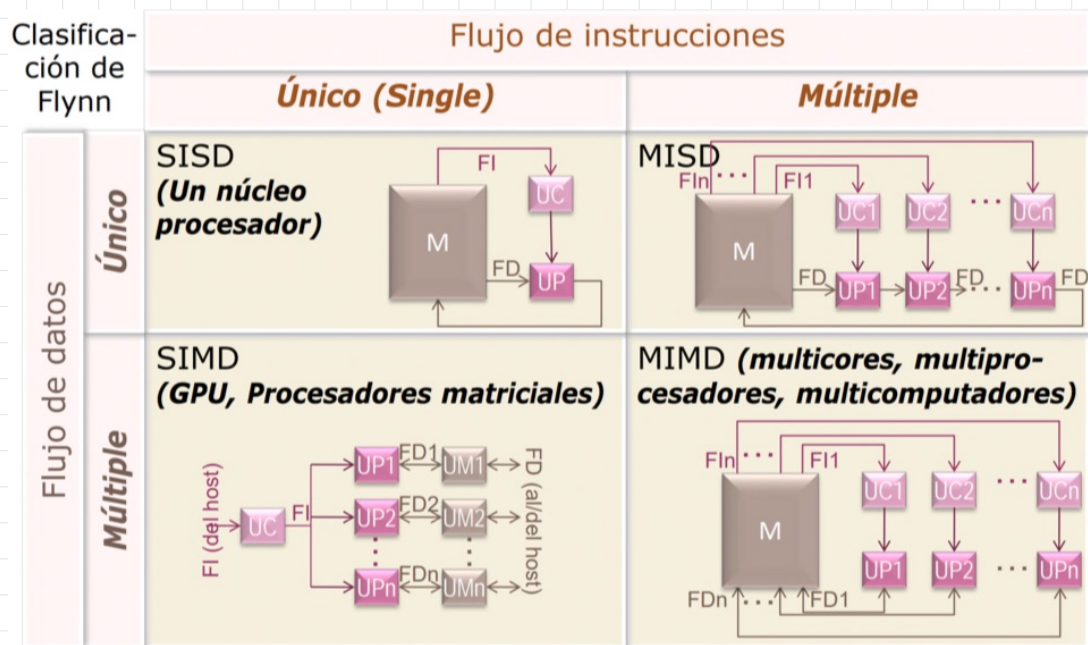
Distribuida

Colección de recursos **autónomos** en distintas localizaciones físicas

Clasificación de arquitecturas y sistemas paralelos

Los criterios pueden ser: **Comerciales, educación, investigación.**

Clasificación de Flynn \Rightarrow Flujo de control, Flujo de datos

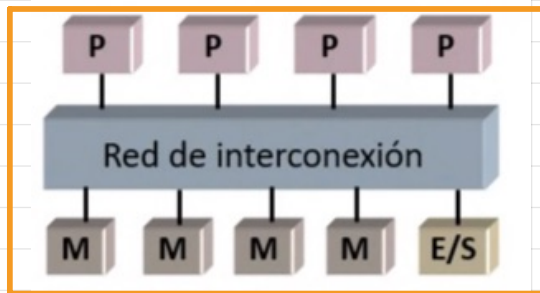


No suelen existir
A no ser
que sea
propósito
específico

Clasificación según memoria

Multiprocesadores

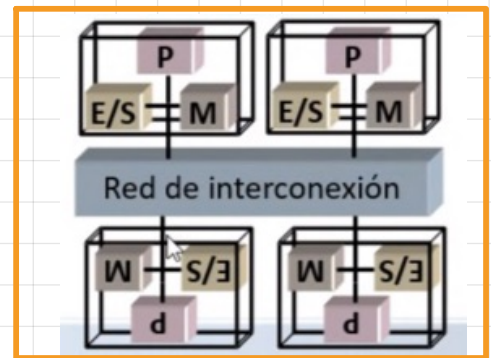
- **Mismo** espacio de direcciones
- Programador **NO** necesita saber donde están los datos



- Mayor **Latencia** (no hay transferencias paralelas)
- Poco escalable (aumentaría latencia)
- Comunicación implícita variables compartidas
- Necesita primitivas sincronización
- Distribución código/datos: **no necesaria**
- Programación más **seuilla**

Multicomputadores

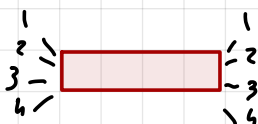
- **Espacio** direcciones **propio**
- Programador **si** necesita saberlo



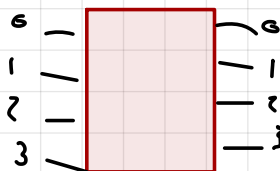
- Menor latencia
- Más **escalable**
- Comunicación explícita **pase de mensajes**
- Sincronización mediante mensajes
- Distribución código/datos compleja
- Programación **difícil**

Red de interconexión

Bus

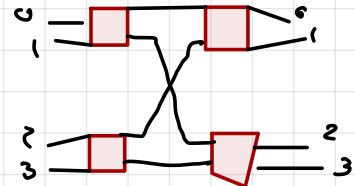


Barra cruzada



↓
cualquier combinación
si estuviese libre
mucha complejidad

Multietapa



↓
interconectores
con bandwidth menor
que barra cruzada
mayor latencia

Resumen clasificación según memoria

Multi-computadores Memoria no compartida	NORMA No Remote Memory Access	ej. cluster, red de computadores	Memoria físicamente distribuida	+	+
Multi-procesadores Memoria compartida Un único espacio de direcciones	NUMA Non-Uniform Memory Access	NUMA		Escalabilidad	-
		CC-NUMA			
		COMA			
	UMA Uniform Memory Access	SMP Symmetric MultiProcessor	Memoria físicamente centralizada	-	-

Lección 3.- Evaluación de prestaciones de una arquitectura

Medidas usuales para evaluar

Tiempo de Respuesta

User 3.2

Sys 1.0

Tiempo de CPU de usuario

T.CPU de Sistema

Tiempo de E/S

Tiempo de CPU

Total

Flujo de control

Total (elapsed) \geq CPU

Varios flujos

Total $<$ CPU ; Total $\geq \frac{CPU}{n^{\circ} \text{ flujos}}$

Tiempo de CPU

$$T_{CPU} = \text{Ciclos De Programa} \times T_{ciclo} = \frac{\text{Ciclos De Programa}}{\text{Frecuencia Reloj}}$$

$$\text{Ciclos Instrucción (CPI)} = \frac{\text{Ciclos Programa}}{N^{\circ} \text{ Instrucciones (NI)}}$$

$$T_{CPU} = NI \times CPI \times T_{ciclo}$$

Cuando hay n tipos de instrucciones distintos

$$\text{Ciclos De Programa} = \sum CPI_i * I_i$$

$$CPI = \frac{\sum_{\text{programa}} CPI_i * I_i}{NI}$$

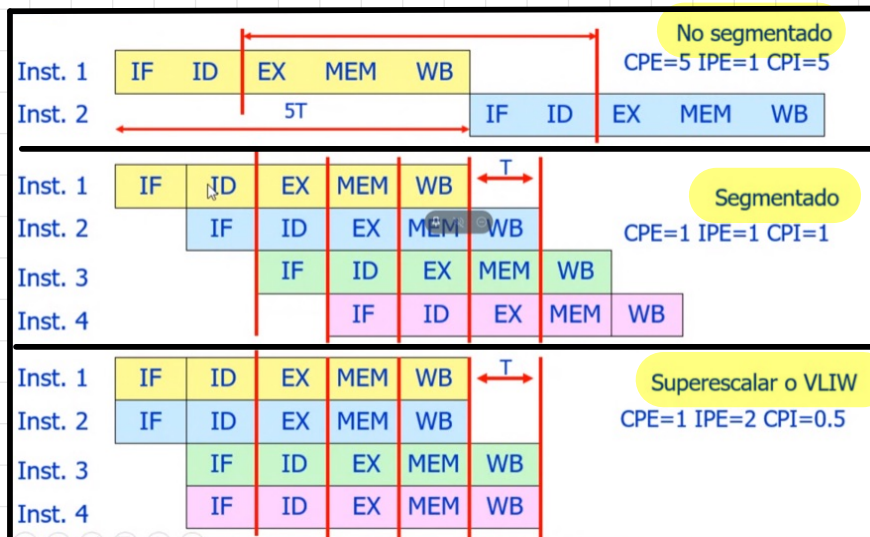
$$CPI = \frac{1}{IPC}$$

Procesadores que lanzan instrucciones paralelas

$$T_{CPU} = NI \times \frac{CPE}{IPE} \times T_{ciclo}$$

CPE = ciclos mínimos entre lanzamiento de instrucciones

IPE = Instrucciones por Emisión



Paralelismo entre instrucciones

También...

$$T_{CPU} = \frac{N_{oper}}{Op.-estruct} \times CPI \times T_{ciclo}$$

\downarrow \downarrow
 N° operaciones operaciones por estructura



Descarga la APP de Wuolah.
Ya disponible para el móvil y la tablet.



$$\text{Dependencias en } T_{CPU} = \underset{\text{Tecnología}}{NI} \times \underset{\text{Estructuras y Organización}}{CPI} \times \underset{\text{Repertorio Instrucciones}}{T_{ciclo}} \underset{\text{Compilador}}{\quad}$$

Productividad: MIPS u MFLOPS

MIPS millones de instrucciones por segundo

$$MIPS = \frac{NI}{T_{CPU} \times 10^6} = \frac{\text{frecuencia}}{CPI \times 10^6}$$

Depende del **Repertorio de instrucciones** (comparación difícil entre máquinas con distintos repertorios de instrucciones)

Puede variar con el programa (no sirve para caracterizar la máquina)

Puede **variar inversamente** con las prestaciones (+MIPS - prestaciones)

MIPS Meaningless Indication of Processor Speed **chasca-rillo**

MFLOPS millones de operaciones en coma flotante

$$MFLOPS = \frac{\text{Operación - coma flotante}}{T_{CPU} \times 10^6}$$

Mala comparación si no hay ops. en coma flotante

El conjunto de ops no es constante entre máquinas y la potencia varía según que operación (precisión, suma \neq multiplicación)

Necesidad de normalización de las instrucciones

Ganancia de Prestaciones

$$S_p = \frac{\overset{\text{Velocidad mejorada}}{U_p}}{\underset{\text{Velocidad base}}{U_s}} = \frac{\overset{\text{Tiempo ej. base}}{T_s}}{\underset{\text{Tiempo ej. mejorada}}{T_p}}$$

Ley de Amdahl

Dado un programa con código secuencial obligatorio, los procesadores no podrán usarse eficientemente.

$$S \leq \frac{p}{1 + p(p-1)}$$

S mejora de velocidad

f fracción de tiempo que no puede aprovecharse la mejora

p factor de mejora de un recurso

Ejemplo

Programa 25% uso de coma flotante. Coma flotante se mejora al doble de velocidad

$$p=2$$

$$f=0.75$$

$$S \leq \frac{2}{1+0.75(2-1)} = 3.14$$

Hay que mejorar el caso más frecuente (lo que más se usa)