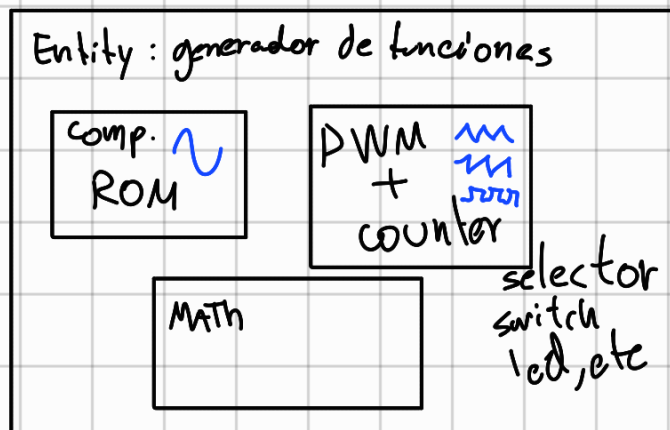
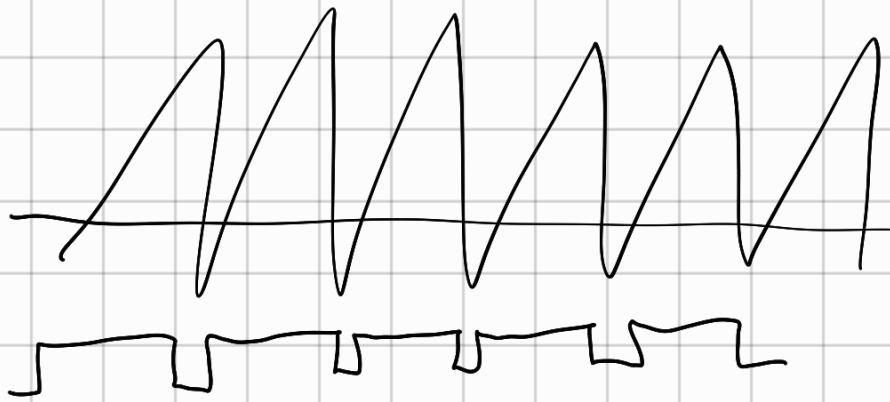


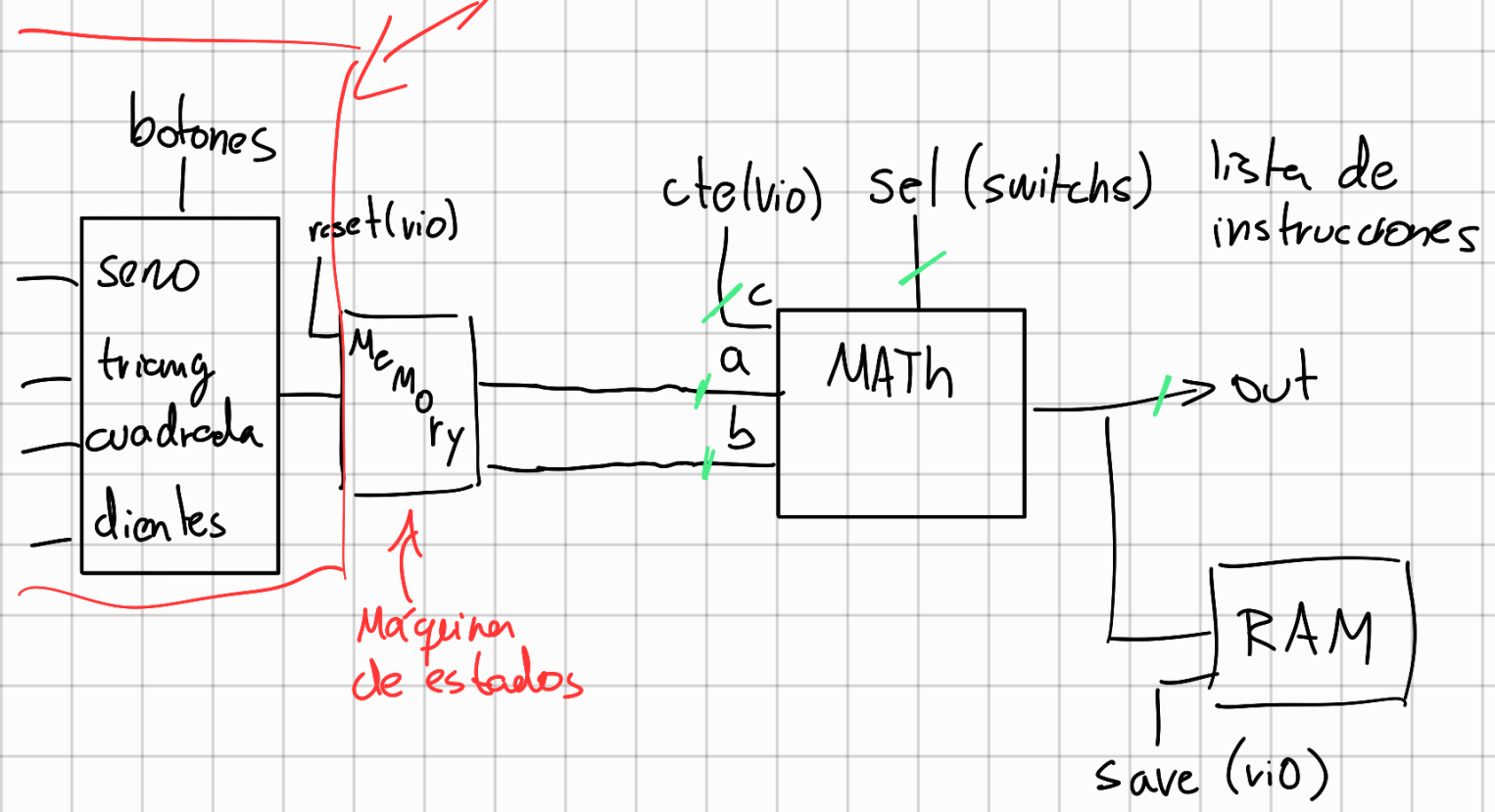
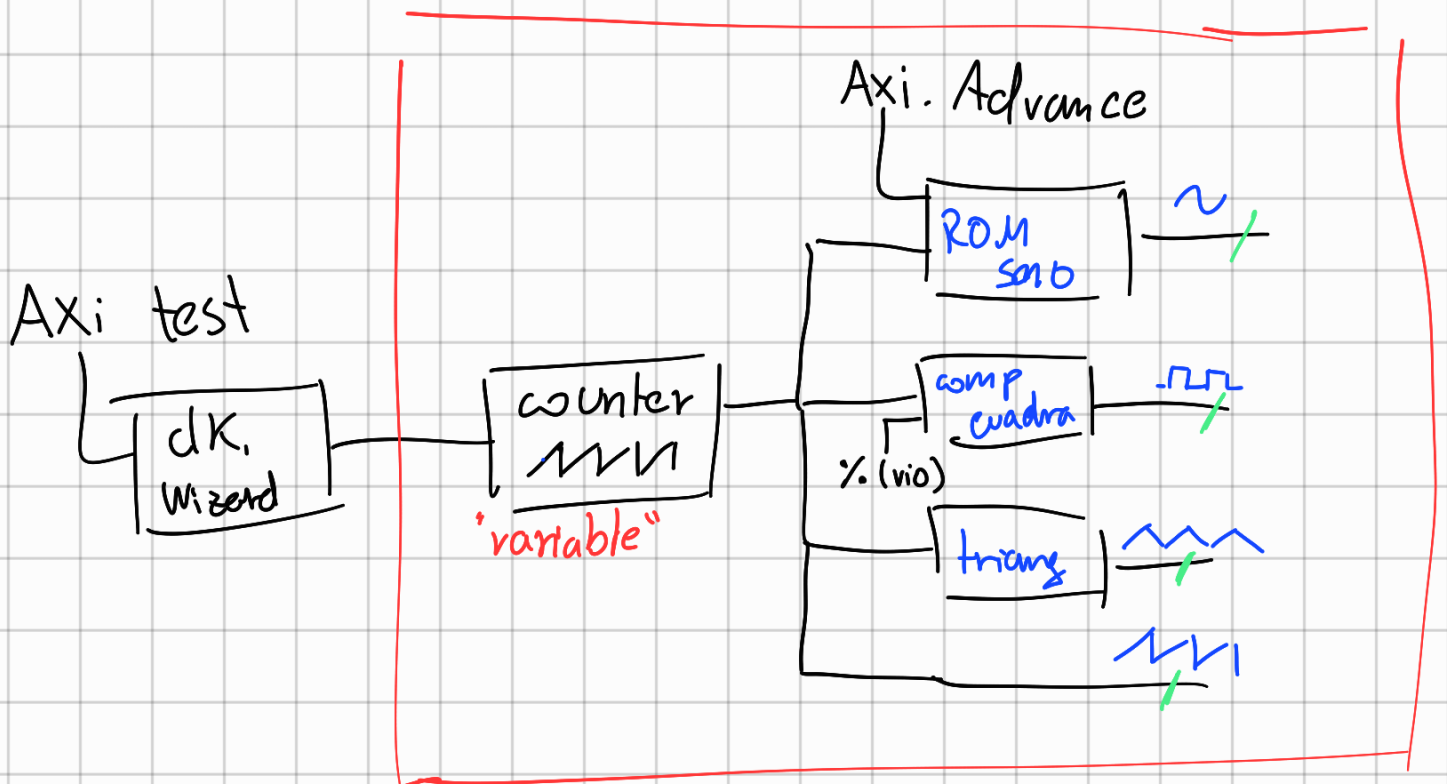
Idea : Generador de funciones

A01: Utilizar al menos 3 components dentro de una entity.

A02: Generar al menos 3 IP-Cores en block Design

A03: Usar AXI , al menos un IPCore slave, con ATG en test mode y al menos uno slave, con ATG en advance mode.





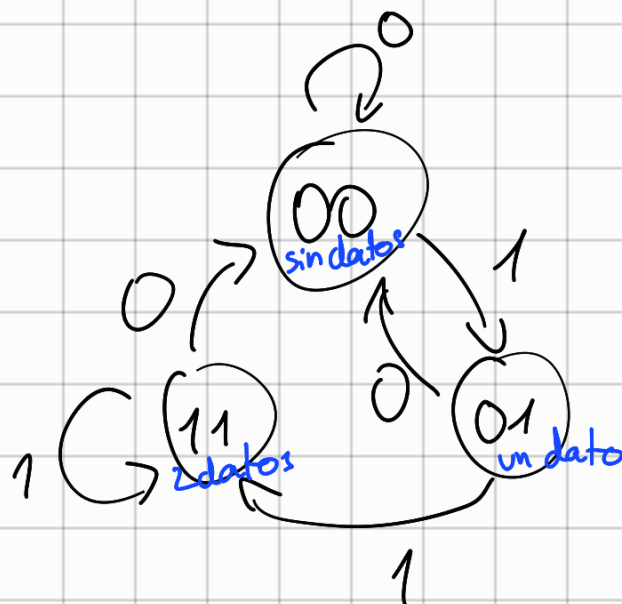
lista operaciones math

0000	→	apagado (cte 0)	
0001	→	a	
0010	→	b	
0011	→	a+b	
0100	→	c	
0101	→	a+c	} offset
0110	→	b+c	
0111	→	a+b+c	
1000	→	apagado	
1001	→	a	
1010	→	b	
1011	→	a·b	} Atenuación/Amplificación
1100	→	c·(a+b)	
1101	→	c·a	
1110	→	c·b	
1111	→	c·a·b	

vi0 signals

- % (comp)
- reset (memory)
- cte (math)
- save (RAM)

* ¡La signals (9)



Apretar cualquier
botón → 1
reset → 0

* Hacer function para sumar std_logic_vectors.

issues: ¿Qué son atributos y si cuentan nuestros operadores?

¿si hay que usar vld para outputs, o basta con inputs?

¿Controlar el clk wizard cuenta como nuevo?

* Plan b, usar memorias de la zybo para RAM.