

基于 FPGA 的智能 LRC 电感电阻电容测量仪

宁小伟, 郭建强, 高晓蓉, 王 黎, 王泽勇

(西南交通大学光电工程研究所, 成都 610031)

摘 要: 为了实现对阻抗元件 LRC (电感、电阻、电容) 的高速高精度测量, 设计了一种基于 FPGA 实时高速 FFT 运算以及 MSP430 单片机控制的智能化测量仪。该测量仪使用硬件描述语言 Verilog HDL 编写程序, 实现 DCM 时钟控制高速 AD 采样、FIFO 对输入数据的缓冲、FFT 算法及其相关的时序控制, 最终实现 1024 点 FFT, 利用 FFT 进行频谱分析结果传输给 MSP430 进行处理分析, 从而得到测量通道与参考通道相位差, 完成 RLC 参数测量。该设计对 LRC 的测量较少使用模拟器件, 电路简单, 具有精度高智能测量速度快等特点。

关键词: 智能测量; FPGA; DCM; FFT

Design of FPGA-based smart LRC inductor resistance and capacitance measuring instrument

NING Xiao-wei, GUO Jian-qiang, GAO Xiao-rong, WANG Li, WANG Ze-yong

(Photoelectric Engineering Institute, Southwest Jiaotong University, Chengdu 610031, China)

Abstract: In order to measure LRC (inductors, resistors, capacitors) components with high-speed and high-precision, this paper designed an intelligent measuring instrument which based on FPGA real-time high-speed FFT computation and MSP430. This measuring instrument using a hardware description language Verilog HDL for programming, DCM clock to control the high-speed AD converter sample and FIFO buffer on the input data, the FFT algorithm and its associated timing control, ultimately to achieve the 1024-point FFT. Using FFT spectrum analysis for MSP430 processing and analysing it measures the phase difference between the measuring and reference channel, finally completes the measurement RLC parameters.

Key words: intelligent measurement; FPGA; DCM; FFT

0 引言

快速傅里叶变换 FFT 是一种可实际应用的频谱分析方式,也是目前实际应用中进行频谱分析的主要方法,对信号进行傅里叶级数分析,可以获得输入它们的基波参量,而谐波分量对该测量方法几乎没有影响,只有当高斯白噪声接近基波的频率分量时才会影响到基波的相位,FFT 谱分析法也能有效抑制高斯白噪声^[1-2]。FFT 变换特点是运算量较大,需要相应的硬件,具有较高运算能力。FPGA 内部结构决定了其非常适合并行运算,同时 FPGA 中拥有数百个乘加单元,并行运算的方式使 FPGA 具有高性能的数字信号处理能力^[3],利用 FPGA 实现

FFT 处理运算非常快。

基于 FPGA 数字信号处理技术进行 FFT 的方案可用于对传统电子测量技术领域的改进。文中尝试将 FPGA 用于 LRC 的测量。该测量系统采用 FPGA 控制高速 A/D 采样芯片对高速采样,采样数据由 FPGA 进行高速 FFT 运算,运算结果由 Msp430 单片机进一步分析处理后由液晶显示输出。在设计中使用多阶数字滤波器滤波来提升系统测量的可靠性及测量精度^[4]。采用 MSP430 单片机智能控制,使测

收稿日期: 2012-02-27

作者简介: 宁小伟(1986-)男,硕士研究生,主要从事实时信号采集研究。

量系统具备自动分析、识别、计算的能力。

1 系统组成与工作原理

设计采用矢量比例法^[5]实现对电感、电阻、电容的测量。其原理如图1所示。

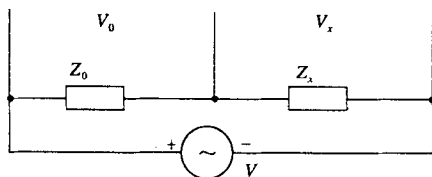


图1 矢量比例法测 Z_x

图中 Z_0 为标准阻抗元件, Z_x 为待测阻抗元件, 参考阻抗用标准阻抗 R_0 代替 z_0 , 可推导出:

$$z_x = \frac{V_x}{V_0} R_0 = \frac{V_{xx} + jV_{xy}}{V_{0x} + jV_{0y}} R_0 \quad (1)$$

式中, V_{xx} 、 V_{xy} 为 V_x 实部、虚部, V_{0x} 、 V_{0y} 为 V_0 实部、虚部, 由式(1)可以求得:

$$R_x = \frac{V_{xx} V_{0x} + V_{xy} V_{0y}}{V_{0x}^2 + V_{0y}^2} \cdot R_0 \quad (2)$$

$$L_x = \frac{V_{xy} V_{0x} - V_{xx} V_{0y}}{V_{0x}^2 + V_{0y}^2} \cdot \frac{R_0}{\omega} \quad (3)$$

$$C_x = \frac{V_{0x}^2 + V_{0y}^2}{V_{xy} V_{0x} - V_{xx} V_{0y}} \cdot \frac{1}{\omega R_0} \quad (4)$$

由式(2) - (4)可知, 只需测得 V_x 、 V_0 实部、虚部就可以测量待测 L 、 R 和 C 的值。图1中的 V_x 、 V_0 的实部虚部可通过对 V_x 、 V_0 信号进行傅里叶级数分析获得。

总体方案如图2所示, 使用 TI 公司的 16 位单片机 MSP430 作为系统的总控制芯片, MSP430 产生三个频点的方波通过滤波产生正弦波, 正弦波通过测量器件及标准器件, 后用数模转换芯片 ADS7862 对两个通道同时采样, 用多个模拟开关在各个电路之间进行切换匹配电阻及信号频率, ADS7862 为双通道 AD, 可以对测量通道及参考通道同时采样, 然后以并行数据先后传输给 FPGA, FPGA 将采样数据存入 FIFO, 对采样数据进行缓冲操作, FIFO 写满后通知 FFT 模块读取数据, 进行 FFT 变换, 变换完成之后取出相应频点传送给 MSP430 进行数据处理。

2 系统硬件设计

2.1 FPGA 数据处理模块

本次数据处理使用的是 Xilinx 公司 XC3S200A FPGA 芯片, 内部集成大量的 RAM, 片内的逻辑资源相当丰富, 具有很高的运行频率^[6]。FPGA 在系统

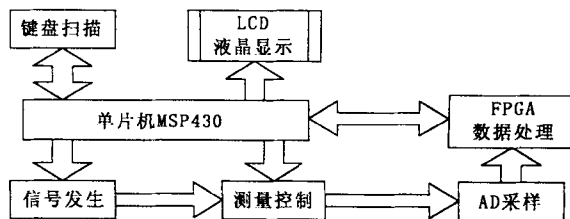


图2 RLC 测量系统工作原理

中的任务就是: 控制 A/D 数据采样速率、数据读取时序, 接受 MSP430 单片机控制, 为 ADS7862 提供三个相应频点的工作时钟, 对 ADS7862 的采样数据进行 FFT 变换, FPGA 数据处理, 将变换数据送给 MSP430 处理显示。

系统利用 FPGA 对采样数据处理时, 利用 Core Generator 工具调用了产生 FFT 变换的 IP 核来简化设计过程, 用户只需要输入必要的参数, 该工具就可以按照用户设置自动选择最优结构生成 FFT, 同时产生资源报告。

2.2 高速 A/D 采样模块

系统 A/D 采样芯片采用 TI 公司的 ADS7862 型 AD 芯片, 其主要特点是: 双核 12 位模数转换器 (ADC) 芯片进行采样^[7]; 内置两个 4 微秒逐次逼近型 AD 转换器、两个采样保持放大器、一个 +2.5V 内部基准电压源和一个高速并行接口, 每个通道支持全差分输入; 每个通道有 2μs 总的吞吐率, 转换后的数据为并行输出; 能够达到 1MHz 的有效采样率。ADS7862 的两个通道分别对 V_x 、 V_0 同时高速高精度采样, 保证了 V_x 、 V_0 信号相位差的稳定和测量的准确性。

2.3 智能控制模块

系统采用 MSP430F4617 作为智能控制模块, 该芯片有两个 16 位定时模块单元, 多路 12 位 A/D 采样转换模块, 12 位 D/A 转换模块, 多路时钟系统, 存储容量大, 数量多的 I/O 口。测量时首先接收 FPGA 处理后的数据, 分析测量数据, 根据测量值与设定参数比较, 然后再反馈给控制测量模块选切换合适的测量档位, 再根据初步测量结果反馈控制函数发生器以及内部定时器选择合适函数频率, 进行精确的测量, 最终控制液晶显示器将测量的元件的电学特性 RLC 值输出显示。

3 系统软件设计

软件设计方案整体框图如图3所示。

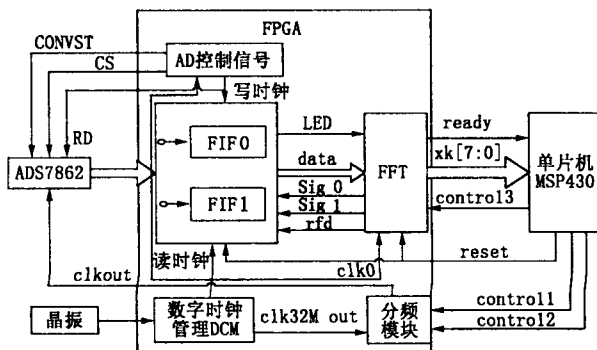


图3 软件设计方案整体框图

3.1 FPGA 控制 ADS7862 转换时序设计

FPGA 控制 ADS7862 转换时序的编程思想:将

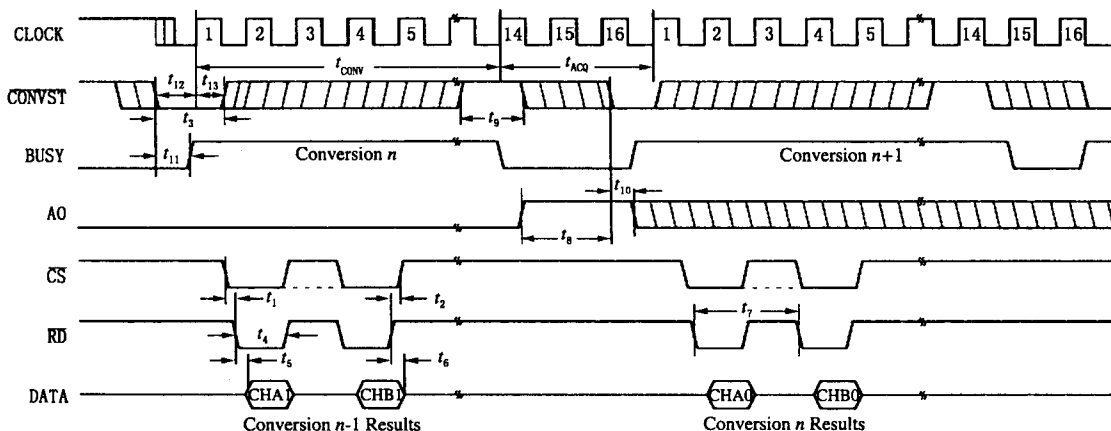


图4 ADS7862 时序

3.2 FIFO 使用和控制

FIFO 读写^[8]时流程如图5所示。FIFO 进行写操作时,写信号使能有效并且 FIFO 不为满时,输入总线(DIN)输入的数据会传输进 FIFO,置位 WR_ACK。如果 FIFO 持续写入并且没有读数据,仅当 FIFO 不为满时写操作有效。FIFO 进行写读作时,读信号有效并且 FIFO 不为满时,FIFO 内的数据输出至输出总线(DOUT)上,然后 VALID 置位。如果 FIFO 持续读出并且一直没有写入数据,仅当 FIFO 不为满时写操作才会有效。FIFO 读空后,如果再有读要求时,将不再响应,这时下 underflow 标志置位。FIFO 将保持该状态,直到写操作到来。在采样数据到来时,应通过一个程序来分拣数据,分别放入两个 FIFO 进行存取。

3.3 FPGA 的 FFT 变换和单片机通信软件设计

两个 FIFO 中依次读出采样数据进行变换,因此采用非连续型数据流模式,对于 START 信号,可以依次在每次转换前给其个脉冲,也可以在首个

高频率时钟先经 DCM (Digital Clock Manager) 倍频分频将频率调整到 32MHz。对 DCM 输出的 32MHz 的时钟进行分频的后输出给 AD 提供采样时的时钟信号。CONVST 信号是将提供给 AD 的时钟信号再过 16 分频而得到的。CS 与 RD 共用一个信号,这个信号可以通过将 CONVST 延迟 1 个和 3 个 AD 时钟周期后再进行逻辑与运算产生。同时延迟了 1 个和 3 个 AD 时钟周期后的中间信号可以分别用于读取 A 通道和 B 通道的数据的时钟触发信号,采样时序如图4所示。

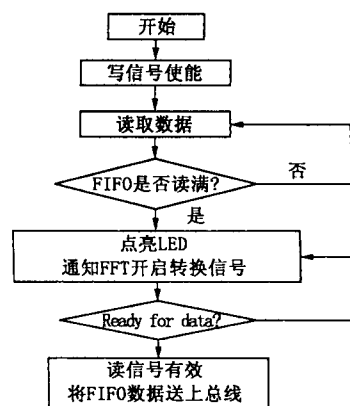


图5 FIFO 读写流程

FIFO 将其置高,等两次变换都做完后拉低。写满第一个 FIFO 后开启 FFT 变换信号 START、置低 SCLR,开始第一次的 FFT 变换,当 START 变高之后的第一个时钟上升沿到来时开始读数据,读完 1024 个点后,开始转换,BUSY 拉高。程序流程如图6所示。

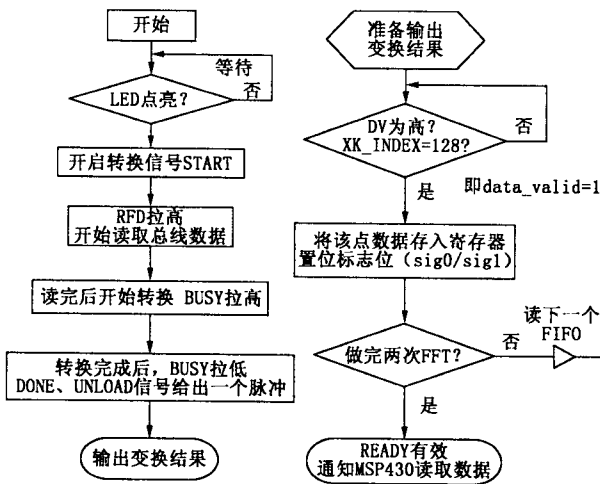


图6 程序流程

4 实验验证

测量值与数字电桥测量值对比如表1-3所示。

表1 电感参数测量表

标定值	测量值	误差百分数	测量值	误差百分数	测量值
9.2350mH	9.483mH	-2.20%	9.312mH	-0.83%	9.462mH
10.028mH	10.763mH	-7.33%	10.453mH	-4.24%	10.729mH
17.327mH	17.562mH	-1.36%	17.350mH	-0.13%	17.375mH

表2 电阻测量参数表

序号	电阻值	log(电阻值)	测量结果	误差
1	19.1	1.28	17.982	1.118
2	36.4	1.56	32.989	3.411
3	55.5	1.74	53.113	2.387
4	556	2.75	538.195	17.805
5	677	2.83	652.313	24.687
6	1172	3.07	1120	52
7	2360	3.37	2360	0
8	3560	3.55	3450	110
9	6720	3.83	6730	-10
10	7460	3.87	7380	80
11	11850	4.07	12170	-320
12	19780	4.3	20180	-400
13	21000	4.32	20760	240
14	35700	4.55	34760	940
15	50300	4.7	49410	890
16	97300	4.99	98170	-870
17	218000	5.34	211380	6620
18	219000	5.34	217960	1040
19	321000	5.51	321040	-40
20	385000	5.59	385240	-240
21	424000	5.63	415530	8470
22	508000	5.71	507800	200
23	671000	5.83	652680	18320
24	930000	5.97	917080	12920

表3 电容测量参数表

序号	标定值/pF	测量结果/pF	误差值/pF
1	68	78.889	-10.889
2	104	115.156	-11.156
3	292	305.156	-13.156
4	330	327.106	2.894
5	1034	1068	-34
6	6593	6483	110
7	6779	6718	61
8	10546	10735	-189
9	47630	48508	-878
10	470000	465989	4011
11	992900	960357	32543
12	2296900	2254000	42900
13	4406000	4288000	118000
14	24395000	25449000	-1054000

从测试实验可以看出,设计的RLC测量仪的电阻测量范围为 $50\Omega \sim 20M\Omega$,误差在5%以内,电感测量范围为 $1mH \sim 1H$,误差在为8%以内,电容测量范围为 $100pF \sim 50\mu F$,误差在5%以内。设计采用了MSP430F4617单片机智能控制,FPGA进行数据高速处理变换,实现了一定范围的智能化准确测量。

参考文献:

[1] 黄志强,潘天保,吴鹏,等. Xilinx 可编程逻辑器件的应用与设计[M]. 北京:机械工业出版社,2007.

[2] Churayev S O, Matkarimov B T. FPGAFFT Implementation[J]. Design & Test Symposium (EWDTS), 2010 East - West Publication, 2010;183 - 185.

[3] 田耘,许文波. Xilinx FPGA 开发实用教程[M]. 北京:清华大学出版社,2008.

[4] 夏于闻. Verilog 数字系统设计教程[M]. 2版. 北京:航空航天大学出版社.

[5] 高吉祥. 全国大学生电子设计竞赛培训系列教程电子仪器仪表设计[M]. 电子工业出版社.

[6] Spartan - 3 Generation FPGA User Guide[Z]. Xilinx Inc. UG331. August 19,2010.

[7] Burr_Brown from Texax Instruments ;Data Sheet[Z]. ADS7862. SBAS101B-JANUARY 1998 - REVISED AUGUST 2005.

[8] Hojin Kee, Petersen N, Komerup J, et al. Systematic generation of FPGA-based FFT implementations[C]. Speech and Signal Processing, 2008. ICASSP 2008. IEEE International Conference on Publication, 2008;1413 - 1416.

责任编辑:么丽苹