数字电子技术基础

重点复习

组合逻辑电路

半加器与全加器；
编码器与译码器；
数据选择器

逻辑函数化简

数制与编码；
公式法化简；
卡诺图化简

时序逻辑电路

时序逻辑电路分析与设计；
计数器；

触发器

基本触发器；
同步触发器；
边沿触发器

555定时器

施密特触发器；
单稳态触发器；
多谐振荡触发器

第三章、第八章以及第九章不考

期末试题

题型: 包括化简作图题，分析题，设计题

题量: 约12道大题

第1章 逻辑代数基础

重点掌握

1.1 数制与编码

1.2 逻辑函数的公式化简

1.3 逻辑函数的图形化简

数制-十进制

数码为：0～9；基数是10。

运算规律：逢十进一，即：9＋1＝10。

十进制数的权展开式：

$$
\begin{array}{rl}
5\times10^3 = & 5000 \\
5\times10^2 = & 500 \\
5\times10^1 = & 50 \\
5\times10^0 = & 5 \\
+ & \\
\hline
= & 5555
\end{array}
$$

5　5　5　5

同样的数码在不同的数位上代表的数值不同。

10^3、10^2、10^1、10^0称为十进制的权。各数位的权是10的幂。

任意一个十进制数都可以表示为各个数位上的数码与其对应的权的乘积之和，称为权展开式。

即：$(5555)_{10} = 5\times10^3 + 5\times10^2 + 5\times10^1 + 5\times10^0$

又如：$(209.04)_{10} = 2\times10^2 + 0\times10^1 + 9\times10^0 + 0\times10^{-1} + 4\times10^{-2}$

数制转换

1、二进制数与八进制数的相互转换

(1) 二进制数转换为八进制数:

$$0\ 0\ 1 \mid 1\ 0\ 1 \mid 0\ 1\ 0 \,.\, 0\ 1\ 0 = (152.2)_8$$

(2) 八进制数转换为二进制数:

$$(374.26)_8 = 011\ \ 111\ \ 100\ .\ 010\ \ 110$$

2、十进制数转换为二进制数

采用的方法 — 基数连除、连乘法

原理: 将整数部分和小数部分分别进行转换。

整数部分采用基数连除法，小数部分采用基数连乘法。转换后再合并。

整数部分采用基数连除法，先得到的余数为低位，后得到的余数为高位。

2	44	余数	低位
2	22	…… $0=K_0$	
2	11	…… $0=K_1$	
2	5	…… $1=K_2$	
2	2	…… $1=K_3$	
2	1	…… $0=K_4$	
	0	…… $1=K_5$	高位

小数部分采用基数连乘法，先得到的整数为高位，后得到的整数为低位。

0.375		
× 2	整数	高位
0.750	…… $0=K_{-1}$	
0.750		
× 2		
1.500	…… $1=K_{-2}$	
0.500		
× 2		
1.000	…… $1=K_{-3}$	低位

所以：$(44.375)_{10} = (101100.011)_2$

采用基数连除、连乘法，可将十进制数转换为任意的N进制数。

逻辑函数的公式化简

逻辑代数的基本公式和常用公式

序号	公式	序号	公式
		10	$\overline{1}=0 \quad \overline{0}=1$
1	$0\cdot A=0$	11	$0+A=A$
2	$1\cdot A=A$	12	$1+A=1$
3	$A\cdot A=A$	13	$A+A=A$
4	$A\cdot\overline{A}=0$	14	$A+\overline{A}=1$
5	$A\cdot B=B\cdot A$	15	$A+B=B+A$
6	$A\cdot(B\cdot C)=(A\cdot B)\cdot C$	16	$A+(B+C)=(A+B)+C$
7	$A\cdot(B+C)=A\cdot B+A\cdot C$	17	$A+B\cdot C=(A+B)\cdot(A+C)$
8	$\overline{A\cdot B}=\overline{A}+\overline{B}$	18	$\overline{A+B}=\overline{A}\cdot\overline{B}$
9	$\overline{\overline{A}}=A$	19	$A+\overline{A}\cdot B=A+B$

冗余律： $AB+\overline{A}C+BC=AB+\overline{A}C$

例题

$$
\begin{aligned}
Y &= \bar{A}\bar{C} + \bar{A}\bar{B} + BC + \bar{A}\bar{C}\bar{D} \\
&= \bar{A}\bar{C}\left(1 + \bar{D}\right) + \bar{A}\bar{B} + BC \\
&= \bar{A}\bar{C} + \bar{A}\bar{B} + BC \\
&= \bar{A}\bar{C} + \bar{A}C + \bar{A}\bar{B} + BC \\
&= \bar{A} + \bar{A}\bar{B} + BC \\
&= \bar{A} + BC
\end{aligned}
$$

冗余项

$$
\begin{aligned}
Y &= ABC + ABD + A\bar{C}D + \bar{C}\bar{D} + A\bar{B}C + \bar{A}C\bar{D} \\
&= AC\left(B + \bar{B}\right) + ABD + \bar{C}\left(AD + \bar{D}\right) + \bar{A}C\bar{D} \\
&= AC + A\bar{C} + \bar{C}\bar{D} + ABD + \bar{A}C\bar{D} \\
&= A + \bar{D}\left(\bar{C} + \bar{A}C\right) + ABD \\
&= A + \bar{A}\bar{D} + \bar{C}\bar{D} + ABD \\
&= A + \bar{D} + \bar{C}\bar{D} + ABD \\
&= A + \bar{D}
\end{aligned}
$$

例题

$$Y=\overline{\overline{AC+\bar{A}BC}+\bar{B}\bar{C}}$$

$$=\overline{\overline{AC+\bar{A}BC}}\cdot\overline{\bar{B}\bar{C}}$$

$$=\left(AC+\bar{A}BC\right)\cdot\left(B+C\right)$$

$$=AC+BC$$ 与或式

$$=\overline{\overline{AC+BC}}$$

$$=\overline{\overline{AC}}\cdot\overline{\overline{BC}}$$ 与非-与非式

逻辑函数的图形化简

逻辑函数的图形化简法是将逻辑函数用**卡诺图**来表示，利用卡诺图来化简逻辑函数。

卡诺图的**特点**是任意两个相邻的最小项在图中也是相邻的。(相邻项是指两个最小项只有一个因子互为反变量，其余因子均相同，又称为逻辑相邻项) 。

对相邻的方格画“圈”

- 对“1”画圈
- 圈要求大、少，每圈包含 2^n个“1”
- 每个“1”可重复使用，但每圈至少必须包含一个新的“1”
- 所有的“1”必须圈完。

AB \ CD	00	01	11	10
00		1	1	
01	1	1		
11	1	1		
10			1	1

例题 $Y = C\bar{D}(A \oplus B) + \bar{A}B\bar{C} + \bar{A}\bar{C}D$ **给定约束条件为** $AB + CD = 0$

$$Y = A\bar{B}C\bar{D} + \bar{A}BC\bar{D} + \bar{A}B\bar{C} + \bar{A}\bar{C}D$$

$$ABCD + ABC\bar{D} + AB\bar{C}D + AB\bar{C}\bar{D}$$
$$+\bar{A}BCD + \bar{A}\bar{B}CD + A\bar{B}CD = 0$$

AB \ CD	00	01	11	10
00		1	×	
01	1	1	×	1
11	×	×	×	×
10			×	1

因此
$$\begin{cases} Y = B + \bar{A}D + AC \\ AB + CD = 0 \end{cases}$$

例题 $Y(ABCD)=\sum m(0,1,2,4,5,9)+\sum d(7,8,10,11,12,13)$

$$\begin{cases} Y=\overline{C}+\overline{B}\overline{D} \\ \sum d(7,8,10,11,12,13)=0 \end{cases}$$

AB \ CD	00	01	11	10
00	1	1		1
01	1	1	×	
11	×	×		
10	×	1	×	×

例题

$$Y=F(A,B,C,D)=\sum m(1,2,3,4,6,7,10,15)$$

AB \ CD	00	01	11	10
00		1	1	1
01	1		1	1
11			1	
10				1

$$Y=\bar{A}\bar{B}D+\bar{B}C\bar{D}+\bar{A}B\bar{D}+BCD$$

例题

$$Y(A,B,C,D)=\sum m(3,5,8,9,10,12)+\sum d(0,1,2,13)$$

AB \ CD	00	01	11	10
00	×	×	1	×
01		1		
11	1	×		
10	1	1		1

$$Y_2=\overline{A}\,\overline{B}+\overline{B}\,\overline{D}+A\overline{C}+\overline{C}D$$

第2章 门电路

学习要点：

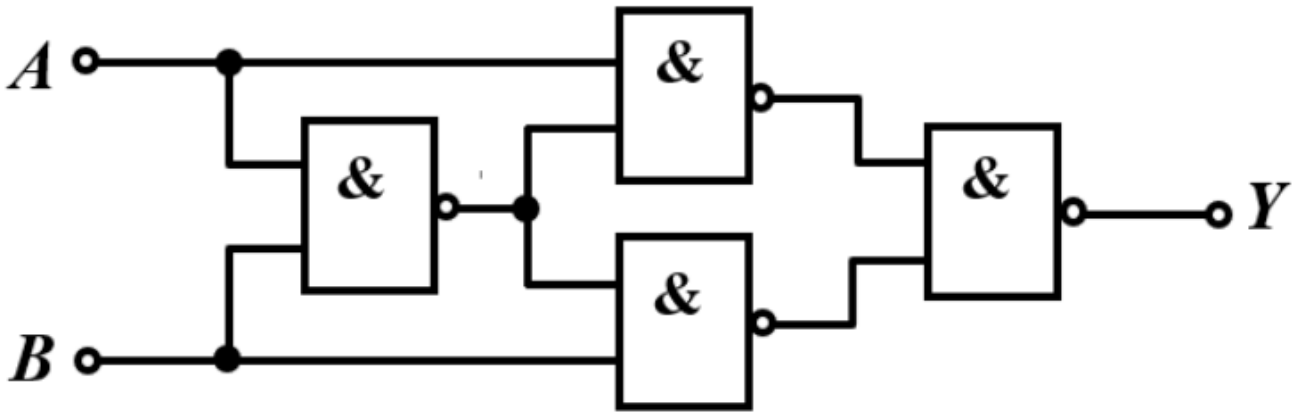
- 基本逻辑门电路的逻辑功能

2.1 半导体器件的开关特性

2.2 分立元件门电路

2.3 CMOS集成门电路

例题：试根据下图所示输入信号A、B的波形，对应画出组合逻辑电路Y的输出波形

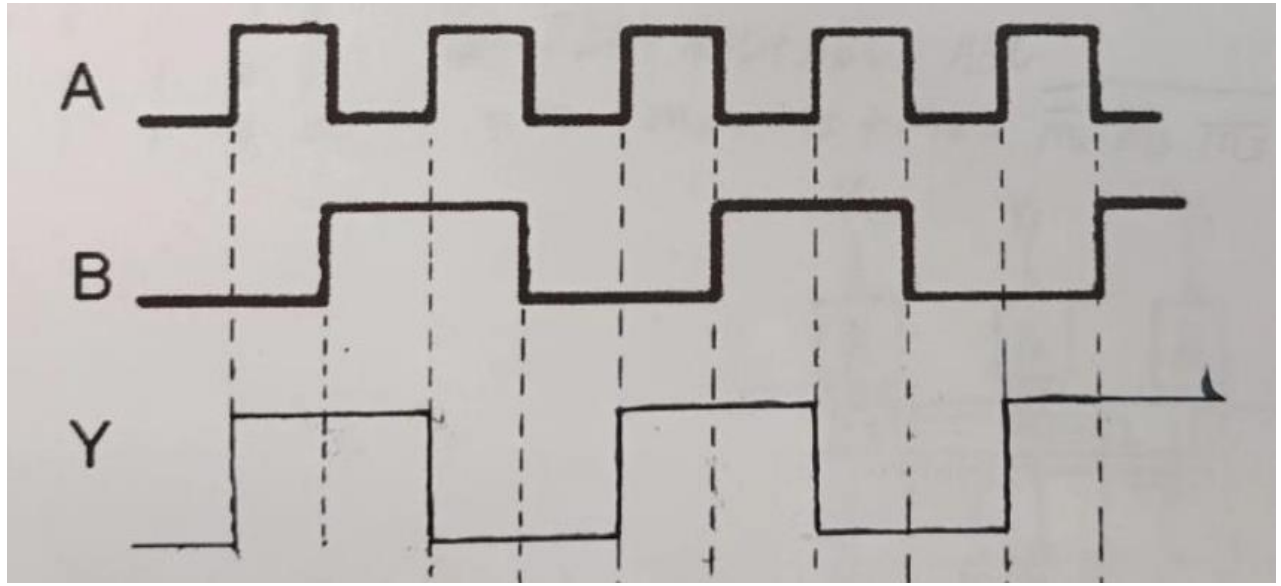


$$Y = \overline{\overline{A \cdot \overline{AB}} \cdot \overline{B \cdot \overline{AB}}}$$

$$= A \cdot \overline{AB} + B \cdot \overline{AB}$$

$$= A \cdot \overline{B} + B \cdot \overline{A}$$

$$= A \oplus B$$



第4章 组合逻辑电路

学习要点：

- 组合电路的分析方法和设计方法
- 利用数据选择器、译码器等进行逻辑设计的方法
- 加法器、编码器等中规模集成电路的逻辑功能和使用方法

重点掌握组合逻辑电路的分析与设计方法；
掌握常用的组合逻辑电路的逻辑功能。

组合逻辑电路的特点

一、组合逻辑电路的特点

$$\begin{cases} Y_0 = f_0(I_0, I_1, \cdots, I_{n-1}) \\ Y_1 = f_1(I_0, I_1, \cdots, I_{n-1}) \\ \quad\vdots \\ Y_{m-1} = f_{m-1}(I_0, I_1, \cdots, I_{n-1}) \end{cases}$$

组合逻辑电路的分析

电路功能描述

例： 用与非门设计一个举重裁判表决电路。设举重比赛有3个裁判，一个主裁判和两个副裁判，只有当两个或两个以上裁判判明成功，并且其中有一个为主裁判时，表明成功的灯才亮。

穷举法

1

设主裁判为变量A，副裁判分别为B和C；表示成功与否的灯为Y，根据逻辑要求列出真值表。

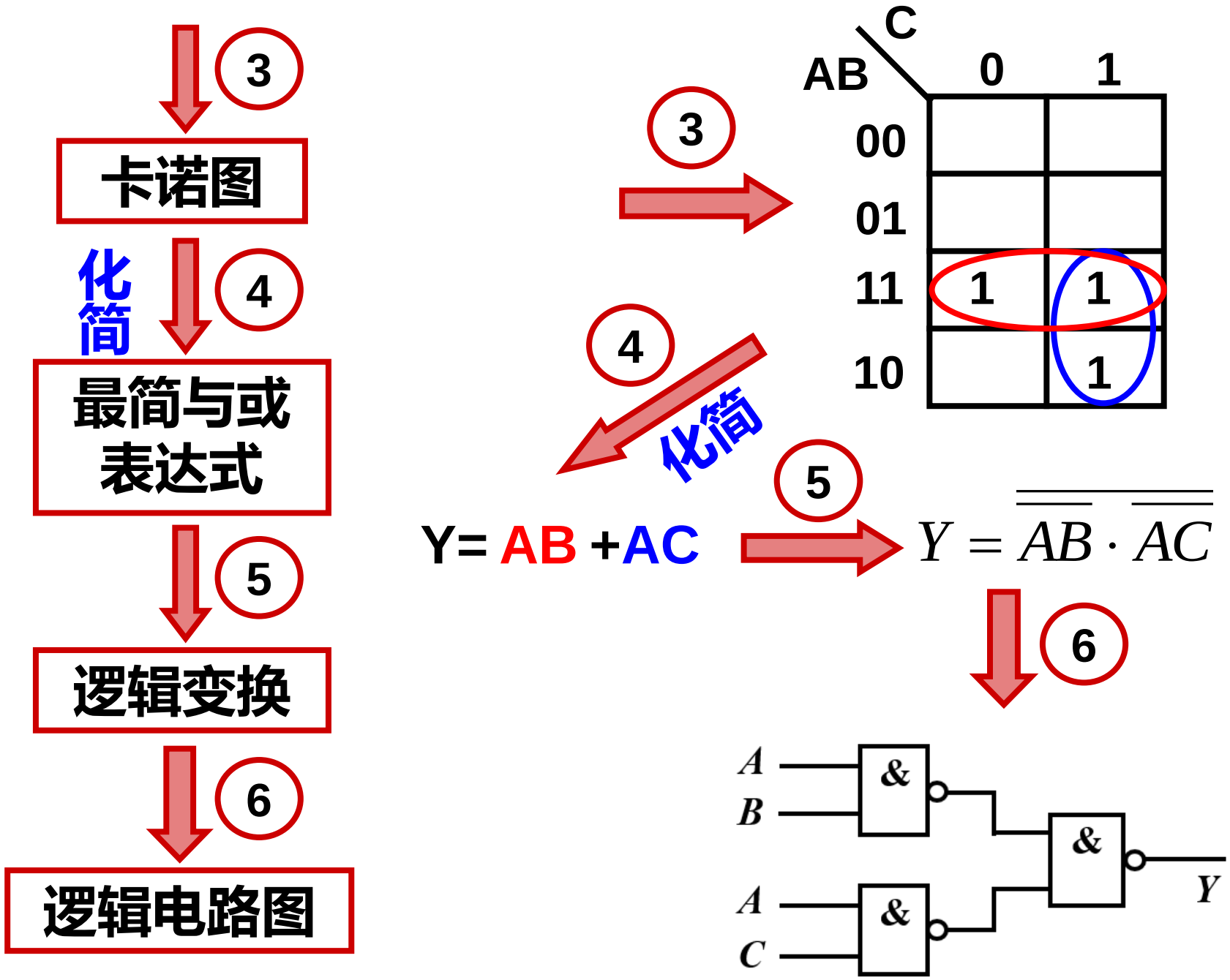
真值表

A	B	C	Y	A	B	C	Y
0	0	0	0	1	0	0	0
0	0	1	0	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	0	1	1	1	1

2

逻辑表达式

$$Y = m_5 + m_6 + m_7 = A\overline{B}C + AB\overline{C} + ABC$$


3
卡诺图
化简
4
最简与或表达式
5
逻辑变换
6
逻辑电路图
3
C
AB
0
1
00
01
11
10
1
1
1
4
化简
Y= AB +AC
5
$Y = \overline{\overline{AB} \cdot \overline{AC}}$
6
A
B
A
C
&
&
&
Y

组合逻辑电路的基本设计方法

电路功能描述

穷举法

1

真值表

例： 设计一个楼上、楼下开关的控制逻辑电路来控制楼梯上的路灯，使之在上楼前，用楼下开关打开电灯，上楼后，用楼上开关关灭电灯；或者在下楼前，用楼上开关打开电灯，下楼后，用楼下开关关灭电灯。

1

设楼上开关为A，楼下开关为B，灯泡为Y。并设A、B闭合时为1，断开时为0；灯亮时Y为1，灯灭时Y为0。根据逻辑要求列出真值表。

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

2

逻辑表达式
或卡诺图

化简 3

最简与或
表达式

4

逻辑变换

5

逻辑电路图

2

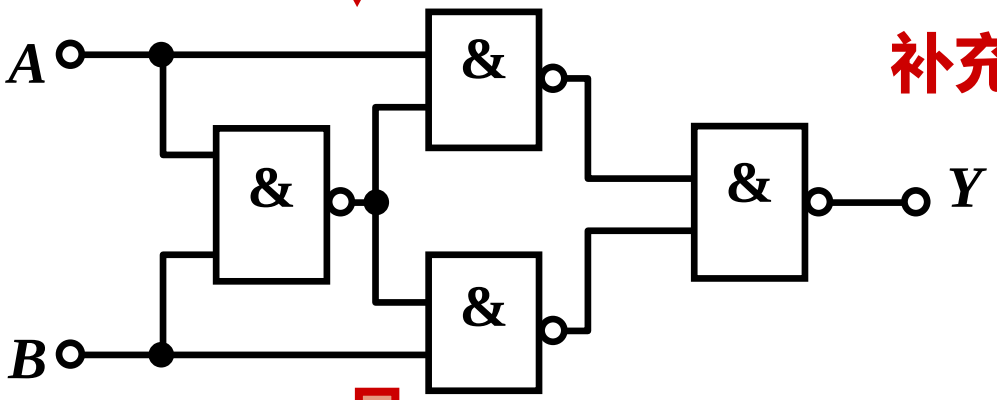
$$Y = \overline{A}B + A\overline{B}$$

已为最简与
或表达式

用与非
门实现

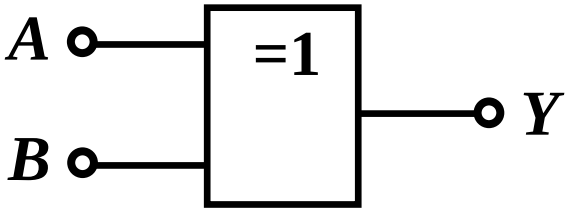
$$Y = \overline{\overline{\overline{A}B} \cdot \overline{A\overline{B}}}$$

补充: $\overline{A}B = \overline{AB} \cdot B$



用异或
门实现

$$Y = A \oplus B$$



例题：组合逻辑电路设计：用与非门设计一个监视交通信号灯工作状态的组合逻辑电路。有红、黄、绿三盏交通信号灯，正常情况下，必有一盏而且只能一盏灯点亮。其他情况都是故障灯，要发出故障信号。

答案：①定义红、黄、绿三盏交通信号灯输入对应R,A,G，故障信号输出为Z；②定义三盏信号灯，灯灭为0，灯亮为1；有故障时Z为1，否则为0。
根据逻辑抽象得，真值表

R	A	G	Z
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

R \ AG	00	01	11	10
0	1	0	1	0
1	0	1	1	1

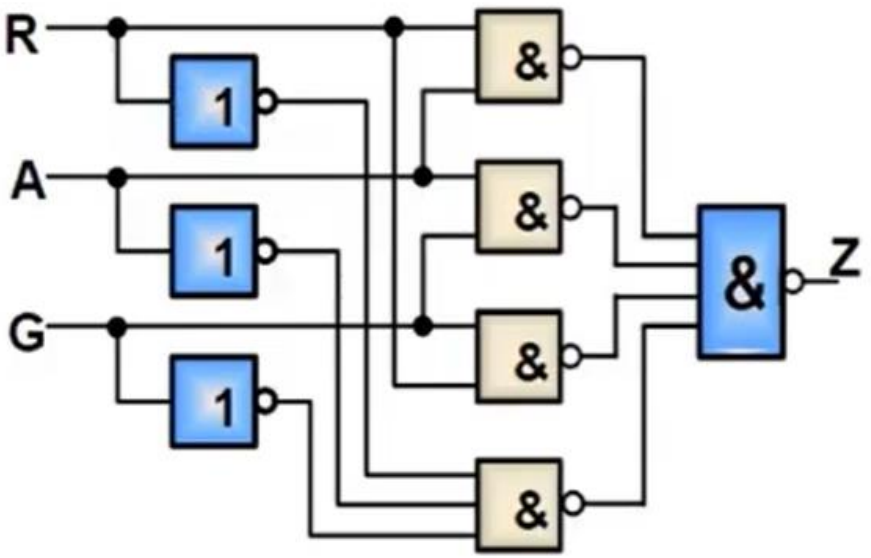
Z 的卡诺图

得逻辑表达式为：

$$Z = \bar{R}\bar{A}\bar{G} + RA + RG + GA$$

$$Z = \bar{\bar{Z}} = \overline{\overline{\bar{R}\bar{A}\bar{G} + RA + RG + GA}}$$

$$= \overline{\overline{\bar{R}\bar{A}\bar{G}} \cdot \overline{RA} \cdot \overline{RG} \cdot \overline{GA}}$$



半加器与全加器

一、半加器

能对两个1位二进制数进行相加而求得和及进位的逻辑电路称为半加器。

半加器真值表

A_i	B_i	S_i	C_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

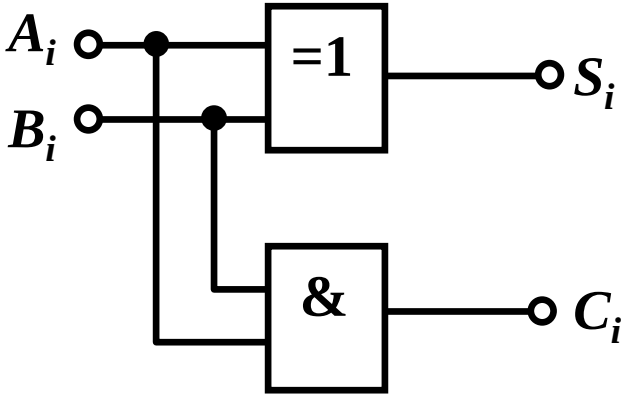
加数

本位的和

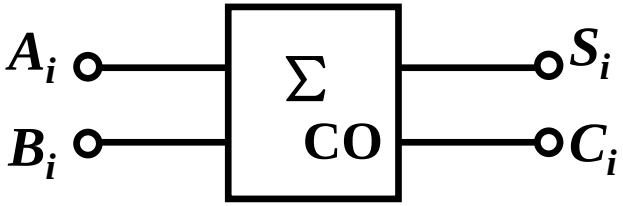
向高位的进位

$$S_i = \overline{A_i}B_i + A_i\overline{B_i} = A_i \oplus B_i$$

$$C_i = A_iB_i$$



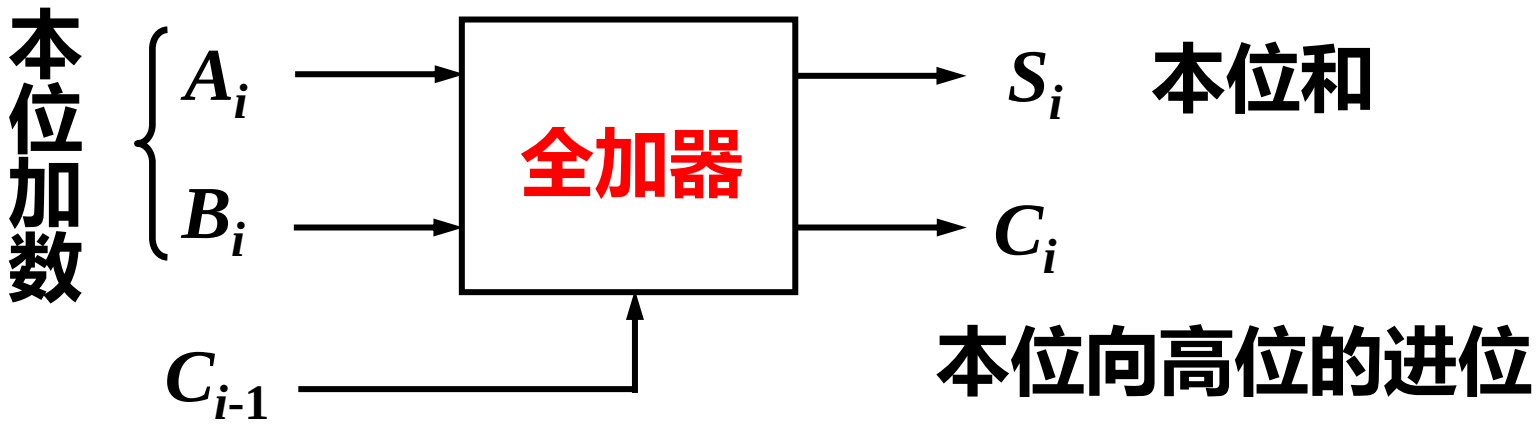
半加器电路图



半加器符号

二、全加器

能对两个1位二进制数进行相加并考虑低位来的进位，即相当于3个1位二进制数相加，求得和及进位的逻辑电路称为全加器。



二、全加器

全加器真值表：

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

A_i、B_i：加数，C_{i-1}：低位来的进位，S_i：本位的和，C_i：向高位的进位。

A_i \ $B_i C_{i-1}$	00	01	11	10
0	0	1	0	1
1	1	0	1	0

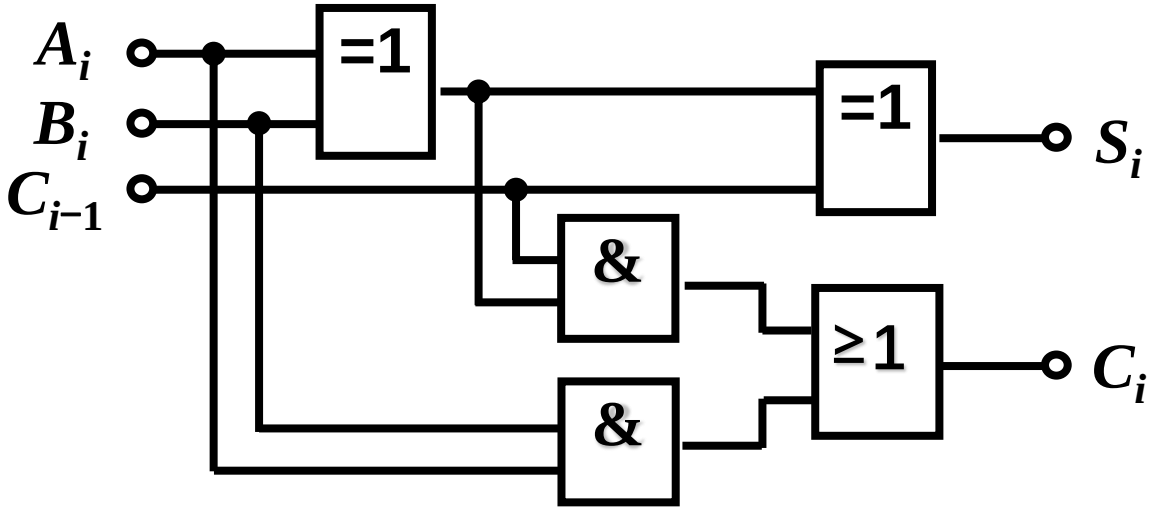
S_i 的卡诺图

$$S_i = m_1 + m_2 + m_4 + m_7$$
$$= A_i \oplus B_i \oplus C_{i-1}$$

A_i \ $B_i C_{i-1}$	00	01	11	10
0	0	0	1	0
1	0	1	1	1

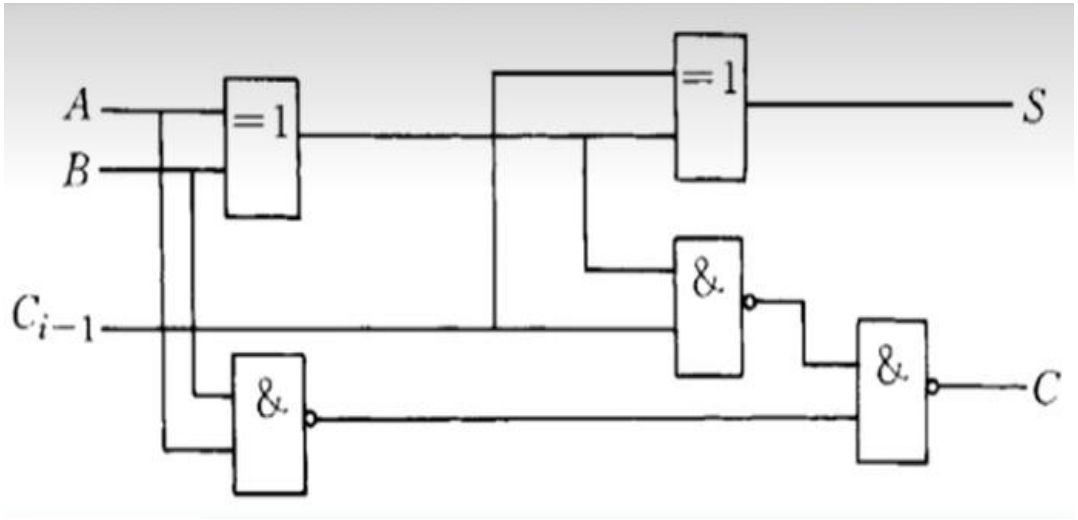
C_i 的卡诺图

$$C_i = m_3 + m_5 + A_i B_i$$



逻辑图

例题：试分析下图所示逻辑电路的功能



$$S = A \oplus B \oplus C_{i-1}$$

$$C = \overline{\overline{(A \oplus B)C_{i-1}} \cdot \overline{AB}}$$

$$= (A \oplus B)C_{i-1} + AB$$

$$= (\bar{A}B + A\bar{B})C_{i-1} + AB$$

$$= \bar{A}BC_{i-1} + A\bar{B}C_{i-1} + AB$$

真值表

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

为全加器逻辑电路图

编码器与译码器

二进制编码器：用n位二进制代码对$N = 2^n$个信号进行编码的电路

真值表

输入	输出 Y_2	Y_1	Y_0
I_0	0	0	0
I_1	0	0	1
I_2	0	1	0
I_3	0	1	1
I_4	1	0	0
I_5	1	0	1
I_6	1	1	0
I_7	1	1	1

输入相互排斥，任何时刻只能有一个输入信号有效

输入8个互斥的信号
输出3位二进制代码

二-十进制编码器

1、8421 BCD码编码器

真值表

输 入 I	输 出 Y_3	Y_2	Y_1	Y_0
$0(I_0)$	0	0	0	0
$1(I_1)$	0	0	0	1
$2(I_2)$	0	0	1	0
$3(I_3)$	0	0	1	1
$4(I_4)$	0	1	0	0
$5(I_5)$	0	1	0	1
$6(I_6)$	0	1	1	0
$7(I_7)$	0	1	1	1
$8(I_8)$	1	0	0	0
$9(I_9)$	1	0	0	1

输入 10个互斥的数码

输出 4位二进制代码

输 入 I	输 出 Y_3	Y_2	Y_1	Y_0
$0(I_0)$	0	0	0	0
$1(I_1)$	0	0	0	1
$2(I_2)$	0	0	1	0
$3(I_3)$	0	0	1	1
$4(I_4)$	0	1	0	0
$5(I_5)$	0	1	0	1
$6(I_6)$	0	1	1	0
$7(I_7)$	0	1	1	1
$8(I_8)$	1	0	0	0
$9(I_9)$	1	0	0	1

逻辑表达式

$$Y_3 = I_8 + I_9 = \overline{\overline{I}_8 \overline{I}_9}$$

$$Y_2 = I_4 + I_5 + I_6 + I_7$$

$$= \overline{\overline{I}_4 \overline{I}_5 \overline{I}_6 \overline{I}_7}$$

$$Y_1 = I_2 + I_3 + I_6 + I_7$$

$$= \overline{\overline{I}_2 \overline{I}_3 \overline{I}_6 \overline{I}_7}$$

$$Y_0 = I_1 + I_3 + I_5 + I_7 + I_9$$

$$= \overline{\overline{I}_1 \overline{I}_3 \overline{I}_5 \overline{I}_7 \overline{I}_9}$$

逻辑表达式

$$Y_3 = I_8 + I_9$$

$$= \overline{\overline{I}_8 \overline{I}_9}$$

$$Y_2 = I_4 + I_5 + I_6 + I_7$$

$$= \overline{\overline{I}_4 \overline{I}_5 \overline{I}_6 \overline{I}_7}$$

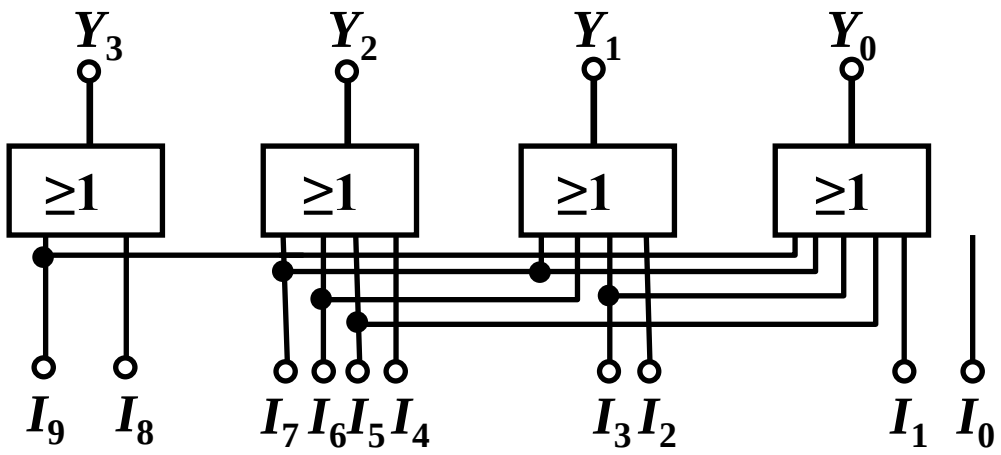
$$Y_1 = I_2 + I_3 + I_6 + I_7$$

$$= \overline{\overline{I}_2 \overline{I}_3 \overline{I}_6 \overline{I}_7}$$

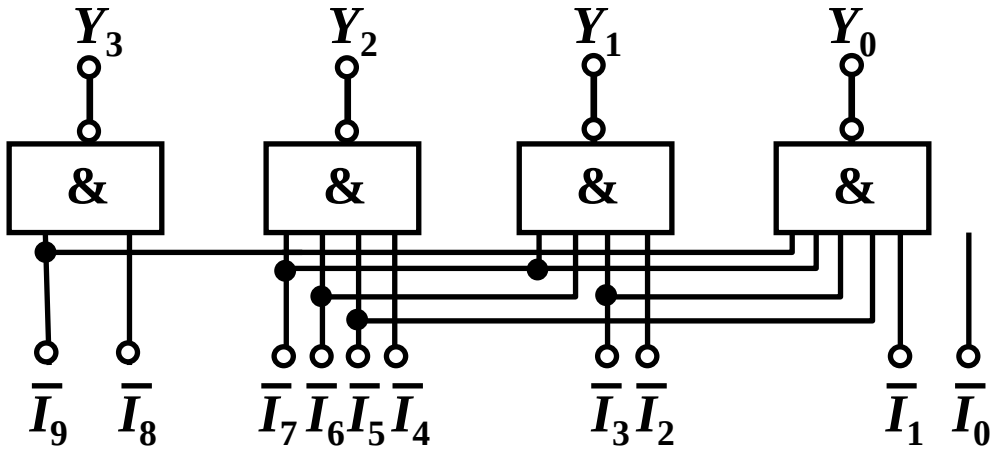
$$Y_0 = I_1 + I_3 + I_5 + I_7 + I_9$$

$$= \overline{\overline{I}_1 \overline{I}_3 \overline{I}_5 \overline{I}_7 \overline{I}_9}$$

逻辑图



(*a*)由或门构成



(*b*)由与非门构成

译码器

把代码状态的特定含义翻译出来的过程称为译码，实现译码操作的电路称为**译码器**。

译码器就是把一种代码转换为另一种代码的电路。

一、二进制译码器

把二进制代码的各种状态，按其原意翻译成对应输出信号的电路。

设二进制译码器的输入端为n位二进制代码，则输出端为2^n个，且对应于输入代码的每一种状态，2^n个输出中只有一个为1（或为0），其余全为0（或为1）。

译码器的输出任何时刻都只有一个有效。

二进制译码器可以译出输入变量的全部状态，故又称为**变量译码器**。

3位二进制译码器

真值表

输入			输出							
A_2	A_1	A_0	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

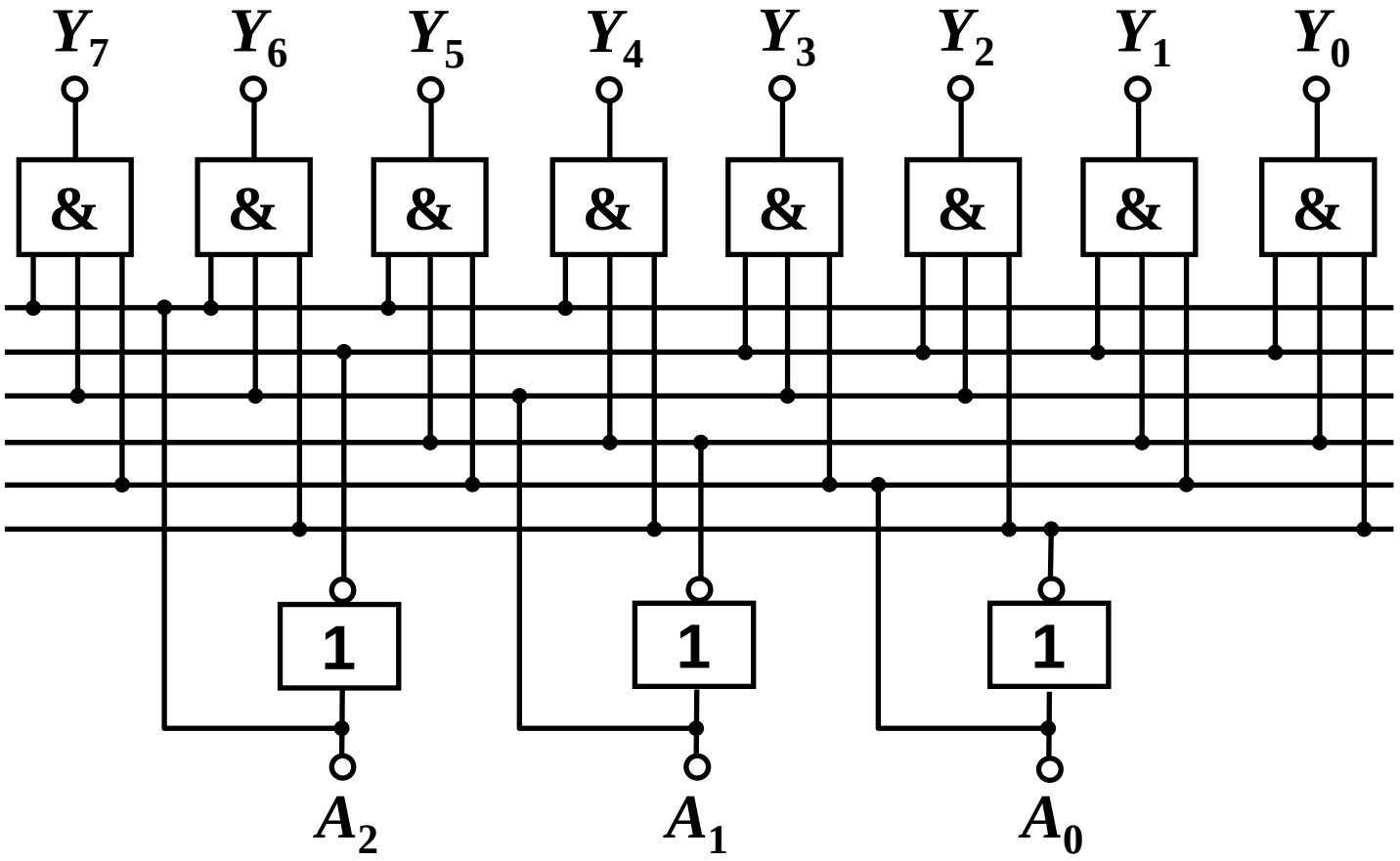
输入：3位二进制代码　　**输出**：8个互斥的信号

逻辑表达式

$$
\begin{cases}
Y_0 = \overline{A}_2\overline{A}_1\overline{A}_0 \\
Y_1 = \overline{A}_2\overline{A}_1 A_0 \\
Y_2 = \overline{A}_2 A_1\overline{A}_0 \\
Y_3 = \overline{A}_2 A_1 A_0 \\
Y_4 = A_2\overline{A}_1\overline{A}_0 \\
Y_5 = A_2\overline{A}_1 A_0 \\
Y_6 = A_2 A_1\overline{A}_0 \\
Y_7 = A_2 A_1 A_0
\end{cases}
$$

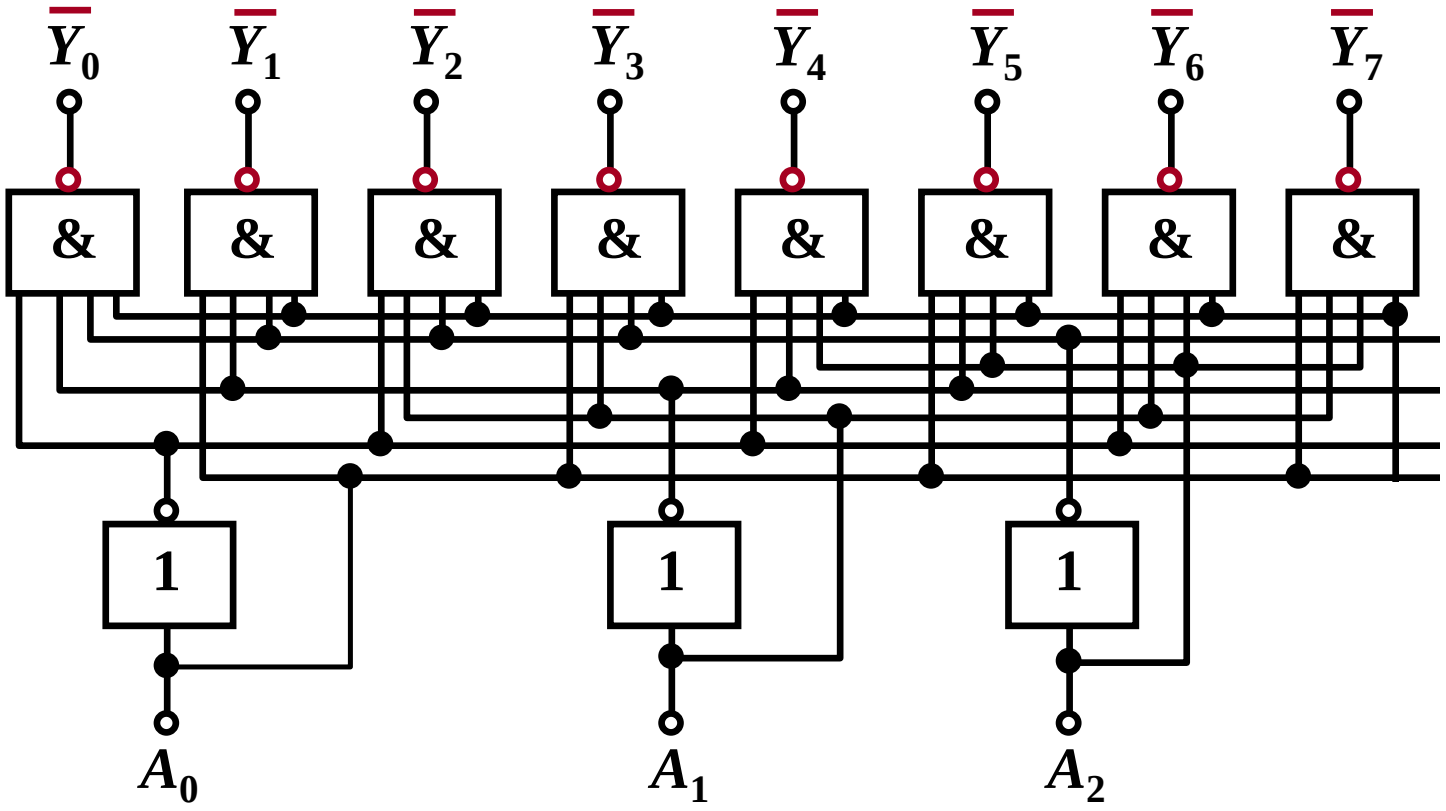
逻辑图

3线－8线译码器

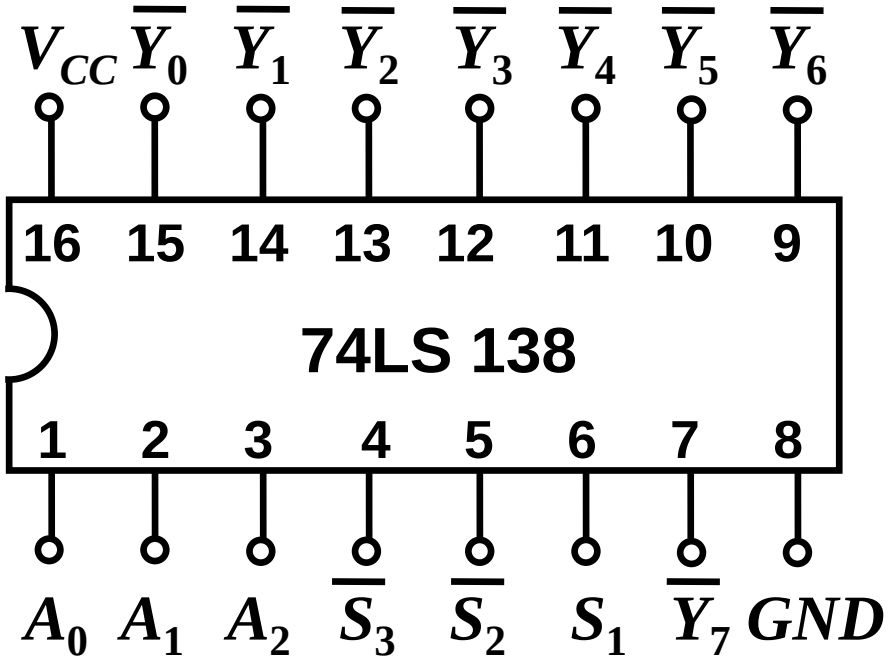


电路特点：与门组成的阵列

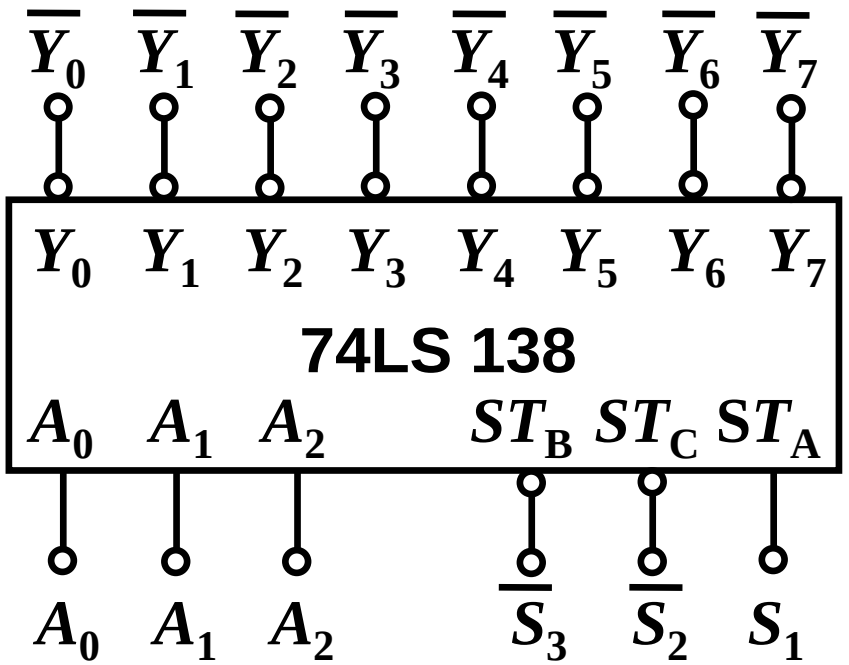
将与门换成与非门，则输出为反变量，即为低电平有效。



2、集成3位二进制译码器74LS138



(*a*)引脚排列图



(*b*)逻辑功能示意图

A_2、A_1、A_0为二进制译码输入端，$\overline{Y_7}\sim\overline{Y_0}$为译码输出端（低电平有效），$S_1$、$\overline{S_2}$、$\overline{S_3}$为选通控制端。当$S_1=1$、$\overline{S_2}+\overline{S_3}=0$时，译码器处于工作状态；当$S_1=0$或$\overline{S_2}+\overline{S_3}=1$时，译码器处于禁止状态，译码器的输出端全为1。只有当$S_1=1$、$\overline{S_2+S_3}=0$时，译码器正常运行。

真值表

输入					输出							
使能		选择										
S_1	$\overline{S_2}+\overline{S_3}$	A_2	A_1	A_0	$\overline{Y_7}$	$\overline{Y_6}$	$\overline{Y_5}$	$\overline{Y_4}$	$\overline{Y_3}$	$\overline{Y_2}$	$\overline{Y_1}$	$\overline{Y_0}$
×	1	×	×	×	1	1	1	1	1	1	1	1
0	×	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	1	0	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	0	1	1	1	1	1
1	0	1	1	0	1	0	1	1	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1	1	1

输入：自然二进制码

输出：低电平有效

例题：设计集成二进制译码器74LS138和与非门构成全加器和全减器

全加器真值表

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$S_i = \bar{A}_i\bar{B}_iC_{i-1} + \bar{A}_iB_i\bar{C}_{i-1} + A_i\bar{B}_i\bar{C}_{i-1} + A_iB_iC_{i-1}$$

$$C_i = \bar{A}_iB_iC_{i-1} + A_i\bar{B}_iC_{i-1} + A_iB_i\bar{C}_{i-1} + A_iB_iC_{i-1}$$

全减器真值表

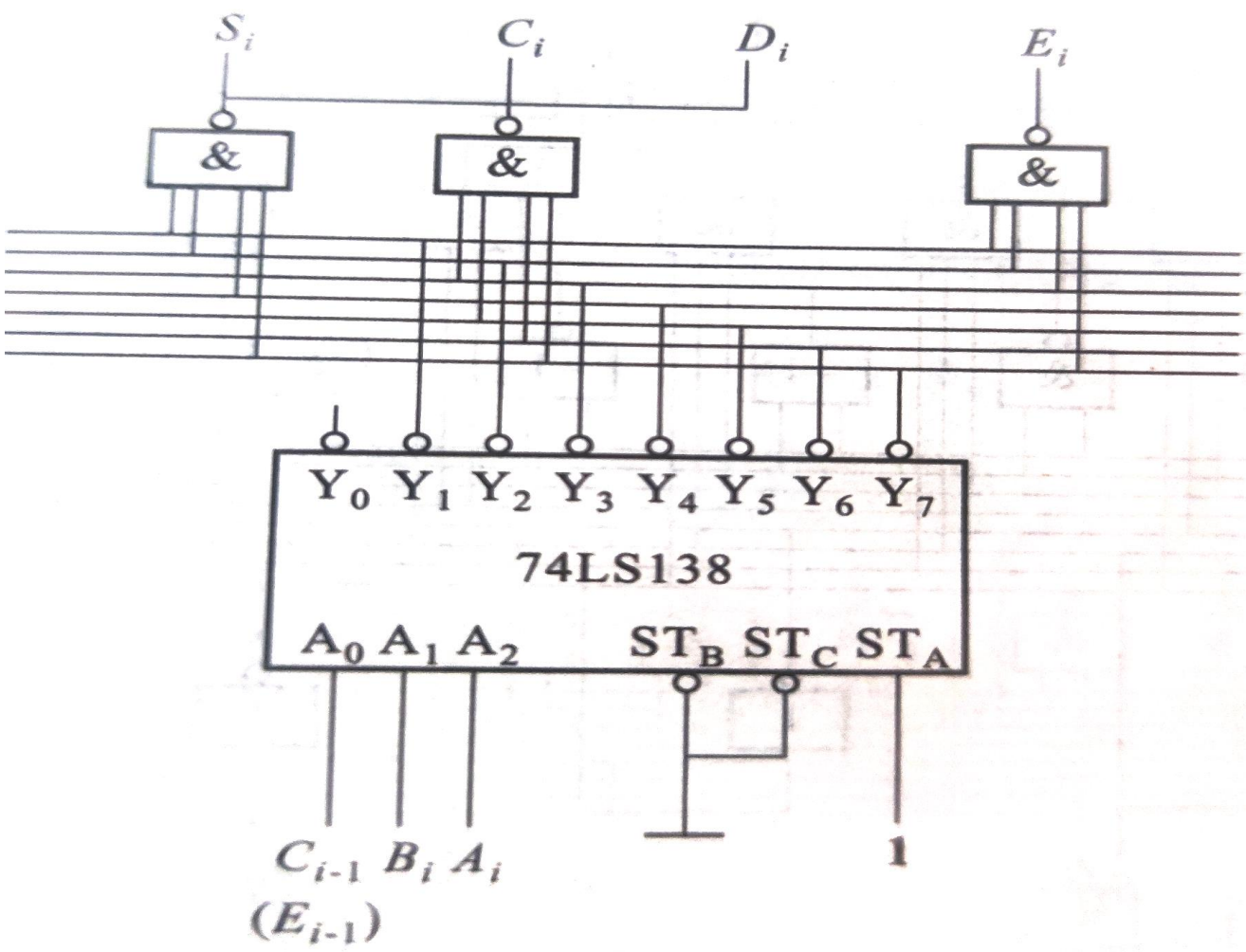
A_i	B_i	E_{i-1}	D_i	E_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$D_i = \bar{A}_i\bar{B}_iE_{i-1} + \bar{A}_iB_i\bar{E}_{i-1} + A_i\bar{B}_i\bar{E}_{i-1} + A_iB_iE_{i-1}$$

$$E_i = \bar{A}_i\bar{B}_iE_{i-1} + \bar{A}_iB_i\bar{E}_{i-1} + \bar{A}_iB_iE_{i-1} + A_iB_iE_{i-1}$$

$$S_i = \overline{A}_i\overline{B}_iC_{i-1} + \overline{A}_iB_i\overline{C}_{i-1} + A_i\overline{B}_i\overline{C}_{i-1} + A_iB_iC_{i-1}$$
$$= Y_1 + Y_2 + Y_4 + Y_7$$
$$= \overline{\overline{Y}_1 \cdot \overline{Y}_2 \cdot \overline{Y}_4 \cdot \overline{Y}_7}$$

$$C_i = \overline{A}_iB_iC_{i-1} + A_i\overline{B}_iC_{i-1} + A_iB_i\overline{C}_{i-1} + A_iB_iC_{i-1}$$
$$= Y_3 + Y_5 + Y_6 + Y_7$$
$$= \overline{\overline{Y}_3 \cdot \overline{Y}_5 \cdot \overline{Y}_6 \cdot \overline{Y}_7}$$



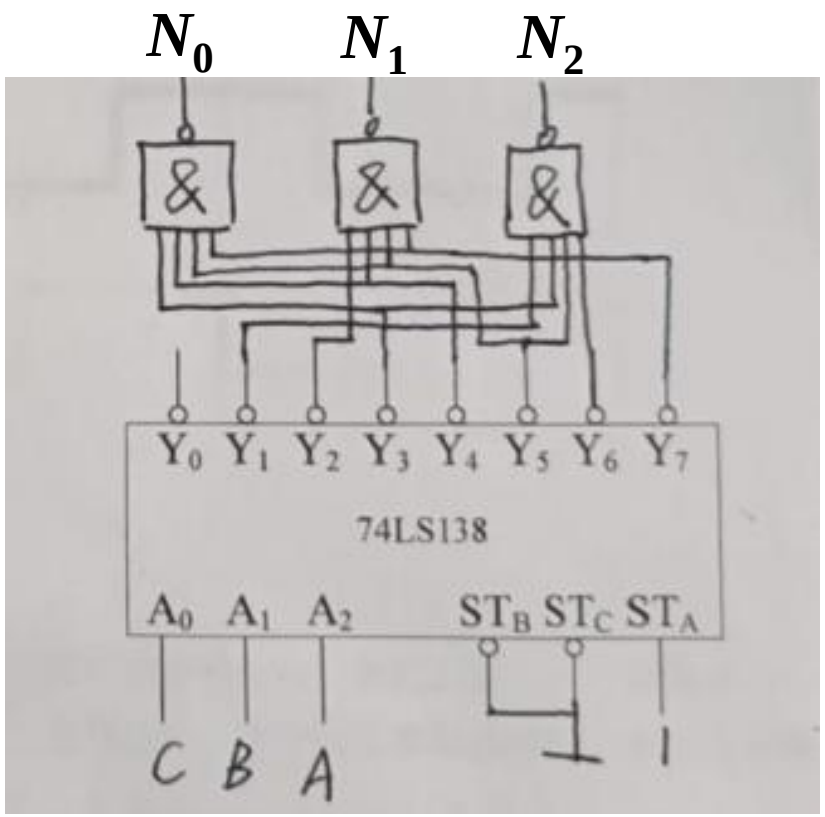
例题：用译码器74LS138设计一个组合逻辑电路，输入M、输出N均为3位二进制数，两者间保持下列数据关系，当3≤M≤5时，N=M+2；M>5时，N=M-1；当M＜3时，N=M

M			N		
A	B	C	N_0	N_1	N_2
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	1	0	1
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	1	0

$$N_0 = \bar{A}BC + A\bar{B}\bar{C} + \bar{A}B\bar{C} + AB\bar{C} + ABC$$
$$= m_3 + m_4 + m_5 + m_6 + m_7$$
$$= \overline{\overline{m_3 + m_4 + m_5 + m_6 + m_7}}$$
$$= \overline{\overline{m_3} \cdot \overline{m_4} \cdot \overline{m_5} \cdot \overline{m_6} \cdot \overline{m_7}}$$
$$= \overline{\overline{Y_3} \cdot \overline{Y_4} \cdot \overline{Y_5} \cdot \overline{Y_6} \cdot \overline{Y_7}}$$

$$N_1 = \bar{A}B\bar{C} + A\bar{B}\bar{C} + A\bar{B}C + ABC$$
$$= m_2 + m_4 + m_5 + m_7$$
$$= \overline{\overline{Y_2} \cdot \overline{Y_4} \cdot \overline{Y_5} \cdot \overline{Y_7}}$$

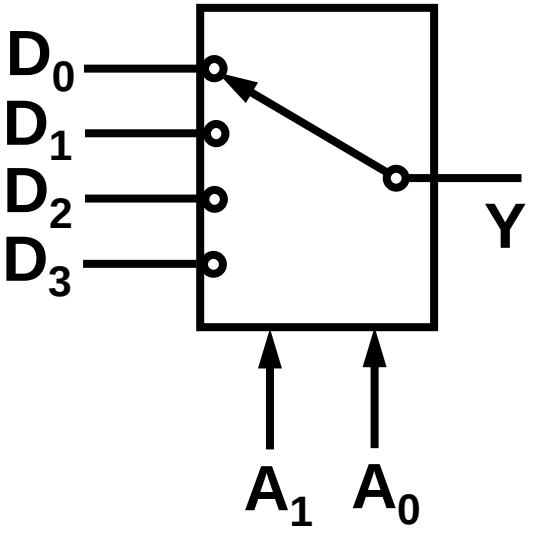
$$N_2 = \bar{A}\bar{B}C + \bar{A}BC + A\bar{B}C + AB\bar{C}$$
$$= m_1 + m_3 + m_5 + m_7$$
$$= \overline{\overline{Y_1} \cdot \overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_7}}$$



3.4 数据选择器

常用的4选1数据选择器

逻辑抽象（输入、出信号分析，选择控制信号状态约定，真值表）、**列逻辑表达式、画逻辑图**



输入数据

地址变量

真值表

输入 D	A_1	A_0	输出 Y
D_0	0	0	D_0
D_1	0	1	D_1
D_2	1	0	D_2
D_3	1	1	D_3

由地址码决定从4路输入中选择哪1路输出。

逻辑表达式

$$Y = D_0\overline{A}_1\overline{A}_0 + D_1\overline{A}_1A_0 + D_2A_1\overline{A}_0 + D_3A_1A_0 = \sum_{i=0}^{3} D_i m_i$$

例题：用数据选择器实现以下组合逻辑函数

$$Y=\overline{(A\oplus C)\cdot\overline{(A\bar{B}\bar{C}+\bar{A}\bar{B}C)}}$$

$$Y=\overline{A\oplus C\cdot\overline{\bar{B}(A\bar{C}+\bar{A}C)}}$$

$$=\overline{A\oplus C}+\bar{B}(A\bar{C}+\bar{A}C)$$

$$=\overline{A\bar{C}+\bar{A}C}+\bar{B}(A\bar{C}+\bar{A}C)$$

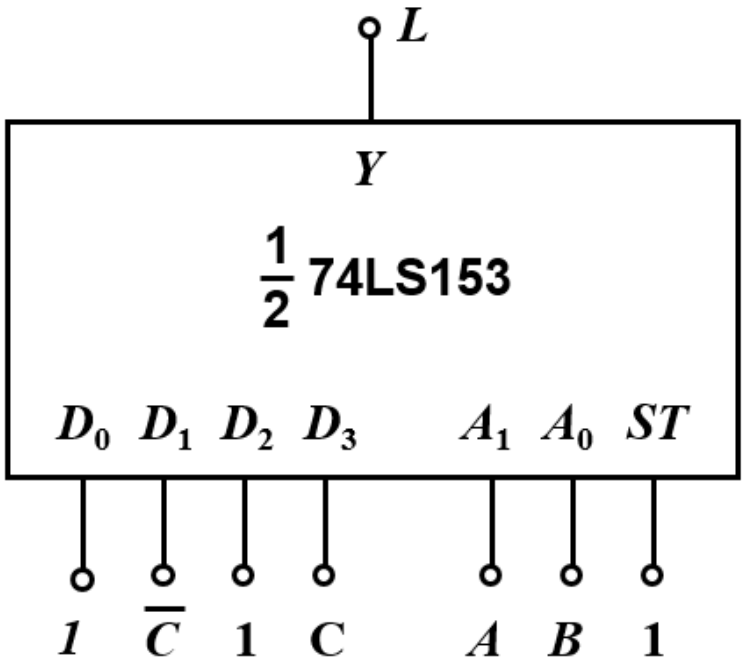
$$=(\bar{A}+C)(A+\bar{C})+\bar{B}(A\bar{C}+\bar{A}C)$$

$$=\bar{A}\bar{C}+AC+A\bar{B}\bar{C}+\bar{A}\bar{B}C$$

$$=\bar{A}\bar{C}+AC+A\bar{B}\bar{C}+\bar{A}\bar{B}C$$

$$=\bar{A}(\bar{B}+B)C+A(B+\bar{B})\bar{C}+\bar{A}\bar{B}C+\bar{A}\bar{B}C$$

$$=\bar{A}\bar{B}(C+\bar{C})+\bar{A}B\bar{C}+A\bar{B}(C+\bar{C})+ABC$$



$$D_0=1,\ D_1=\bar{C},\ D_2=1,\ D_3=C$$

例题：用如图所示的8选1数据选择器CT74LS151实现下列函数

$$Y(A,B,C,D)=\sum m(1,5,6,7,9,11,12,13,14)$$

（1）写出标准与或式

$$Y(A,B,C,D)=\bar{A}\bar{B}\bar{C}D+\bar{A}B\bar{C}D+\bar{A}BC\bar{D}+\bar{A}BCD$$
$$+A\bar{B}\bar{C}D+A\bar{B}CD+AB\bar{C}\bar{D}+AB\bar{C}D+ABC\bar{D}$$
$$=\bar{A}\bar{B}\bar{C}D+\bar{A}B\bar{C}D+\bar{A}BC+A\bar{B}\bar{C}D+A\bar{B}CD+AB\bar{C}+ABC\bar{D}$$

（2）确定数据选择器输入变量的表达式

8选1数据选择器表达式

$$Y'=D_0\bar{A}_2\bar{A}_1\bar{A}_0+D_1\bar{A}_2\bar{A}_1A_0+D_2\bar{A}_2A_1\bar{A}_0+D_3\bar{A}_2A_1A_0$$
$$+D_4A_2\bar{A}_1\bar{A}_0+D_5A_2\bar{A}_1A_0+D_6A_2A_1\bar{A}_0+D_7A_2A_1A_0$$

比较两个表达式，确定两者相等的条件，确定数据选择器各个输入变量

$$Y = \bar{A}\bar{B}\bar{C}D + \bar{A}B\bar{C}D + \bar{A}BC + A\bar{B}\bar{C}D + A\bar{B}CD + AB\bar{C} + ABC\bar{D}$$

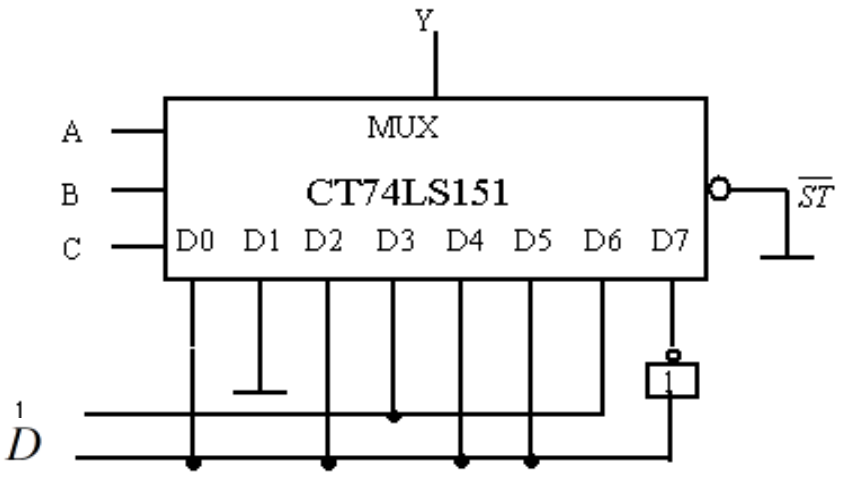
$$\boldsymbol{Y' = D_0\bar{A}_2\bar{A}_1\bar{A}_0 + D_1\bar{A}_2\bar{A}_1A_0 + D_2\bar{A}_2A_1\bar{A}_0 + D_3\bar{A}_2A_1A_0}$$
$$\boldsymbol{+D_4A_2\bar{A}_1\bar{A}_0 + D_5A_2\bar{A}_1A_0 + D_6A_2A_1\bar{A}_0 + D_7A_2A_1A_0}$$

比较两式可得：

$A_2 = A,\ A_1 = \mathrm{B},\ A_0 = \mathrm{C}$

$D_0 = D, D_1 = 0, D_2 = D, D_3 = 1, D_4 = D,$

$D_5 = D, D_6 = 1, D_7 = \bar{D}$



第5章　触 发 器

触发器： 存放二进制数字信号和两状态逻辑信号的单元电路。

一个触发器能保存一位二进制信息 。

触发器的必备特点：

1．具有两个能自行保持的稳态（1态或0态）；

2．外加触发信号时，电路的输出状态可以翻转；

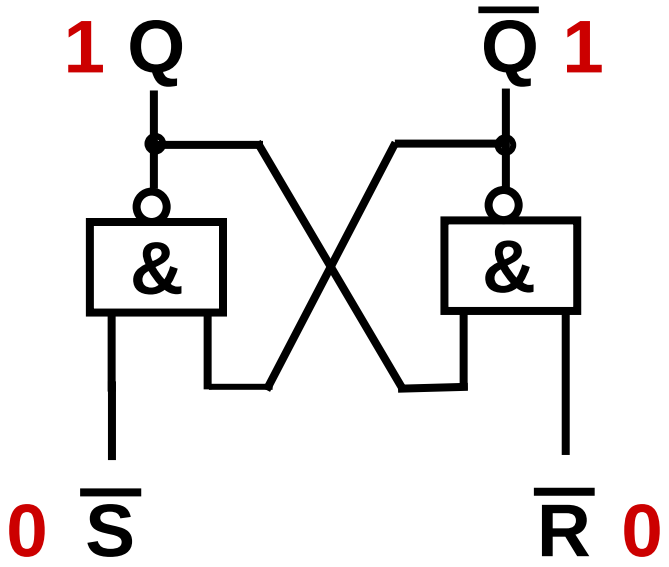
3．在触发信号消失后，能将获得的新态保存下来。

基本要求： 具有两个稳定的状态：1状态和0状态，能接收、保持、输出信号

重点掌握掌握RS、JK、D和T触发器的逻辑符号、逻辑功能表示方法、触发方式及触发器间的相互转换。

基本RS触发器

- **工作原理**

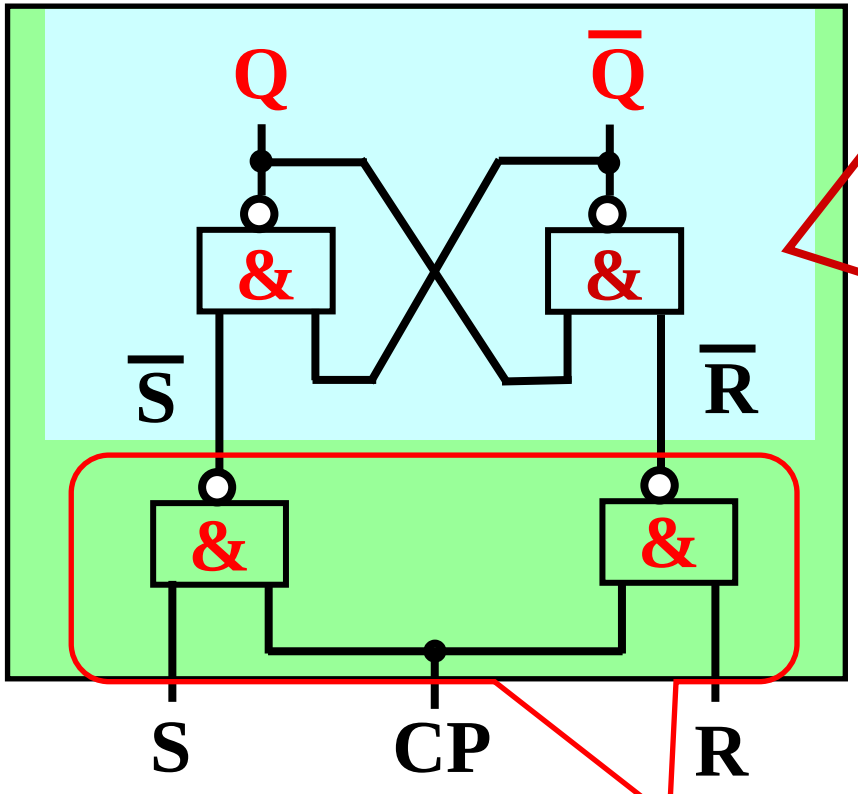


$\overline{R}$	$\overline{S}$	Q	$\overline{Q}$	
0	1	0	1	(复位)
1	0	1	0	(置位)
1	1	保持		
0	0	不定（约束）		

特性方程：

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^{n} \\ RS = 0 \text{（约束条件）} \end{cases}$$

同步RS触发器



基本RS触发器

输入控制

功能表

CP	R	S	Q^{n+1}
1	0	0	Q^n
1	0	1	1
1	1	0	0
1	1	1	×
0	×	×	Q^n

- **特性方程：**

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \end{cases}$$

CP = 1期间有效

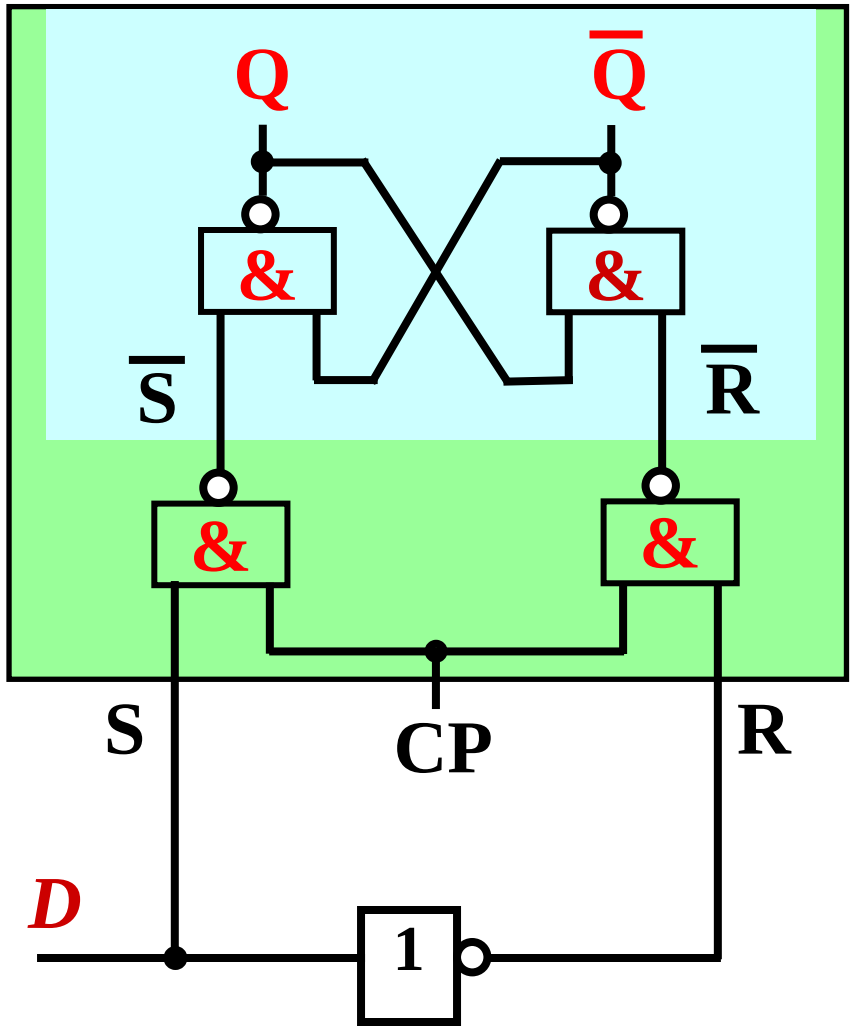
CP = 0期间保持

R、S 控制端

CP: 时钟脉冲 (Clock Pulse)

同步D触发器

- **特性方程：**



将S=D、R=$\overline{D}$代入同步RS触发器的特性方程，得同步D触发器的**特性方程**：

$$\begin{cases} Q^{n+1} = S+\overline{R}Q^n \\ RS=0 \end{cases}$$

令S=$\overline{R}$=D

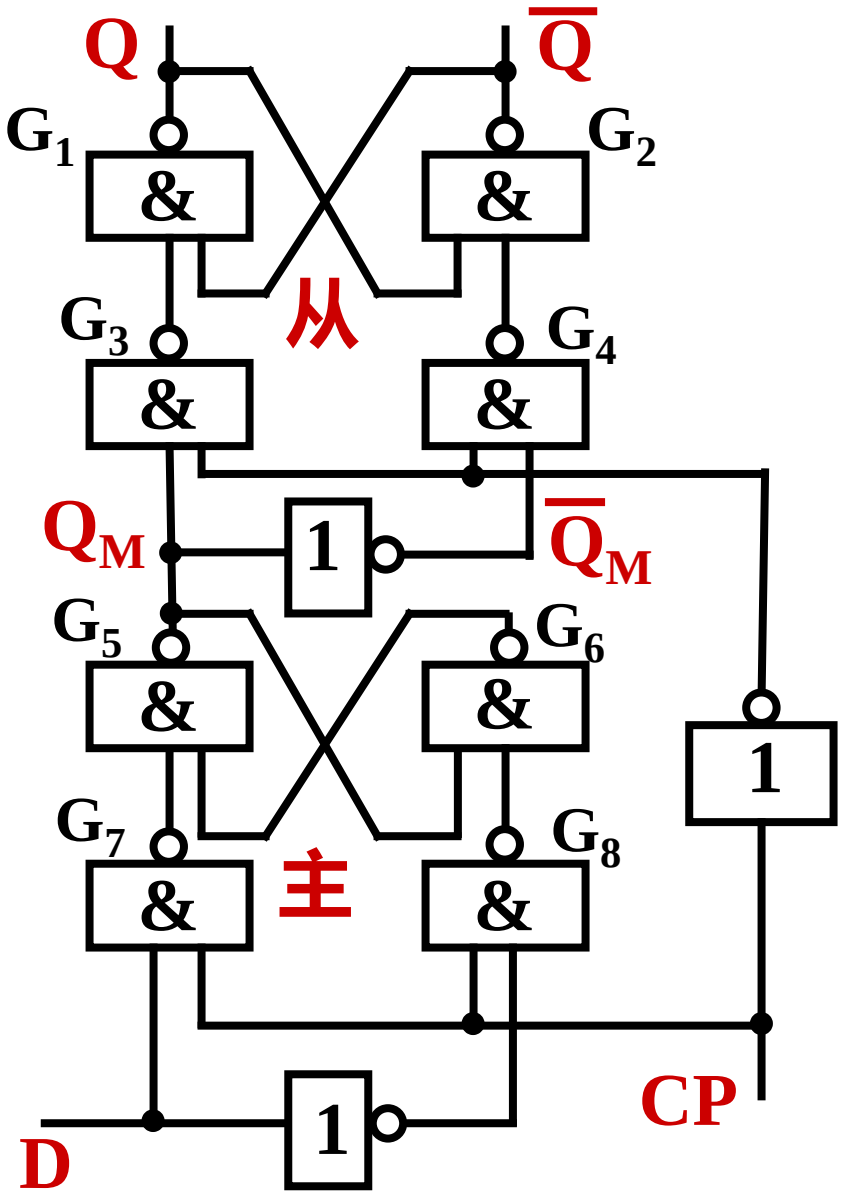
$$Q^{n+1} = S+\overline{R}Q^n$$

$$=D+DQ^n$$

$$=D$$

CP = 1期间有效

边沿D触发器



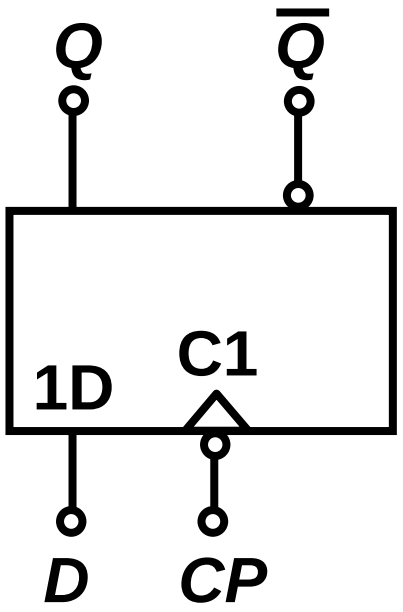
（1）CP = 0时

主触发器封门，Q_M保持
从触发器开门，$Q = Q_M$

（2）CP = 1时

主触发器开门，$Q_M = D$，
Q_M “跟随” D变化。
从触发器封门，Q信号被锁存。

（3）CP下降沿到来时，主触发器锁存CP下降时刻D的值，即Q_M=D，随后将该值送入从触发器，使Q=D、Q=D。



国标符号

Q^{n+1}=D

下降沿时刻有效

边沿JK触发器

以用边沿D触发器构成的电路为例：

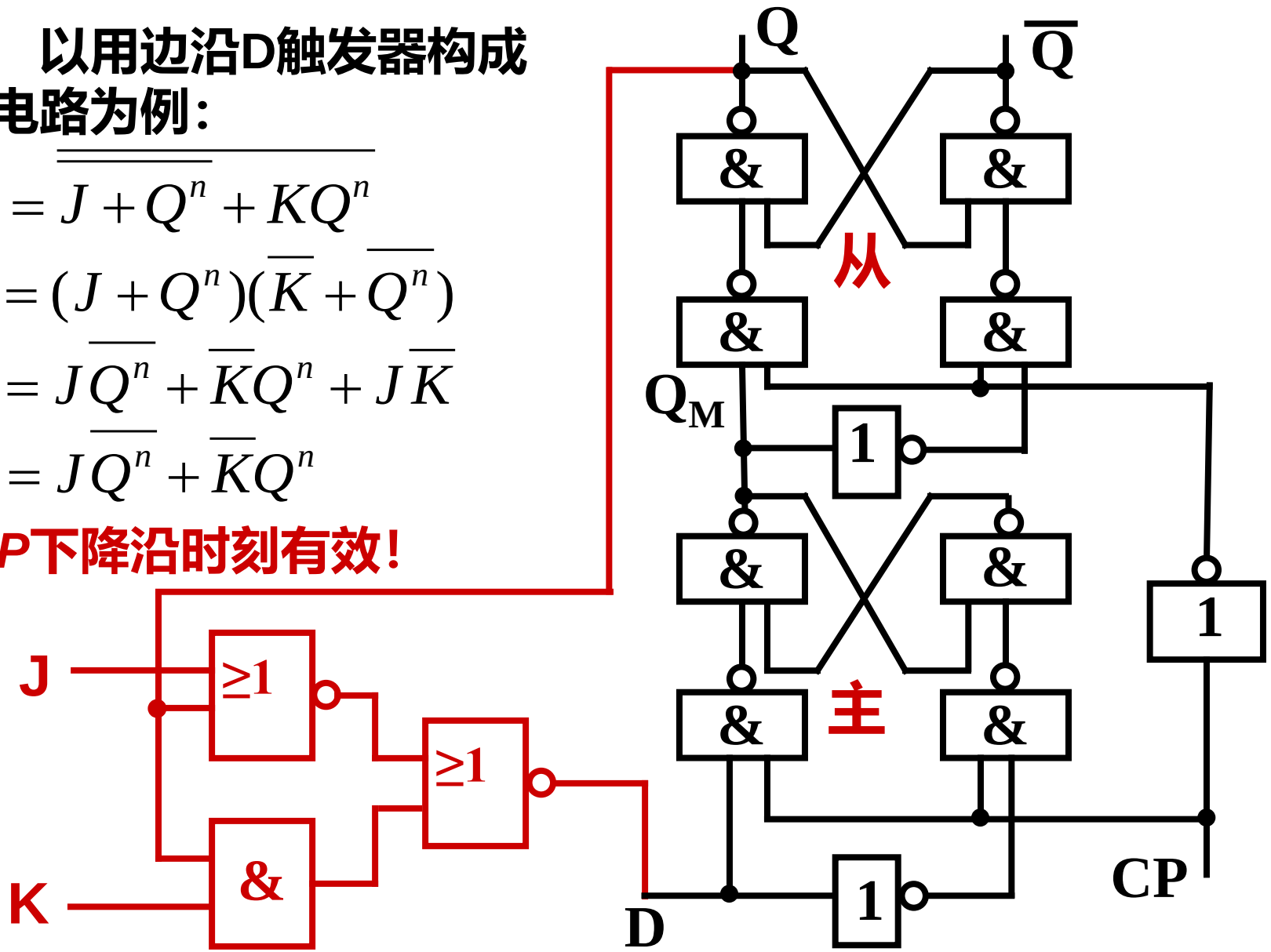
$$D=\overline{\overline{J+Q^n}+KQ^n}$$

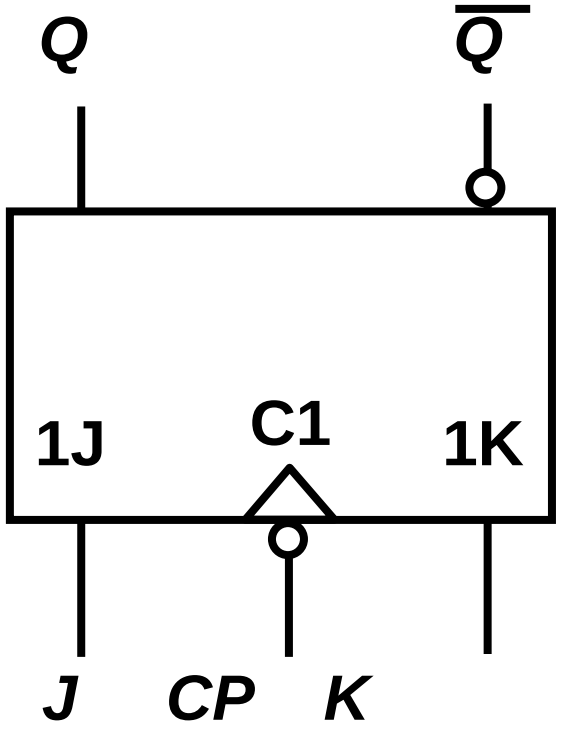
$$=(J+Q^n)(\overline{K}+\overline{Q^n})$$

$$=J\overline{Q^n}+\overline{K}Q^n+J\overline{K}$$

$$=J\overline{Q^n}+\overline{K}Q^n$$

*CP*下降沿时刻有效！





国际符号

$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$$

特性表

J	K	Q^{n+1}	说明
0	0	Q^n	保持
0	1	0	清0
1	0	1	置1
1	1	$\overline{Q^n}$	翻转

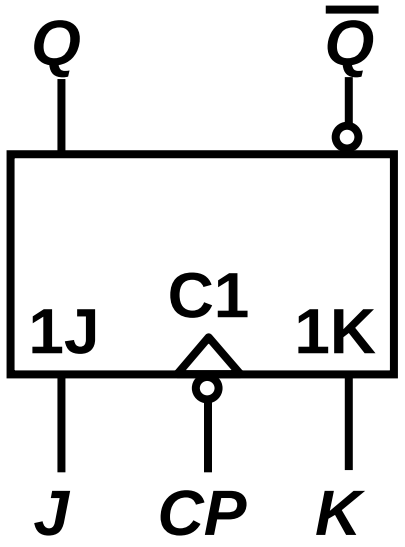
• 边沿JK触发器的特点

①时钟脉冲边沿触发。

②功能齐全，使用方便灵活。

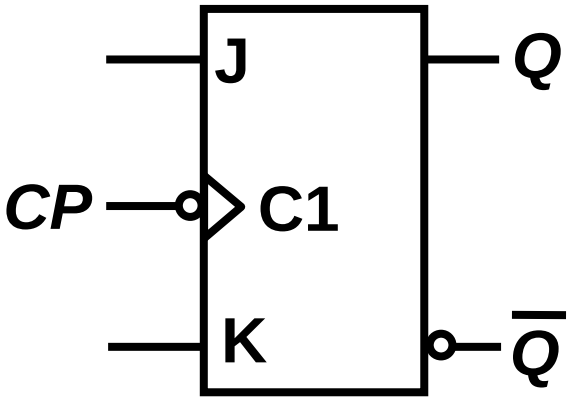
③抗干扰能力极强，工作速度很高。

• 边沿JK触发器的逻辑符号



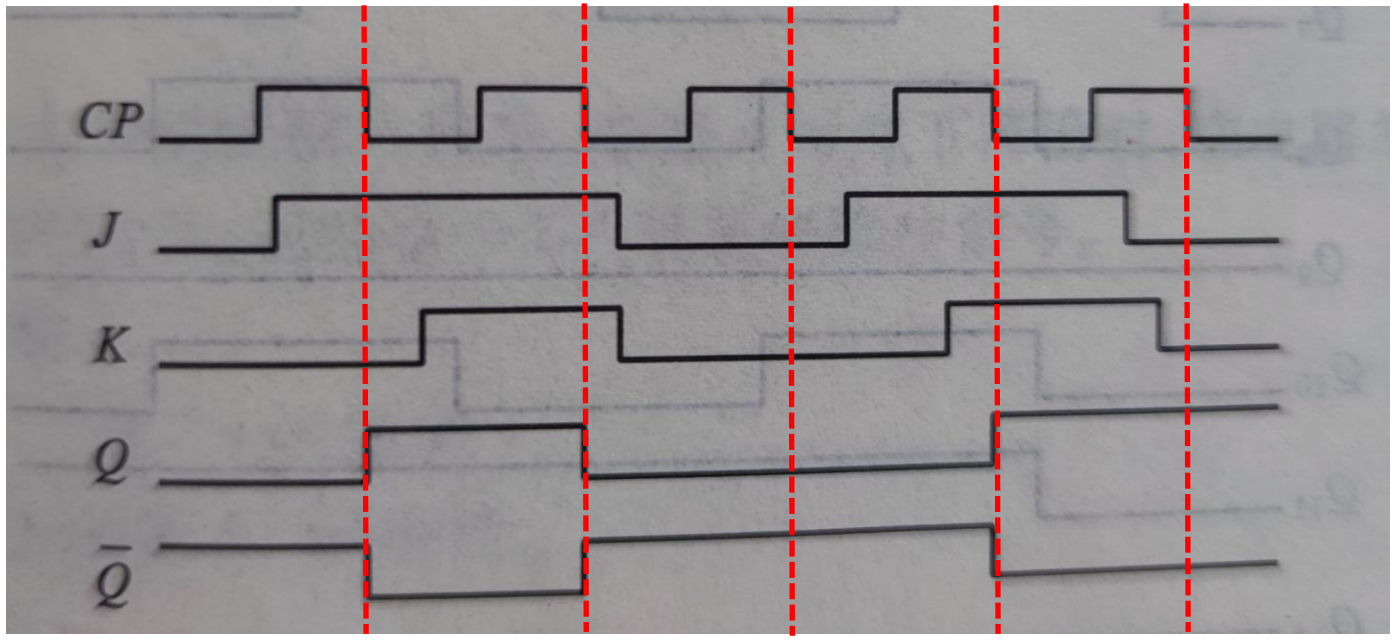
国际符号

例题：在CP下降沿触发的边沿JK触发器中，CP，J,K的波形如下图所示，试对应画出 $Q,\overline{Q}$ ，触发器起始状态为0

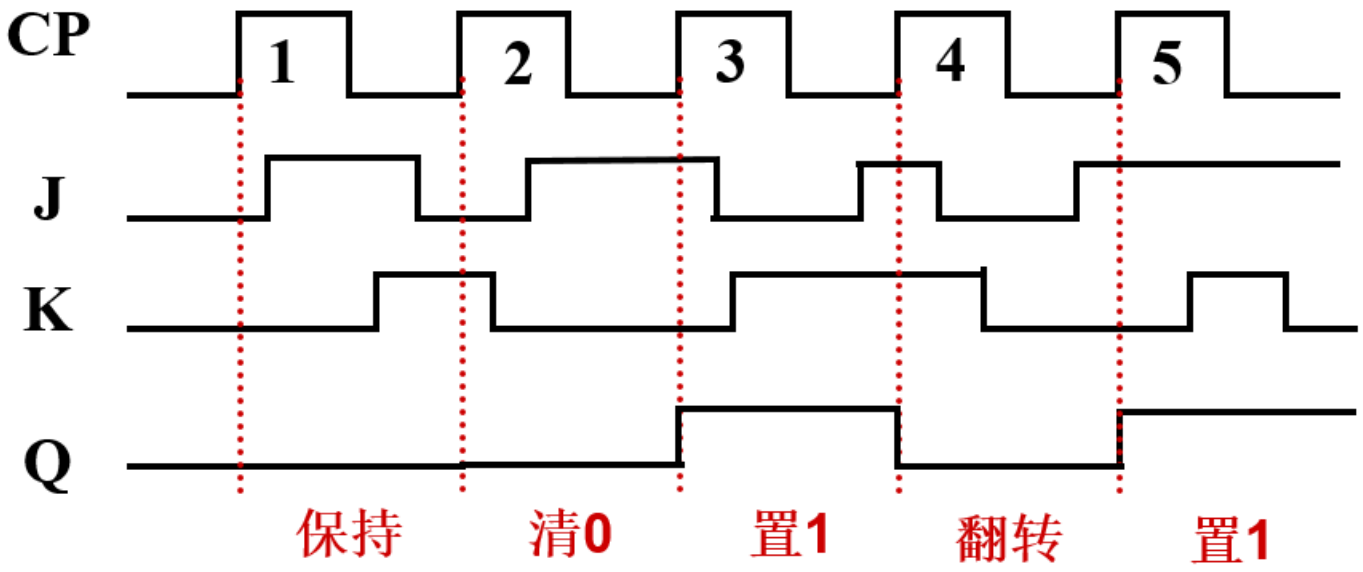


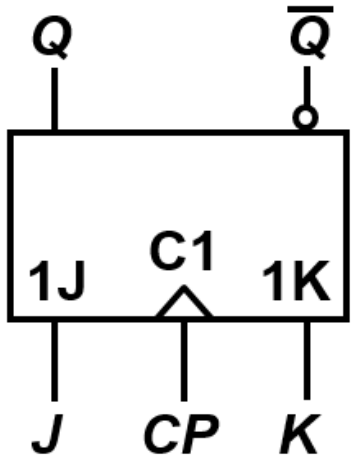
$$Q^{n+1} = J\overline{Q^n} + K\overline{Q^n}$$

J	K	Q^{n+1}	说明
0	0	Q^n	保持
0	1	0	清0
1	0	1	置1
1	1	$\overline{Q^n}$	翻转



例题：已知JK触发器波形如图所示，画出 Q 端的波形，触发器的初始状态为0





第6章　时序逻辑电路

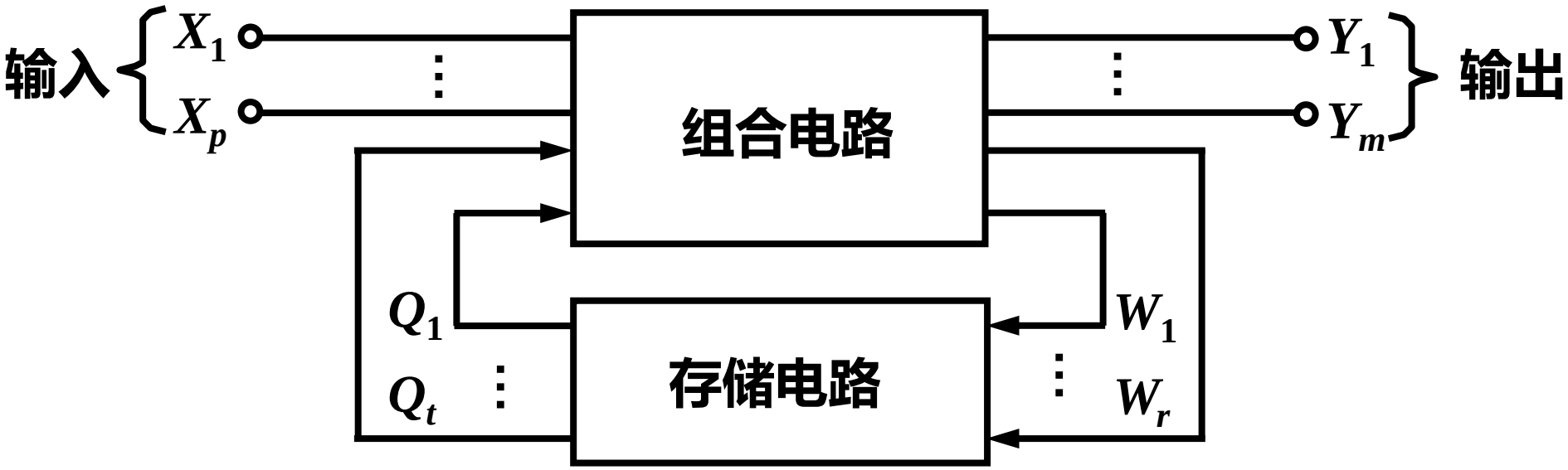
学习要点：

- 时序电路的分析方法和设计方法
- 计数器、寄存器等中规模集成电路的逻辑功能和使用方法

时序逻辑电路概述

1．时序电路的特点

- 逻辑功能特点：电路任何时刻的稳态输出不仅与该时刻的输入信号有关，而且还取决于电路原来的状态（具有记忆功能）。
- 结构特点：由存储单元和组合电路组成，一定包含触发器；存储电路的状态反馈到组合电路的输入端，与外部的输入信号共同决定组合电路的输出。



2．时序电路的逻辑功能表示方法

时序电路的逻辑功能可用**逻辑表达式、状态表、卡诺图、状态图、时序图和逻辑图**6种方式表示，这些表示方法在本质上是相同的，可以互相转换。

逻辑表达式有：

输出方程

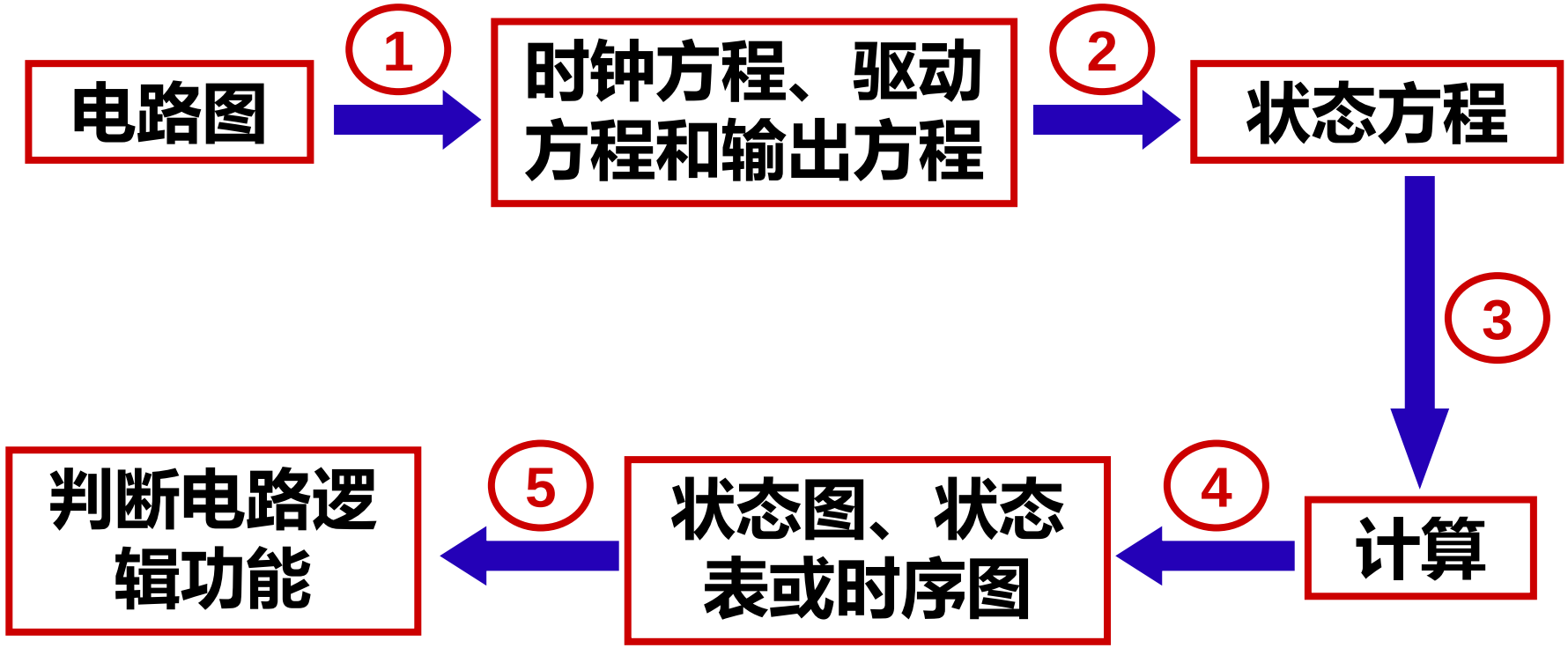
$$\begin{cases} Y_i = F_i(X_1, X_2, \cdots, X_p; Q_1^n, Q_2^n, \cdots, Q_q^n) & i = 1,2,\cdots,m \\ W_j = G_j(X_1, X_2, \cdots, X_p; Q_1^n, Q_2^n, \cdots, Q_q^n) & j = 1,2,\cdots,r \\ Q_k^{n+1} = H_k(W_1, W_2, \cdots, W_r; Q_1^n, Q_2^n, \cdots, Q_q^n) & k = 1,2,\cdots,t \end{cases}$$

状态方程　　驱动方程

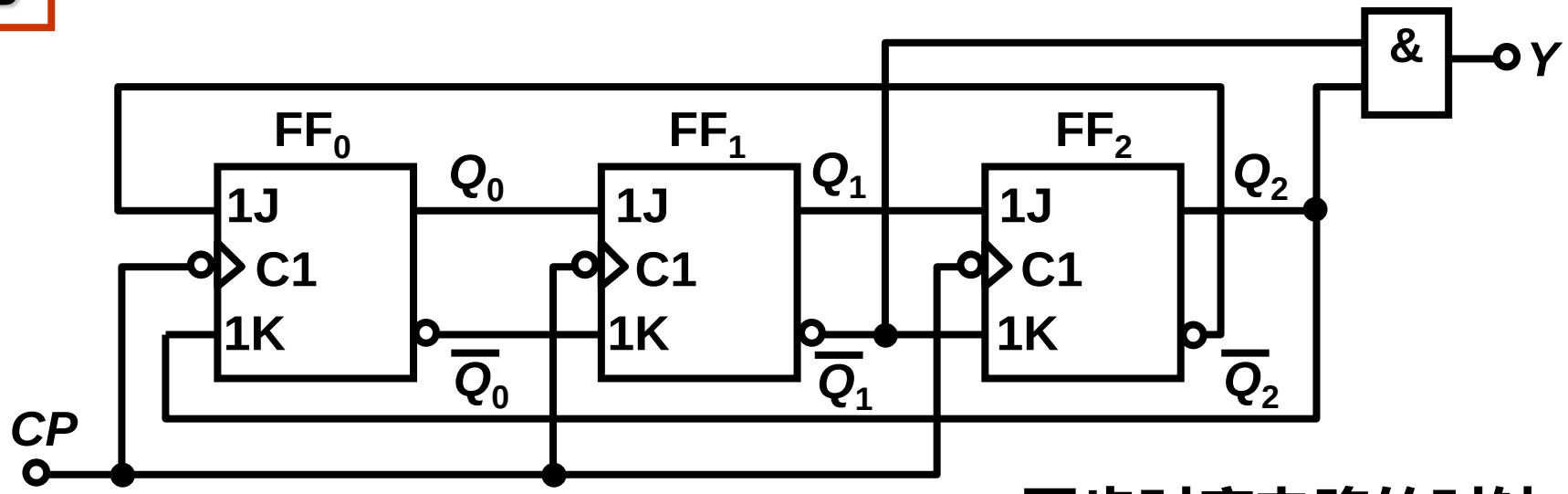
- X：时序电路现在输入信号　　Y：时序电路现在输出信号
- W：存储电路输入信号（激励、驱动信号）
- Q：存储电路的状态输出信号

时序逻辑电路的分析方法

时序电路的分析步骤：



例 分析下图所示的时序电路，画出状态图和时序图。



1

写方程式

时钟方程： $CP_2 = CP_1 = CP_0 = CP$

同步时序电路的时钟方程可省去不写。

输出方程： $Y = \overline{Q}_1^n Q_2^n$

驱动方程：
$$\begin{cases} J_2 = Q_1^n & K_2 = \overline{Q}_1^n \\ J_1 = Q_0^n & K_1 = \overline{Q}_0^n \\ J_0 = \overline{Q}_2^n & K_0 = Q_2^n \end{cases}$$

CP下降沿有效

② 求状态方程

$$\begin{cases} J_2 = Q_1^n, & K_2 = \overline{Q}_1^n \\ J_1 = Q_0^n, & K_1 = \overline{Q}_0^n \\ J_0 = \overline{Q}_2^n, & K_0 = Q_2^n \end{cases}$$

JK触发器的特性方程：

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

将各触发器的驱动方程代入，即得电路的状态方程：

$$\begin{cases} Q_2^{n+1} = J_2\overline{Q}_2^n + \overline{K}_2Q_2^n = Q_1^n\overline{Q}_2^n + Q_1^nQ_2^n = Q_1^n \\ Q_1^{n+1} = J_1\overline{Q}_1^n + \overline{K}_1Q_1^n = Q_0^n\overline{Q}_1^n + Q_0^nQ_1^n = Q_0^n \\ Q_0^{n+1} = J_0\overline{Q}_0^n + \overline{K}_0Q_0^n = \overline{Q}_2^n\overline{Q}_0^n + \overline{Q}_2^nQ_0^n = \overline{Q}_2^n \end{cases}$$

③ 计算、列状态表

$$\begin{cases} Q_2^{n+1} = Q_1^n \\ Q_1^{n+1} = Q_0^n \\ Q_0^{n+1} = \overline{Q}_2^n \end{cases}$$

$$Y = \overline{Q}_1^n Q_2^n$$

$$\begin{cases} Q_2^{n+1} = 1 \\ Q_1^{n+1} = 1 \\ Q_0^{n+1} = \overline{1} = 0 \end{cases}$$

$$Y = \overline{1} \cdot 1 = 0$$

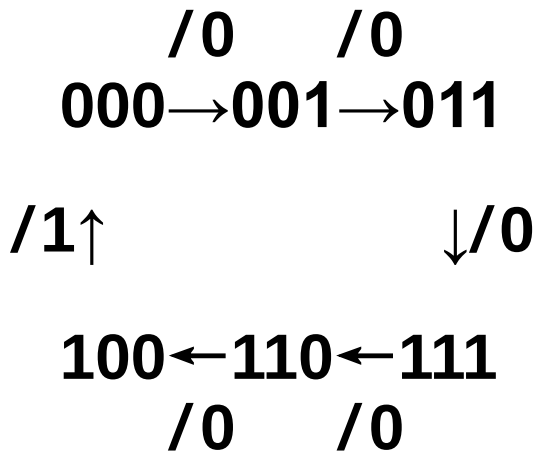
现 态			次 态			输 出
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	1	0
0	0	1	0	1	1	0
0	1	0	1	0	1	0
0	1	1	1	1	1	0
1	0	0	0	0	0	1
1	0	1	0	1	0	1
1	1	0	1	0	0	0
1	1	1	1	1	0	0

状态图

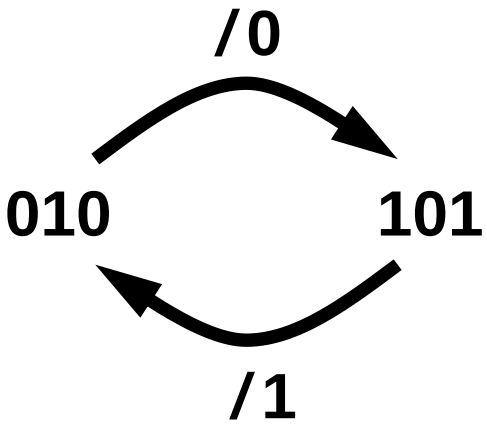
④ **画状态图、时序图**

排列顺序：

$Q_2^nQ_1^nQ_0^n$ $\xrightarrow{/Y}$



(*a*) 有效循环

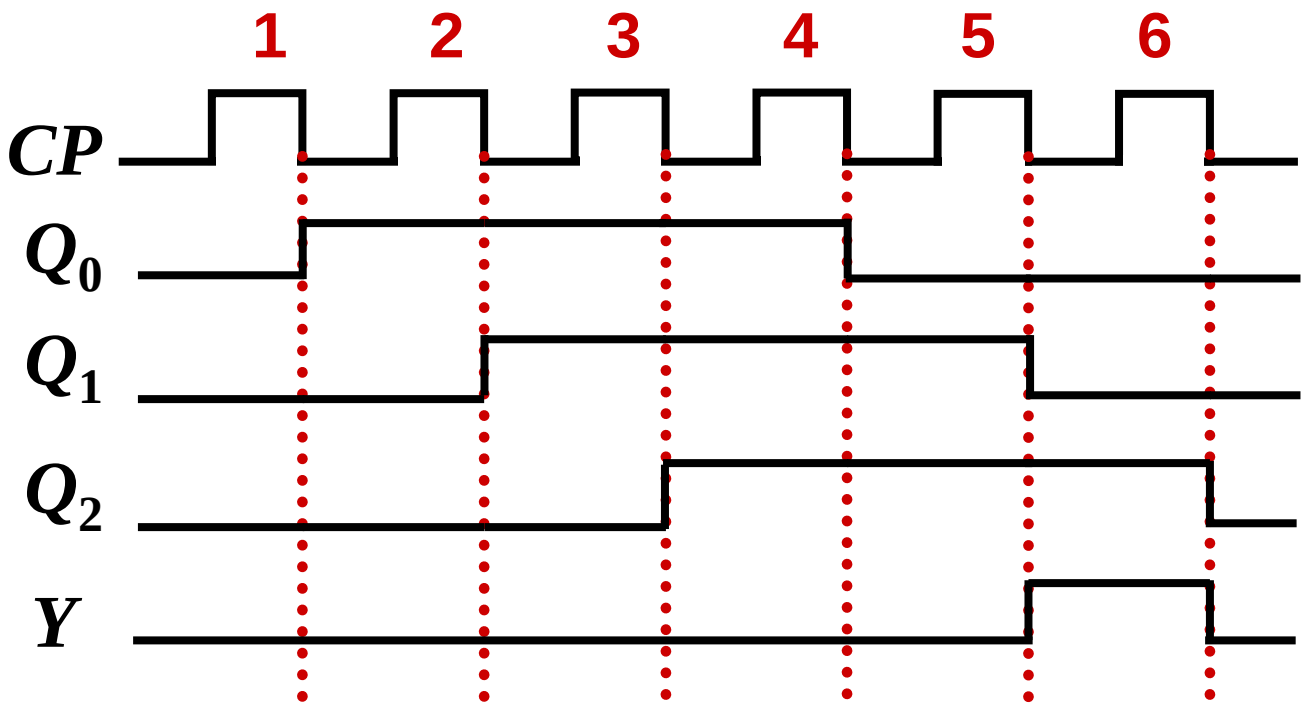


(*b*) 无效循环

被利用了的状态

不能自启动的电路若因为干扰进入无效循环，则电路不能正常工作。

时序图



有效循环的时序图

5

电路功能

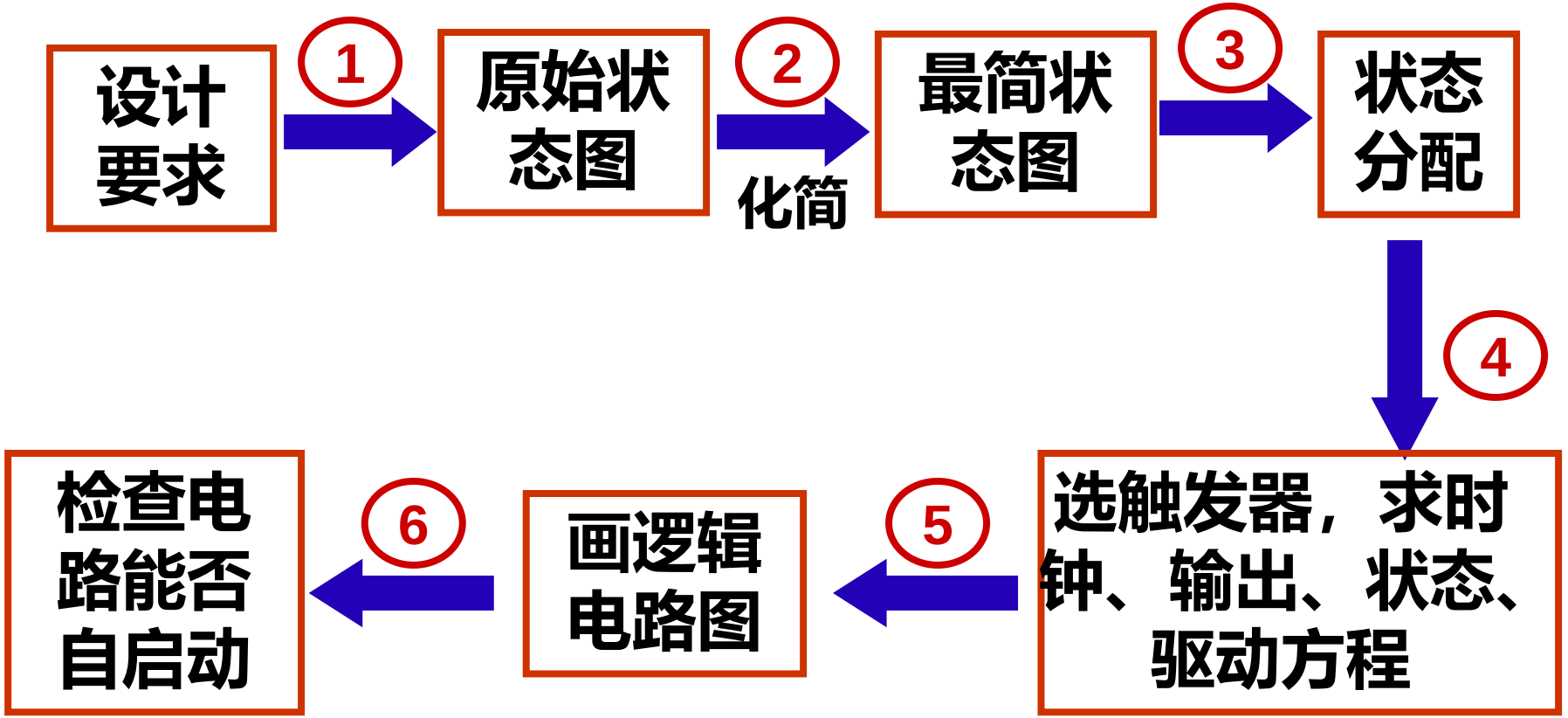
有效循环的6个状态分别是0～5这6个十进制数字的格雷码，并且在时钟脉冲*CP*的作用下，这6个状态是按递增规律变化的，即：

000→001→011→111→110→100→000→…

所以这是一个**用格雷码表示的六进制同步加法计数器**。当对第6个脉冲计数时，计数器又重新从000开始计数，并产生输出$Y=1$。

时序逻辑电路的设计方法

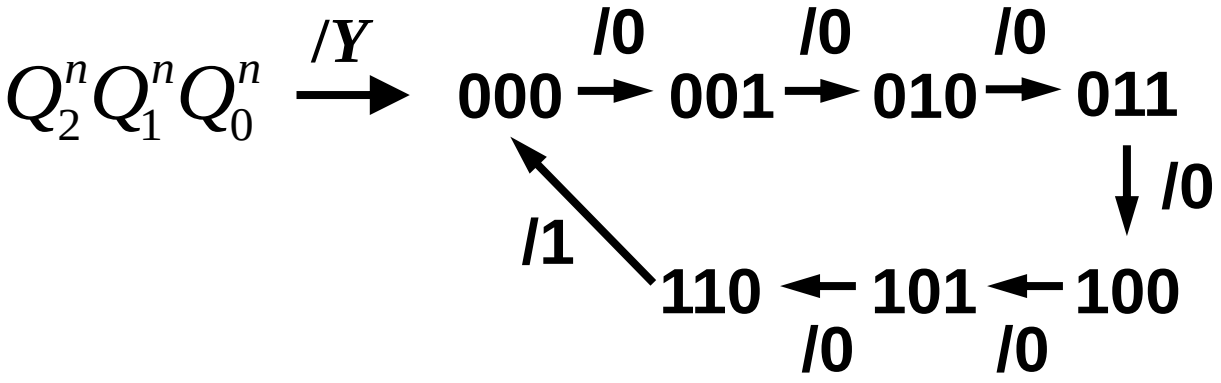
时序电路的设计步骤：



例 设计一个按自然态序变化的7进制**同步**加法计数器，计数规则为逢七进一，产生一个进位输出。

① **建立原始状态图**

排列顺序：



② **状态化简** 已经最简。

③ **状态分配** 已是二进制状态。

④ 选触发器，求时钟、输出、状态、驱动方程

因需用3位二进制代码，选用3个*CP*下降沿触发的**JK触发器**，分别用FF_0、FF_1、FF_2表示。

由于要求采用同步方案，故**时钟方程**为：

$$CP_0 = CP_1 = CP_2 = CP$$

输出方程：

Q_2^n \ $Q_1^nQ_0^n$	00	01	11	10
0	000	001	011	010
1	100	101	×	110

$Q_2^nQ_1^nQ_0^n$

现态的卡诺图

Q_2^n \ $Q_1^nQ_0^n$	00	01	11	10
0	0	0	0	0
1	0	0	×	1

Y 的卡诺图

无效状态作约束项处理

$$Y = Q_2^nQ_1^n$$

状态方程

Q_2^n \ $Q_1^nQ_0^n$	00	01	11	10
0	000	001	011	010
1	100	101	×	110

$Q_2^nQ_1^nQ_0^n$

现态的卡诺图

Q_2^n \ $Q_1^nQ_0^n$	00	01	11	10
0	001	010	100	011
1	101	110	×	000

$Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$

次态的卡诺图

Q_2^n \ $Q_1^nQ_0^n$	00	01	11	10
0	1	0	0	1
1	1	0	×	0

Q_0^{n+1}

(a) Q_0^{n+1}的卡诺图

$$
\begin{aligned}
Q_0^{n+1} &= \overline{Q}_2^n\overline{Q}_0^n + \overline{Q}_1^n\overline{Q}_0^n \\
&= \left(\overline{Q}_2^n + \overline{Q}_1^n\right)\overline{Q}_0^n \\
&= \overline{Q_2^nQ_1^n}\,\overline{Q}_0^n \\
&= \overline{Q_2^nQ_1^n}\,\overline{Q}_0^n + \overline{1}Q_0^n
\end{aligned}
$$

状态方程

Q_2^n \ $Q_1^nQ_0^n$	00	01	11	10
0	001	010	100	011
1	101	110	×	000

$Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$

次态的卡诺图

Q_2^n \ $Q_1^nQ_0^n$	00	01	11	10
0	0	1	0	1
1	0	1	×	0

Q_1^{n+1}

（b）Q_1^{n+1}的卡诺图

Q_2^n \ $Q_1^nQ_0^n$	00	01	11	10
0	0	0	1	0
1	1	1	×	0

Q_2^{n+1}

（c）Q_2^{n+1}的卡诺图

$$Q_1^{n+1} = Q_0^n\bar{Q}_1^n + \bar{Q}_2^n\bar{Q}_0^nQ_1^n$$

$$Q_2^{n+1} = Q_1^nQ_0^n\bar{Q}_2^n + \bar{Q}_1^nQ_2^n$$

不化简，以便使之与JK触发器的特性方程的形式一致。

$$\begin{cases} Q_0^{n+1} = \overline{Q_2^n Q_1^n}\,\overline{Q}_0^n + \overline{1}Q_0^n \\ Q_1^{n+1} = Q_0^n \overline{Q}_1^n + \overline{Q}_2^n \overline{Q}_0^n Q_1^n \\ Q_2^{n+1} = Q_1^n Q_0^n \overline{Q}_2^n + \overline{Q}_1^n Q_2^n \end{cases}$$

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

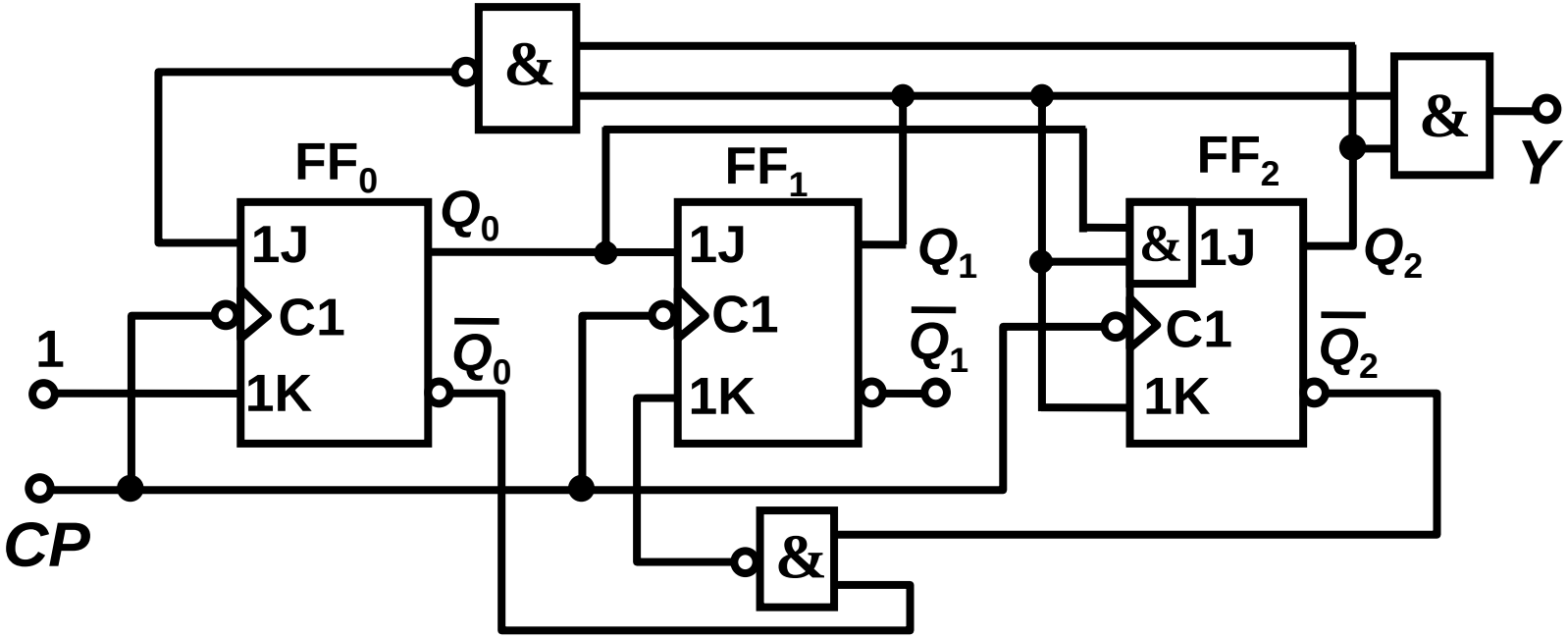
比较，得驱动方程：

$$\begin{cases} J_0 = \overline{Q_2^n Q_1^n} \text{、} K_0 = 1 \\ J_1 = Q_0^n \text{、} K_1 = \overline{\overline{Q}_2^n \overline{Q}_0^n} \\ J_2 = Q_1^n Q_0^n \text{、} K_2 = Q_1^n \end{cases}$$

$$Y = Q_2^n Q_1^n$$

5

电路图



⑥ 检查电路能否自启动

将无效状态111代入状态方程计算：

$$\begin{cases} Q_0^{n+1} = \overline{Q_2^n Q_1^n}\,\overline{Q}_0^n + \overline{1}Q_0^n = 0 \\ Q_1^{n+1} = Q_0^n \overline{Q}_1^n + \overline{Q}_2^n \overline{Q}_0^n Q_1^n = 0 \\ Q_2^{n+1} = Q_1^n Q_0^n \overline{Q}_2^n + \overline{Q}_1^n Q_2^n = 0 \end{cases}$$

可见111的次态为有效状态000，

电路能够自启动。

计数器

在数字电路中，能够记忆输入脉冲个数的电路称为计数器。

- 同步计数器
  - 二进制计数器
    - 加法计数器
    - 减法计数器
  - 十进制计数器
    - 加法计数器
    - 减法计数器
  - N进制计数器
    - 同步/异步清零端
    - 或置数端归零

十进制计数器

一、十进制同步计数器

十进制同步加法计数器

状态图

排列顺序：

$Q_3^nQ_2^nQ_1^nQ_0^n$ $\xrightarrow{/C}$ 0000 $\xrightarrow{/0}$ 0001 $\xrightarrow{/0}$ 0010 $\xrightarrow{/0}$ 0011 $\xrightarrow{/0}$ 0100 $\xrightarrow{/0}$ 0101 $\xrightarrow{/0}$ 0110 $\xrightarrow{/0}$ 0111 $\xrightarrow{/0}$ 1000 $\xrightarrow{/0}$ 1001 $\xrightarrow{/1}$ 0000

选用4个*CP*下降沿触发的*JK*触发器，分别用FF_0、FF_1、FF_2、FF_3表示。

时钟方程：

$$CP_0 = CP_1 = CP_2 = CP_3 = CP$$

输出方程： $C = Q_3^nQ_0^n$

$Q_3^nQ_2^n$ \ $Q_1^nQ_0^n$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	×	×	×	×
10	0	1	×	×

输出*C*的卡诺图

$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$

$Q_3^nQ_2^n$ \ $Q_1^nQ_0^n$	00	01	11	10
00	0001	0010	0100	0011
01	0101	0110	1000	0111
11	×	×	×	×
10	1001	0000	×	×

次态的卡诺图

$Q_3^nQ_2^n$ \ $Q_1^nQ_0^n$	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	×	×	×	×
10	1	0	×	×

(a) Q_0^{n+1} 的卡诺图

状态方程：

$$Q_0^{n+1} = \overline{Q}_0^n = 1 \cdot \overline{Q}_0^n + \overline{1} \cdot Q_0^n$$

$Q_3^nQ_2^n$ \ $Q_1^nQ_0^n$	00	01	11	10
00	0001	0010	0100	0011
01	0101	0110	1000	0111
11	×	×	×	×
10	1001	0000	×	×

$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$

次态的卡诺图

$Q_3^nQ_2^n$ \ $Q_1^nQ_0^n$	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	×	×	×	×
10	0	0	×	×

(b) Q_1^{n+1} 的卡诺图

状态方程：

$$\begin{cases} Q_0^{n+1} = \overline{Q}_0^n = 1\cdot\overline{Q}_0^n + \overline{1}\cdot Q_0^n \\ Q_1^{n+1} = \overline{Q}_3^n Q_0^n\cdot\overline{Q}_1^n + \overline{Q}_0^n\cdot Q_1^n \end{cases}$$

$Q_3^nQ_2^n$ \ $Q_1^nQ_0^n$	00	01	11	10
00	0001	0010	0100	0011
01	0101	0110	1000	0111
11	×	×	×	×
10	1001	0000	×	×

$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$

次态的卡诺图

$Q_3^nQ_2^n$ \ $Q_1^nQ_0^n$	00	01	11	10
00	0	0	1	0
01	1	1	0	1
11	×	×	×	×
10	0	0	×	×

(c) Q_2^{n+1} 的卡诺图

状态方程：

$$
\begin{cases}
Q_0^{n+1} = \overline{Q}_0^n = 1\cdot\overline{Q}_0^n + \overline{1}\cdot Q_0^n \\
Q_1^{n+1} = \overline{Q}_3^n Q_0^n\cdot\overline{Q}_1^n + \overline{Q}_0^n\cdot Q_1^n \\
Q_2^{n+1} = \overline{Q}_2^n Q_1^n Q_0^n + Q_2^n\overline{Q}_1^n + Q_2^n\overline{Q}_0^n \\
\qquad = Q_1^nQ_0^n\cdot\overline{Q}_2^n + \overline{Q_1^nQ_0^n}\cdot Q_2^n
\end{cases}
$$

$Q_3^nQ_2^n$ \ $Q_1^nQ_0^n$	00	01	11	10
00	0001	0010	0100	0011
01	0101	0110	1000	0111
11	×	×	×	×
10	1001	0000	×	×

$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$

次态的卡诺图

$Q_3^nQ_2^n$ \ $Q_1^nQ_0^n$	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	×	×	×	×
10	1	0	×	×

(*d*) Q_3^{n+1} 的卡诺图

状态方程：

$$
\begin{cases}
Q_0^{n+1} = \overline{Q}_0^n = 1\cdot\overline{Q}_0^n + \overline{1}\cdot Q_0^n \\
Q_1^{n+1} = \overline{Q}_3^n Q_0^n\cdot\overline{Q}_1^n + \overline{Q}_0^n\cdot Q_1^n \\
Q_2^{n+1} = \overline{Q}_2^n Q_1^n Q_0^n + Q_2^n\overline{Q}_1^n + Q_2^n\overline{Q}_0^n \\
\qquad\quad = Q_1^nQ_0^n\cdot\overline{Q}_2^n + \overline{Q_1^nQ_0^n}\cdot Q_2^n \\
Q_3^{n+1} = Q_2^nQ_1^nQ_0^n\cdot\overline{Q}_3^n + \overline{Q}_0^n\cdot Q_3^n
\end{cases}
$$

状态方程：

$$\begin{cases} Q_0^{n+1} = 1 \cdot \overline{Q_0}^n + \overline{1} \cdot Q_0^n \\ Q_1^{n+1} = \overline{Q_3}^n Q_0^n \cdot \overline{Q_1}^n + \overline{Q_0}^n \cdot Q_1^n \\ Q_2^{n+1} = Q_1^n Q_0^n \cdot \overline{Q_2}^n + \overline{Q_1^n Q_0^n} \cdot Q_2^n \\ Q_3^{n+1} = Q_2^n Q_1^n Q_0^n \cdot \overline{Q_3}^n + \overline{Q_0}^n \cdot Q_3^n \end{cases}$$

与JK触发器的特性方程 $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$

比较，得驱动方程：

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = \overline{Q_3}^n Q_0^n, \quad K_1 = Q_0^n \\ J_2 = K_2 = Q_1^n Q_0^n \\ J_3 = Q_2^n Q_1^n Q_0^n, \quad K_3 = Q_0^n \end{cases}$$

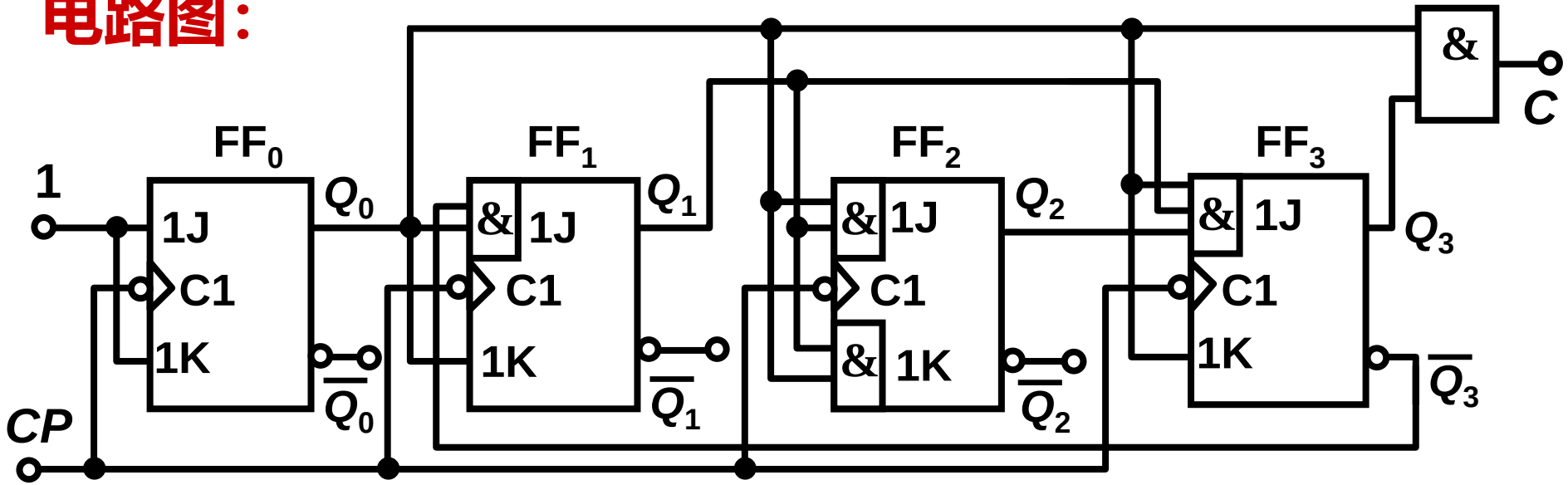
驱动方程

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = \overline{Q}_3^n Q_0^n, \quad K_1 = Q_0^n \\ J_2 = K_2 = Q_1^n Q_0^n \\ J_3 = Q_2^n Q_1^n Q_0^n, \quad K_3 = Q_0^n \end{cases}$$

输出方程：

$$C = Q_3^n Q_0^n$$

电路图：



将无效状态1010 ~ 1111分别代入状态方程进行计算，可以验证在*CP*脉冲作用下都能回到有效状态，电路能够自启动。

例 用同步74LS163来构成一个十二进制计数器。

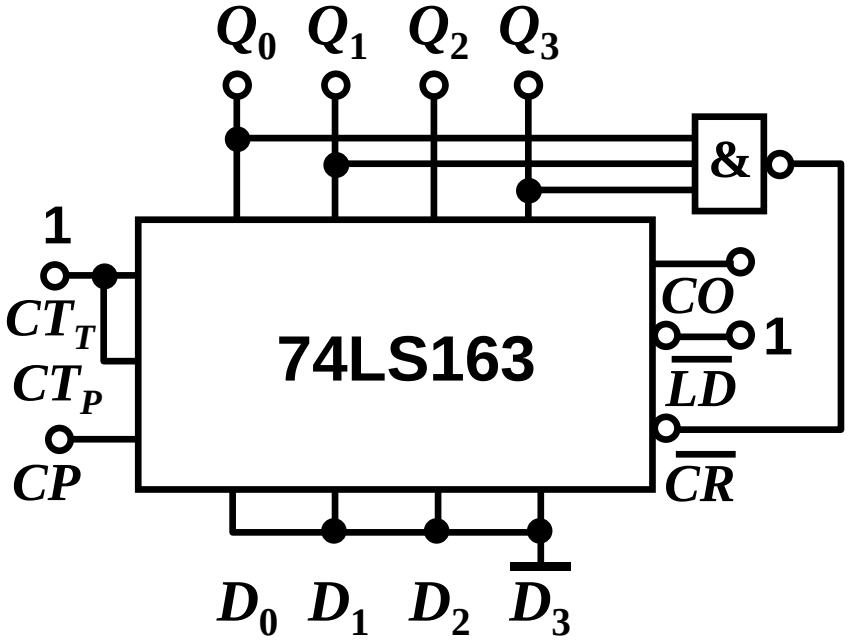
（1）写出状态S_{N-1}的二进制代码。

$$S_{N-1} = S_{12-1} = S_{11} = 1011$$

（2）求归零逻辑。

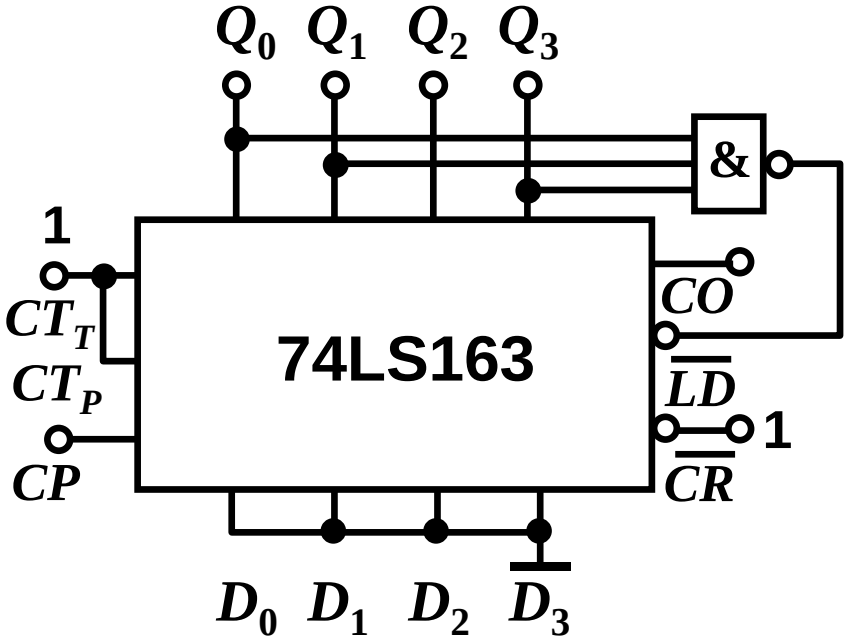
$$\overline{CR} = \overline{LD} = \overline{P}_{N-1} = \overline{P}_{11}, P_{N-1} = P_{11} = Q_3^n Q_1^n Q_0^n$$

（3）画连线图。



(*a*)用同步清零端$\overline{CR}$归零

$D_0 \sim D_3$可随意处理

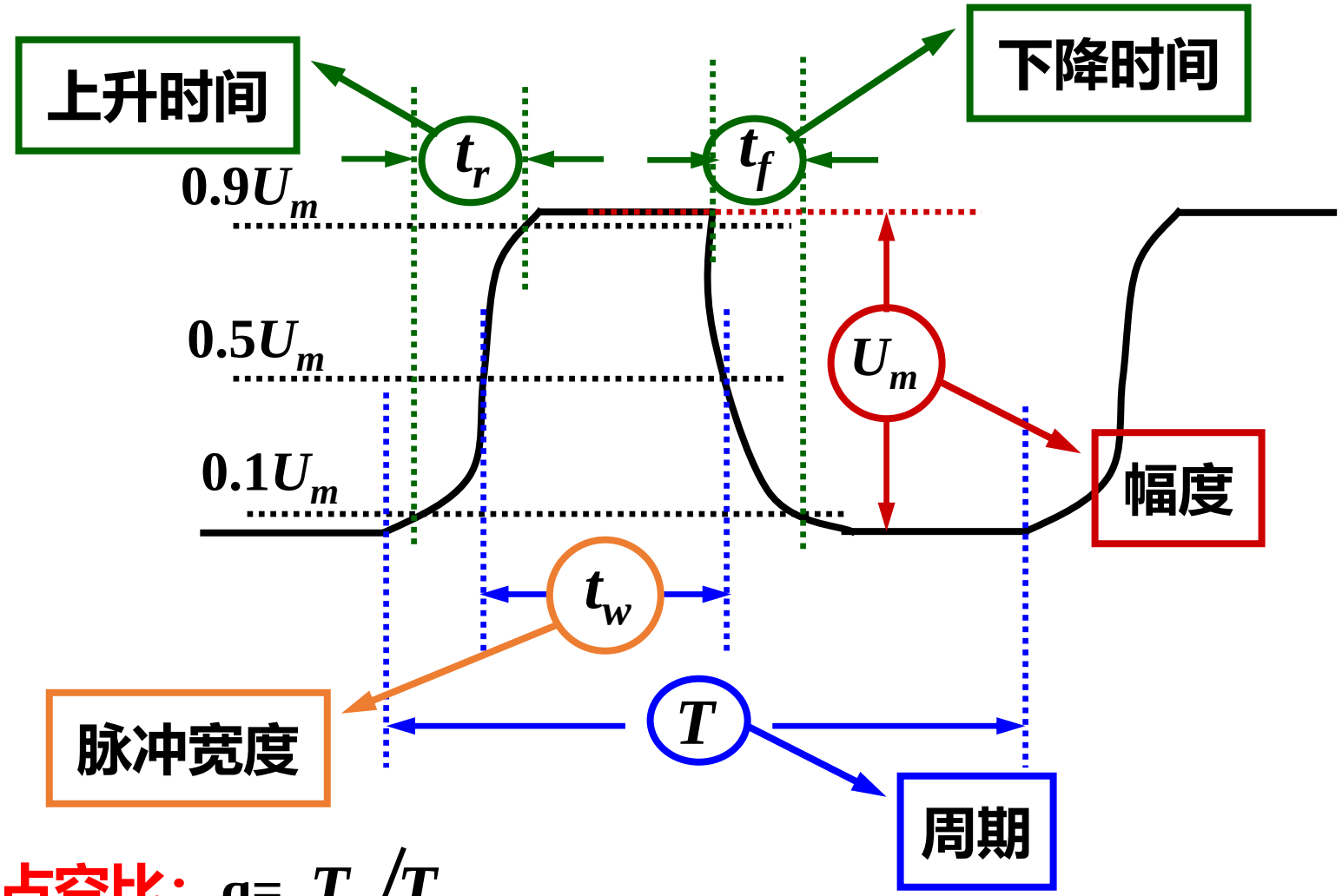


(*b*)用同步置数端$\overline{LD}$归零

$D_0 \sim D_3$必须都接0

第7章 脉冲信号的产生与整形

- **矩形脉冲的基本特性：**



占空比： $q = T_w / T$

- **获取矩形脉冲波形（时钟）的途径:**

1、用多谐振荡器直接产生

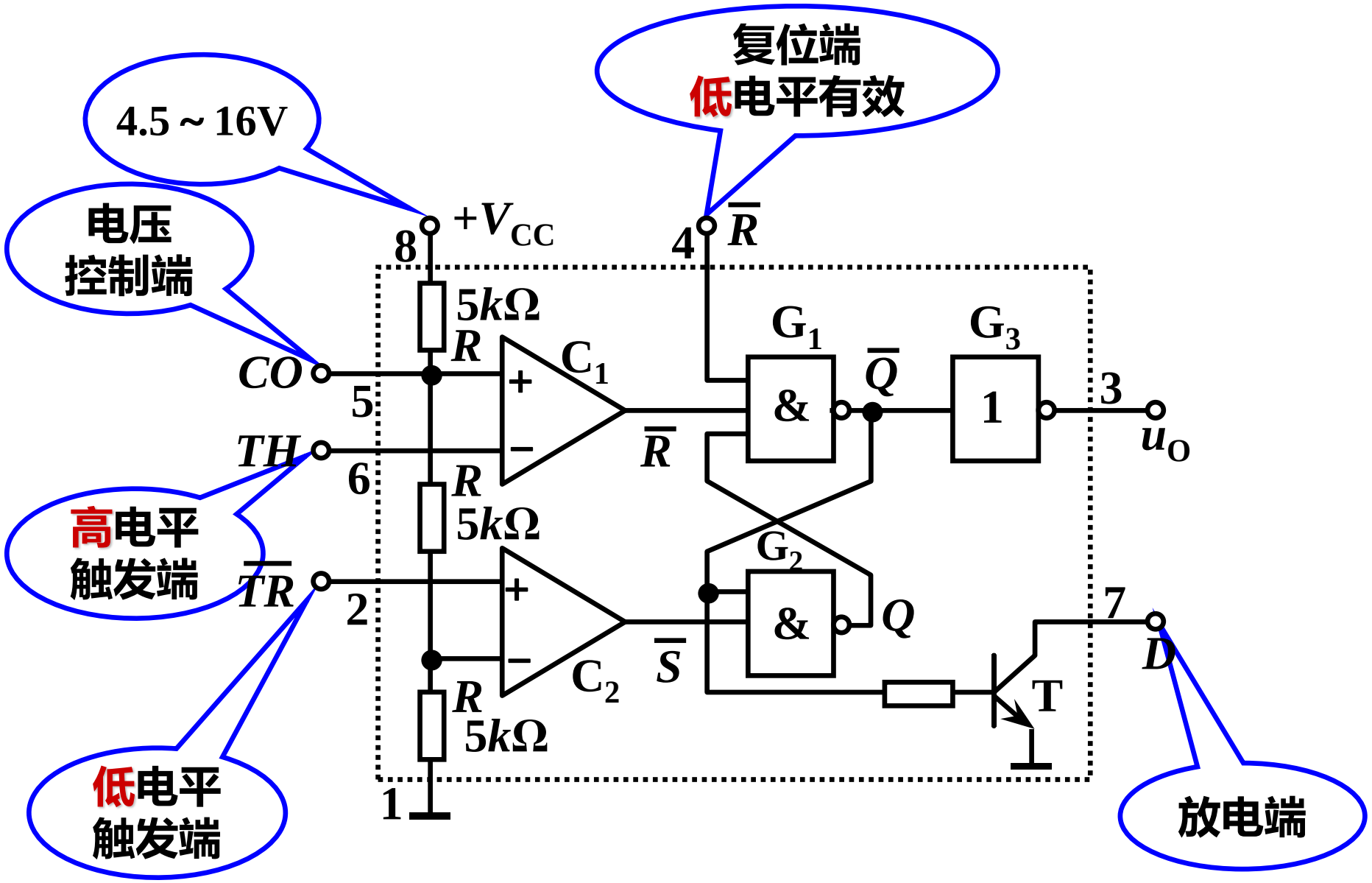
2、用整形电路把已有的周期性变化的波形整形产生

- **矩形脉冲波形的整形电路**

——施密特触发器、单稳态触发器。

施密特触发器	将缓慢变化或快速变化的非矩形脉冲变换成陡峭的矩形脉冲。
单稳态触发器	将宽度不符合要求的脉冲变换成符合要求的矩形脉冲。

- 用555定时器也可以构成施密特触发器、单稳态触发器和多谐振荡器。


4.5 ~ 16V
复位端
低电平有效
电压
控制端
+VCC
8
4
R̄
5kΩ
R
C1
G1
G3
CO
5
&
Q̄
1
3
uO
TH
6
R̄
R
5kΩ
高电平
触发端
G2
TR̄
2
&
Q
7
D
C2
S̄
R
5kΩ
T
1
低电平
触发端
放电端

555定时器的功能表

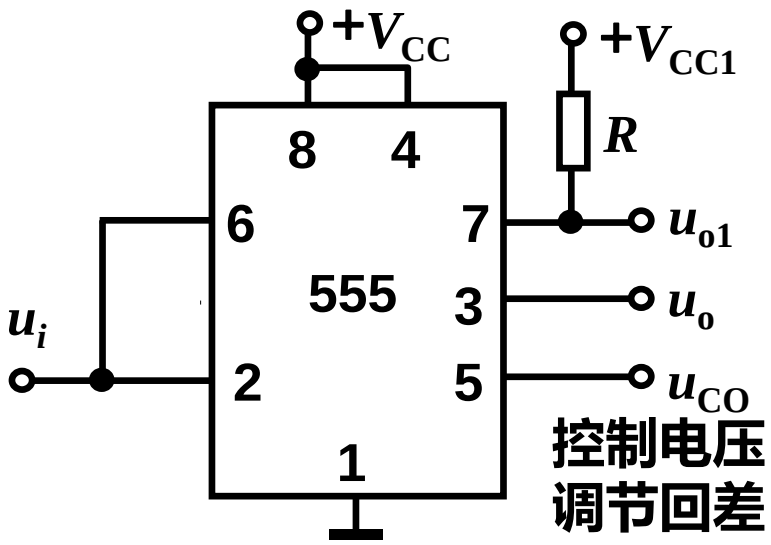
$\overline{R_D}$	TH	$\overline{TR}$	U_O	T
0	×	×	0	导通
1	$>2V_{CC}/3$	$> V_{CC}/3$	0	导通
1	$< 2V_{CC}/3$	$< V_{CC}/3$	1	截止
1	$< 2V_{CC}/3$	$> V_{CC}/3$	保持	保持

施密特触发器

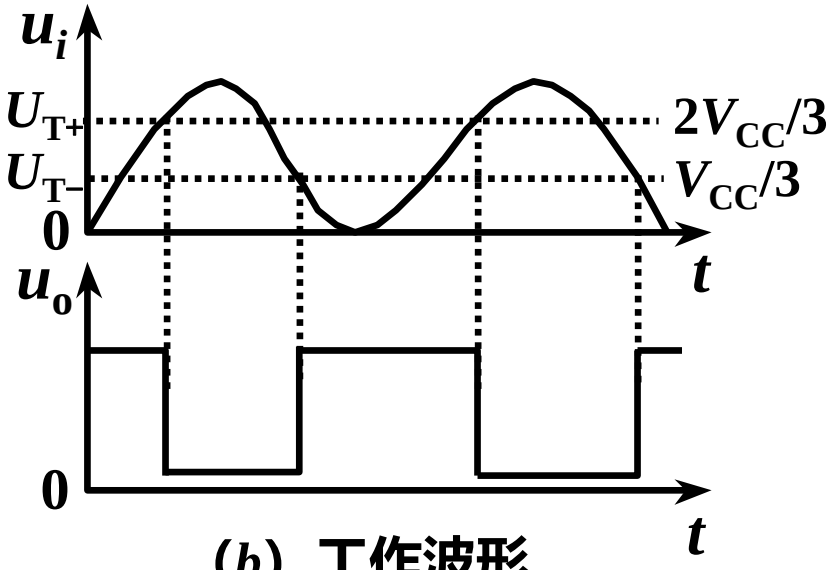
- **特点：** （1）电平触发：触发信号U_I可以是变化缓慢的模拟信号，U_I达某一电平值时，输出电压U_O突变。 U_O为脉冲信号。

  （2）电压滞后传输：滞回特性。

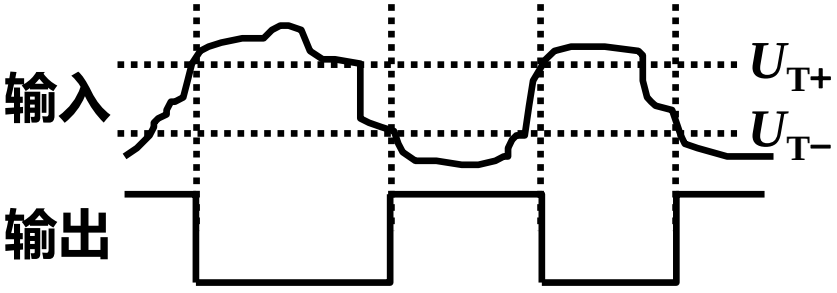
- **用途：** 整形，构成单稳态触发器和多谐振荡器等。



（a）电路



（b）工作波形



（b）整形电路的输入、输出波形