Министерство науки и высшего образования Российской Федерации

Пензенский государственный университет

Кафедра «Вычислительная техника»

**ОТЧЕТ**

по лабораторной работе №6

по дисциплине: «Теория автоматов»

на тему: «Структурный синтез недетерминированного автомата, заданного ГСАП»

Выполнил:

Студент группы 22ВВП1

Беляев Даниил

Принял:

Бикташев Р. А.

Семенов А. О.

Пенза, 2024

**Название**

Структурный синтез недетерминированного автомата, заданного ГСАП

**Цель работы**

Изучить cструктурный синтез недетерминированного автомата, заданного ГСАП

**Задание**

По заданной ГСАП НДА Мура построить:

1) граф НДА Мура;

2) прямую таблицу переходов;

3) записать НД СКУ и НД СВФ;

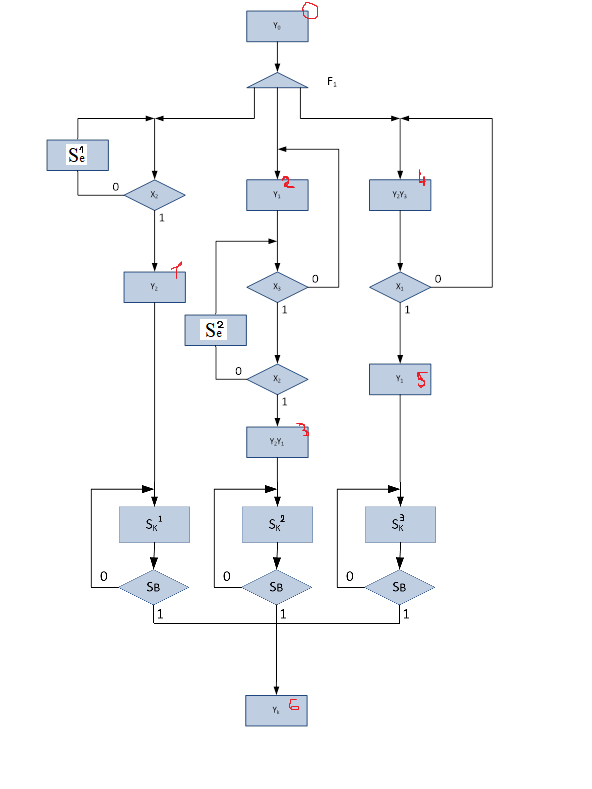
4) выполнить моделирование автомата на языке VHDL (опционально).

**Вариант 3**

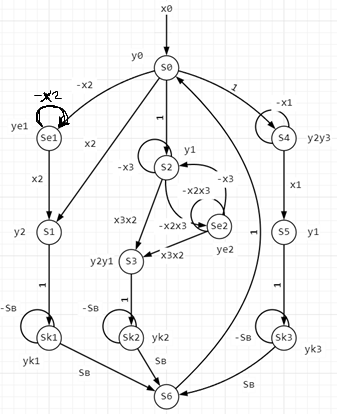


**Ход работы**

Скорректированный ГСАП НДА

****

Граф НДА Мура



Прямая таблица переходов

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | **Исходные события Sj(t)** | **Входные сигналы *Xi,j(t)*** | **События перехода**  **Sj (t+1) (yi)** | **Примечание** |
| **1** | S0(y0) | 1 | S2(y1) | line 2 |
| -x2 | Se1(ye1) | line 1 |
| x2 | S1(y2) | line 1 |
| 1 | S4(y2y3) | line3 |
| **2** | S1(y2) | 1 | Sk1(yk1) | line 1 |
| **3** | S2(y1) | -x3 | S2(y1) | line 2 |
| -x2x3 | Se2(ye2) | line 2 |
| x3x2 | S3(y2y1) | line 2 |
| **4** | S3(y2y1) | 1 | Sk2(yk2) | line 2 |
| **5** | S4(y2y3) | -x1 | S4(y2y3) | line3 |
| x1 | S5(y1) | line3 |
| **6** | S5(y1) | 1 | Sk3(yk3) | line3 |
| **7** | Se1(ye1) | -x2 | Se1(ye1) | line 1 |
| x2 | S1(y2) | line 1 |
| **8** | Se2(ye2) | -x3 | S2(y1) | line 2 |
| -x2x3 | Se2(ye2) | line 2 |
| x3x2 | S3(y2y1) | line 2 |
| **9** | Sk1(yk1) | -Sв | Sk1(yk1) | line 1 |
| Sв | S6(yk) | line 1 |
| **10** | Sk2(yk2) | -Sв | Sk2(yk2) | line 2 |
| Sв | S6(yk) | line 2 |
| **11** | Sk3(yk3) | -Sв | Sk3(yk3) | line3 |
| Sв | S6(yk) | line3 |
| **12** | S6(yk) | 1 | S0(y0) | return to 0 |

**НД СКУ:**

S0(y0) = S6 **v** x0

S1(y2) = S0 x2 **v** Se1 x2

S2(y1) = S0 **v** S2 -x3 **v** Se2 -x3

S3(y2y1) = S2 x3 x2 **v** Se2 x3 x2

S4(y2y3) = S0 **v** S4 -x1

S5(y1) = S4 x1

Se1(ye1) = Se1 -x2 **v** S0 -x2

Se2(ye2) = Se2 -x2 x3 **v** S2 -x2 x3

Sk1(yk1) = S1 **v** Sk1 -Sв

Sk2(yk2) = S2 **v** Sk2 -Sв

Sk3(yk3) = S3 **v** Sk3 -Sв

S6(yk) = Sk1 Sв **v** Sk2 Sв **v** Sk3 Sв

**НД СВФ:**

y0 = S0

y1 = S2 **v** S3 **v** S5

y2 = S1 **v** S3 **v** S4

y3 = S4

ye1 = Se1

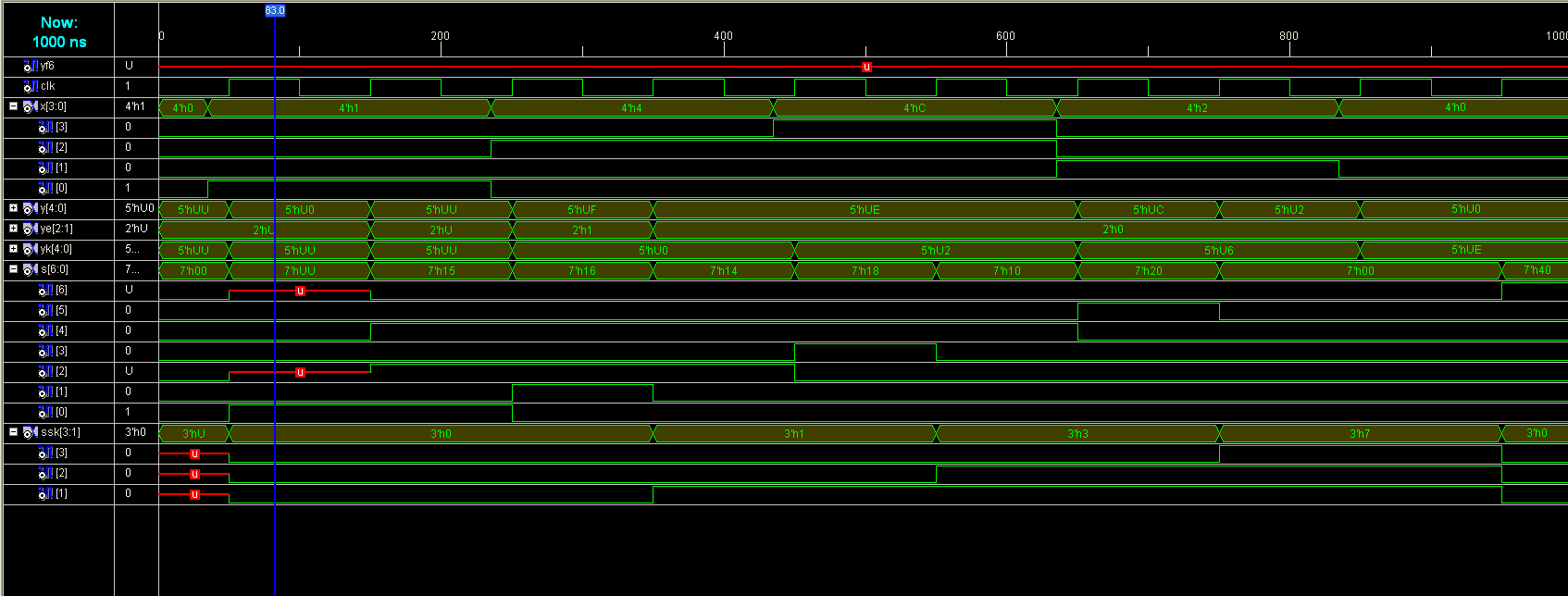
ye2 = Se2

yk1 = Sk1

yk2 = Sk2

yk3 = Sk3

yk = S6



**VHDL листинг:**

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_UNSIGNED.ALL;

entity core is

generic( --?????????? ????????

no\_of\_threads : integer := 3;

x\_volume : integer := 4;

no\_of\_states : integer := 7;

y\_volume : integer := 4;

ye\_volume : integer := 2);

Port (

clk: in std\_logic;

x : in std\_logic\_vector(x\_volume - 1 downto 0);

y : out std\_logic\_vector(y\_volume - 1 downto 0);

ye : out std\_logic\_vector(ye\_volume downto 1);

yk : out std\_logic\_vector(no\_of\_threads downto 1);

yf6 : out std\_logic -- ????? ??????? ?? ?? ?????

);

end core;

architecture Behavioral of core is

signal s : std\_logic\_vector(no\_of\_states - 1 downto 0) := (others => '0'); --????????? S

signal sy : std\_logic\_vector(y\_volume - 1 downto 0); -- y

signal sye : std\_logic\_vector(ye\_volume downto 1); -- ye

signal syk : std\_logic\_vector(no\_of\_threads downto 1); -- yk

signal sx : std\_logic\_vector(x\_volume - 1 downto 0); -- x

signal se, sse : std\_logic\_vector(2 downto 1); -- ????????? Se

signal ssk : std\_logic\_vector(no\_of\_threads downto 1); -- ????????? Sk

signal ssb : std\_logic:='1'; --????????? Sb

begin

sx <= x;

se <= sse;

y <= sy;

ye <= sye;

yk <= syk;

process (CLK)

begin

if CLK='1' and CLK'event then

-- ???

s(0) <= sx(0) or s(6);

s(1) <= (s(0) and sx(2)) or (sse(1) and sx(2));

s(2) <= s(0) or (s(2) and (not sx(3))) or (sse(2) and (not sx(3)));

s(3) <= (s(2) and sx(3) and sx(2)) or (sse(2) and sx(3) and sx(2));

s(4) <= s(0) or (s(4) and (not sx(1)));

s(5) <= s(4) and sx(1);

sse(1) <= (sse(1) and (not sx(2))) or (s(0) and (not sx(2)));

sse(2) <= (sse(2) and (not sx(2)) and sx(3)) or (s(2) and (not sx(2)) and sx(3));

ssb <= ssk(1) and ssk(2) and ssk(3);

ssk(1) <= s(1) or (ssk(1) and (not ssb));

ssk(2) <= s(3) or (ssk(2) and (not ssb));

ssk(3) <= s(5) or (ssk(3) and (not ssb));

s(6) <= (ssk(1) and ssb) or (ssk(2) and ssb) or (ssk(3) and ssb);

-- ???

sy(0) <= s(0);

sy(1) <= s(2) or s(3) or s(5);

sy(2) <= s(1) or s(3) or s(4);

sy(3) <= s(4);

sye(1) <= sse(1);

sye(2) <= sse(2);

syk(1) <= ssk(1);

syk(2) <= ssk(2);

syk(3) <= ssk(3);

--syk(0) <= s(6);

end if;

end process;

-----------

--

end Behavioral;

**Вывод**

Изучил cструктурный синтез недетерминированного автомата, заданного ГСАП