Министерство науки и высшего образования Российской Федерации  
Пензенский государственный университет  
Кафедра вычислительная техника

**ОТЧЕТ**

по лабораторной работе №1

по дисциплине «Проектирование программного обеспечения для устройств на ПЛИС»

на тему «Знакомство с системами проектирования цифровых устройств.»

Выполнили студенты группы 22ВВП1

Хоссейни Нежад С.А.С.М.

Беляев Д. И.

Демин М.

Приняли:

Федюнин Р.Н.

Гурин Е.И.

Пенза 2024

**Название**

Знакомство с системами проектирования цифровых устройств.

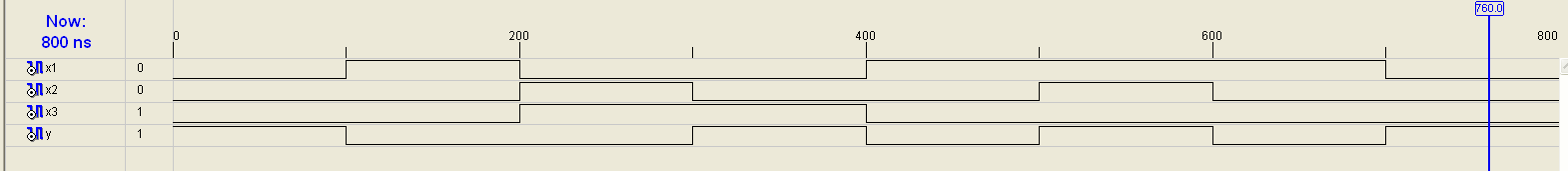
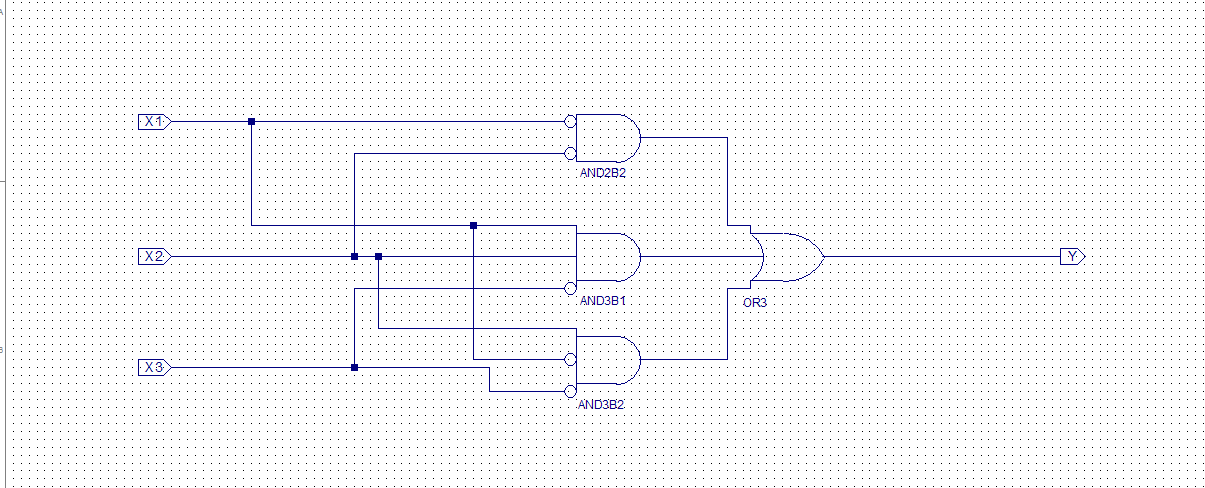
**Цель работы**

Изучение принципов работы системы проектирования цифровых устройств ISE.

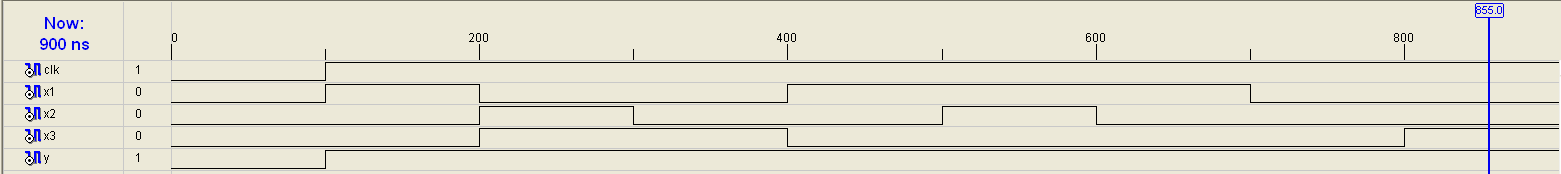
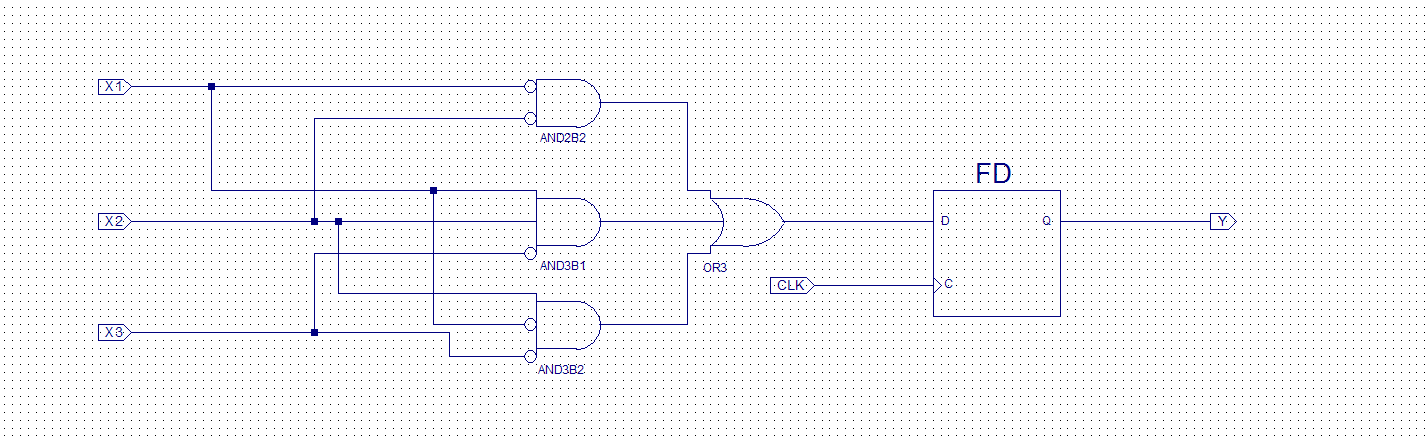
1. Разработка простейших логических схем.



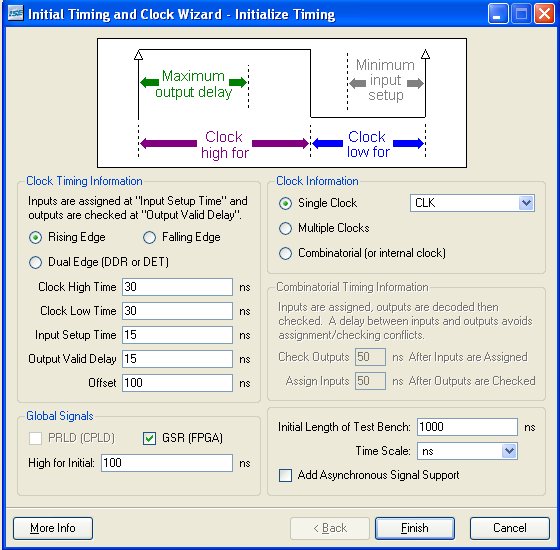
1.1. Для заданной в табл. функции разработаи схему, проверии правильность ее функционирования с помощью функционального моделирования (Behavioral Simulation).

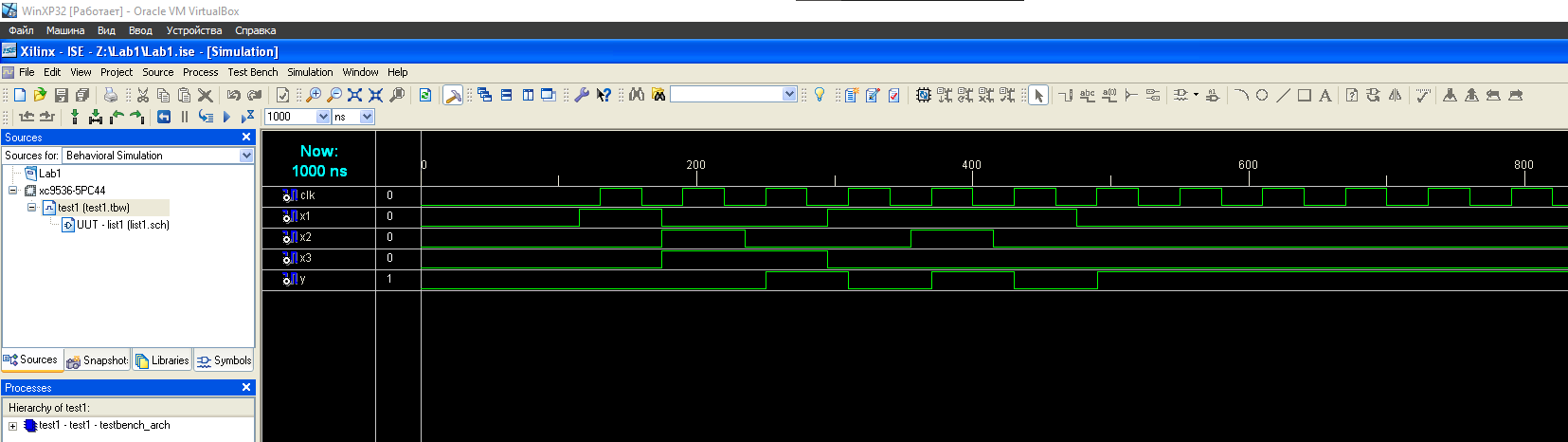


1.2. В разработанную в п. 1.1 схему добавили триггер на выходе (элемент FD в категории Flip Flop). Вход D триггера подключили к выходу схемы, разработанной в п. 1.1, на вход C подключили внешний сигнал clk.



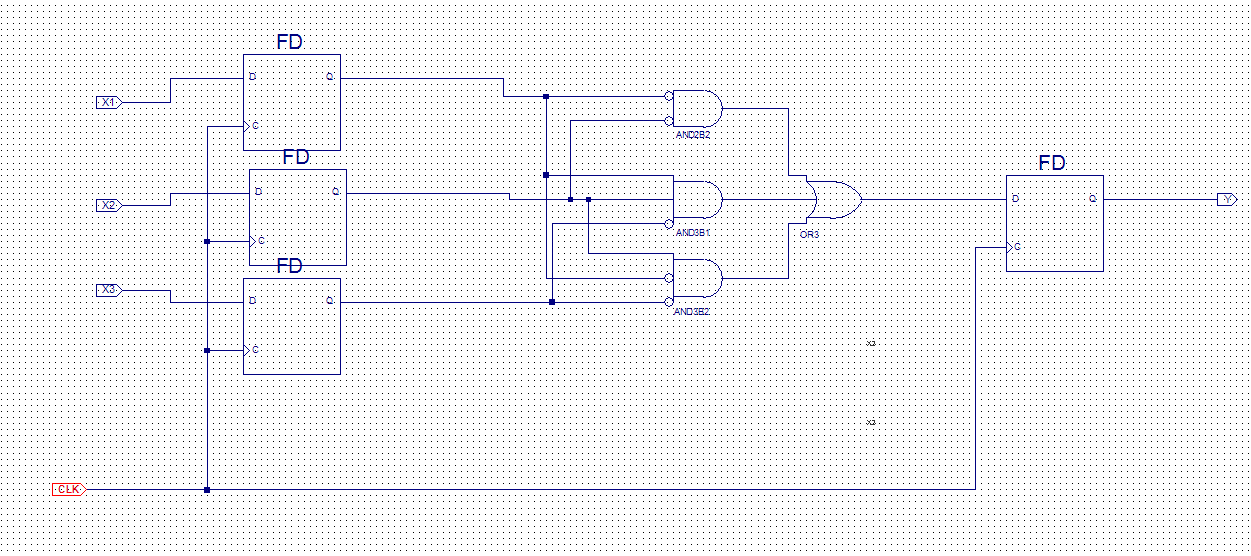
Удалили файл tbw и создали заново с нужными характеристиками

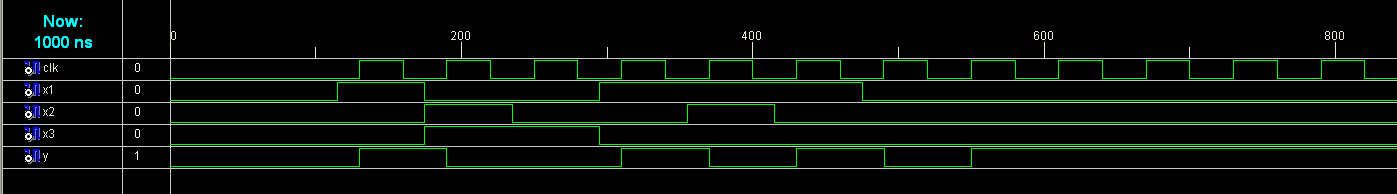


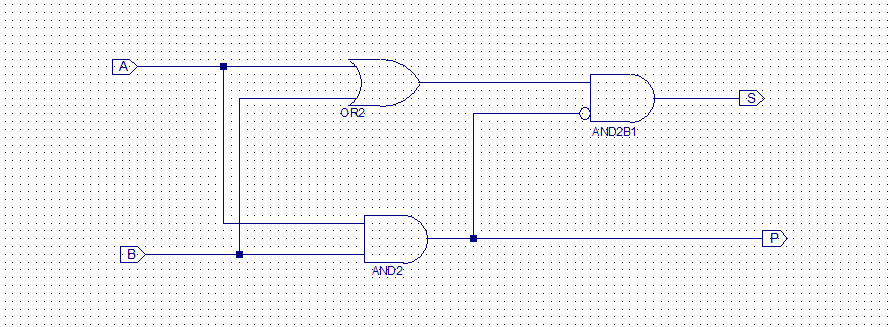


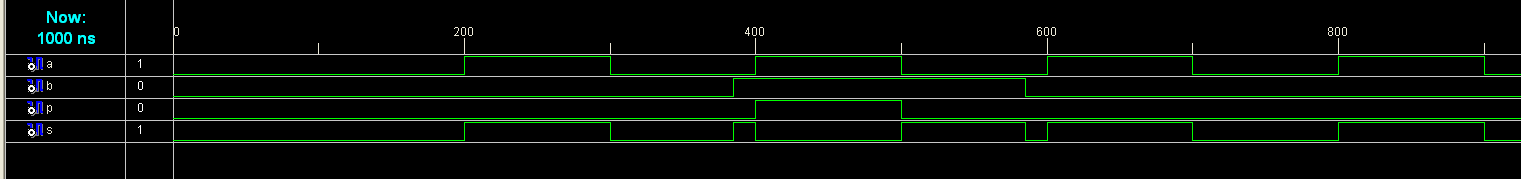
Как видно из рисунков, сигнал с D триггером переключается только с возрастающем фронтом на входе С.

1.3. В разработанную в п. 1.2 схему добавили триггеры на входах. Проверили работу полученной схемы с помощью функционального моделирования (Behavioral Simulation). Сравнили результаты п. 1.1, п. 1.2 и п. 1.3, сделали выводы.

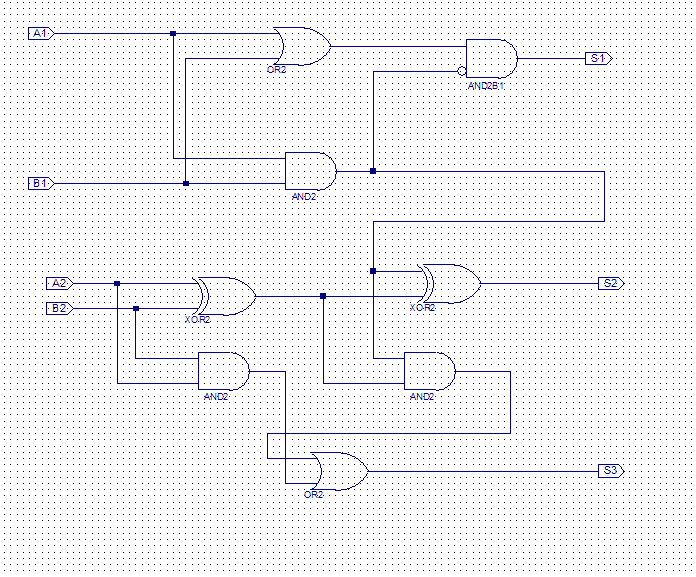


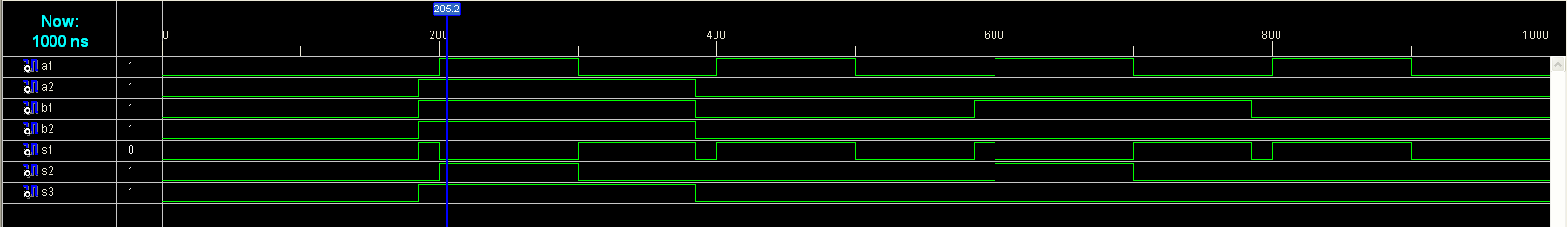
 Как видно из рисунков, сигнал с D триггером переключается только с возрастающем фронтом на входе С.

1.4 Разработали схему одноразрядного комбинационного сумматора. Проверили работу полученной схемы с помощью функционального моделирования (Behavioral Simulation). Проверили работу полученной схемы с помощью временного моделирования (Post-Map). Сравнили результаты моделирования в различных режимах. 

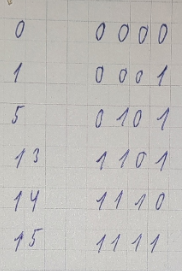
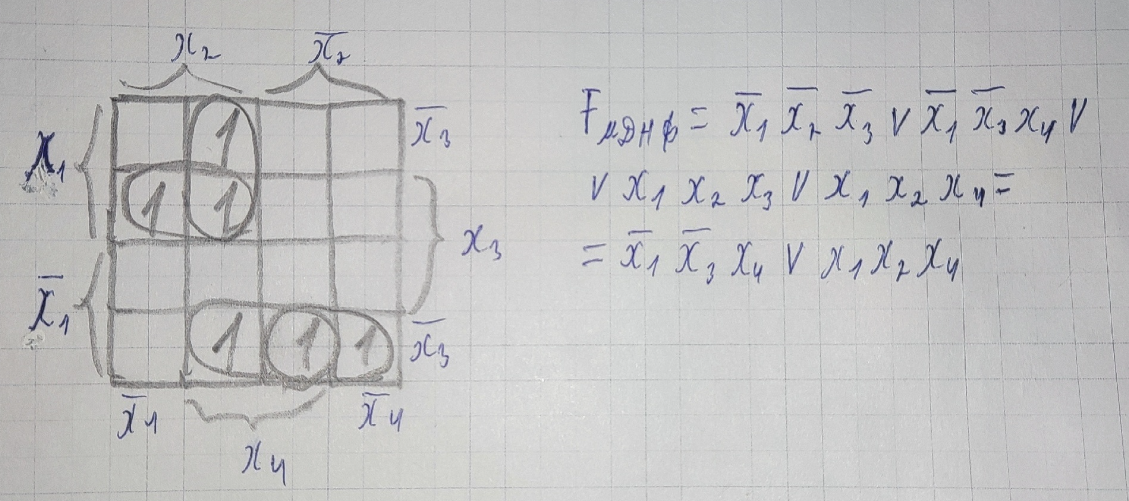


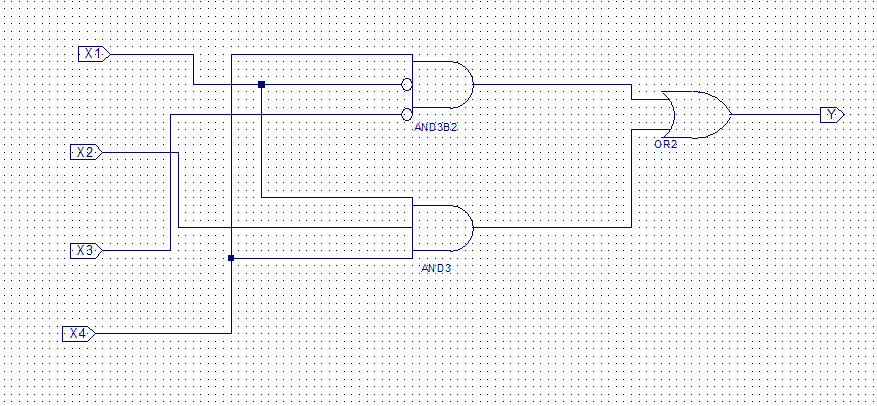
1.5 По согласованию с преподавателем на базе одноразрядного сумматора разработали 2-разрядный сумматор. Проверили работу полученной схемы с помощью функционального и временного моделирования.

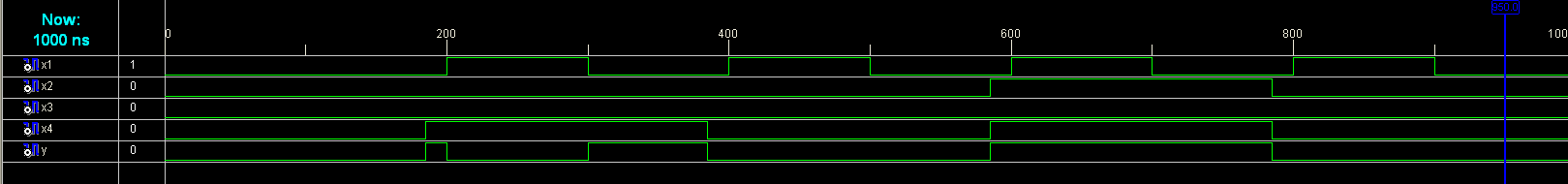




2. Для заданных в табл. функций составили формулы, осуществили минимизацию с помощью диаграмм Вейча и синтезировали схему. Функции задаются номерами тех наборов, на которых функции равны единице.

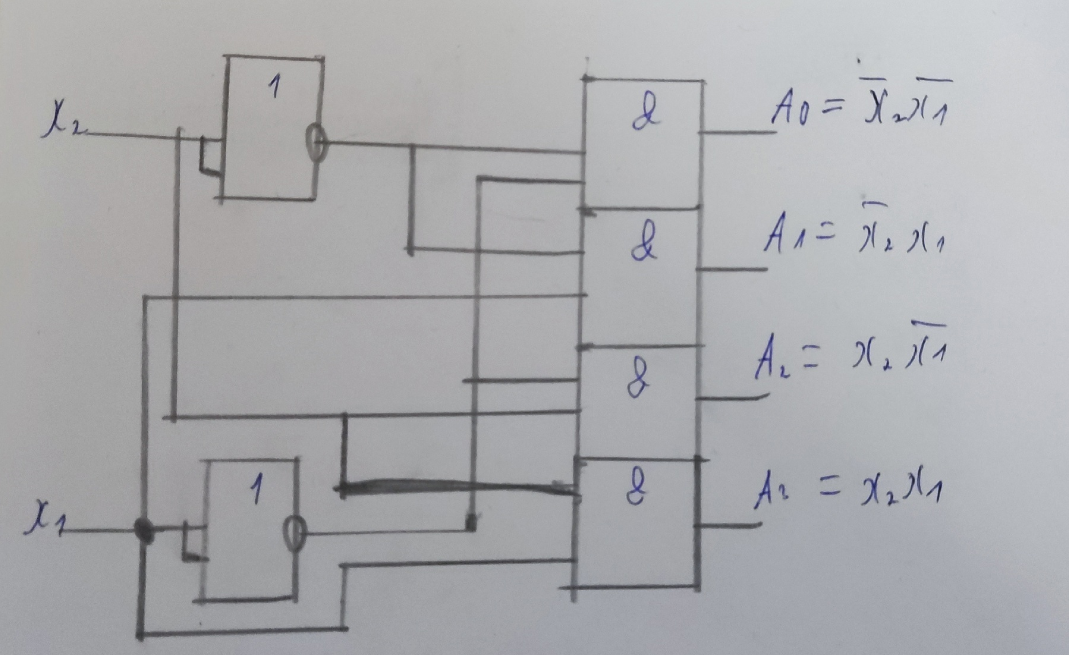
 

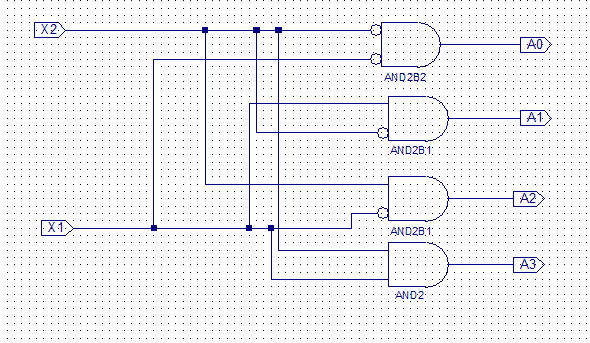


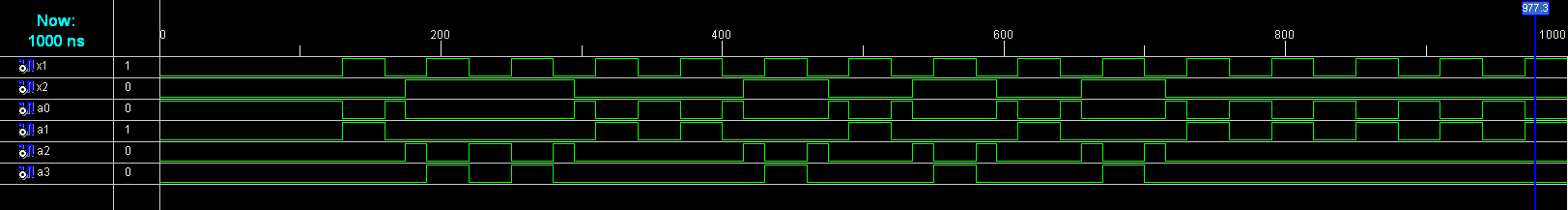


3. На элементах И, И-НЕ, ИЛИ, ИЛИ-НЕ разработали схему дешифратора на два входа. Проверили работу полученной схем с помощью функционального моделирования (Behavioral Simulation).

Проверили работу полученной схемы с помощью временного моделирования (Post-Map). Сравнили результаты моделирования в различных режимах.

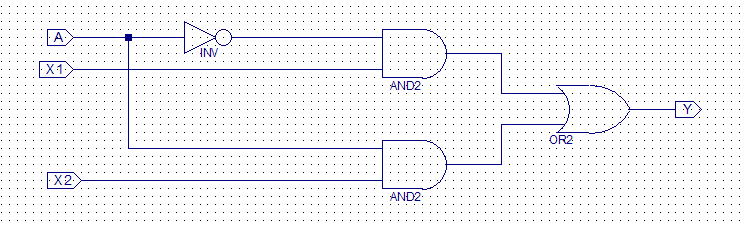


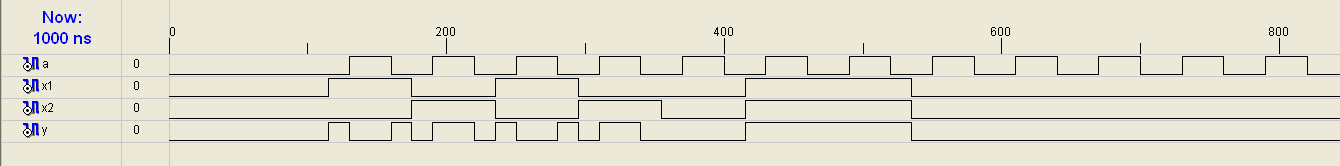




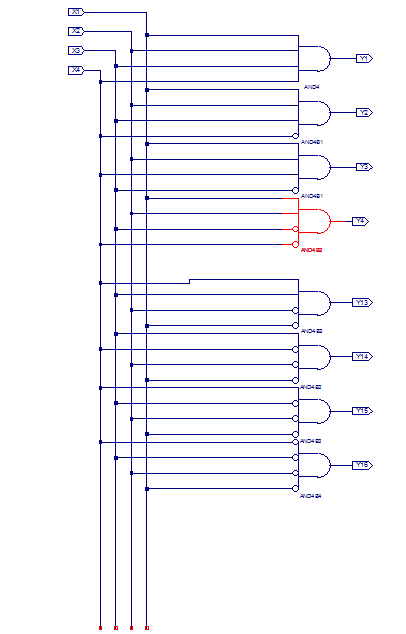
4 На элементах И, И-НЕ, ИЛИ, ИЛИ-НЕ разработали схему одноразрядного мультплексора на два входа. Проверили работу полученной схем с помощью функционального моделирования (Behavioral Simulation).

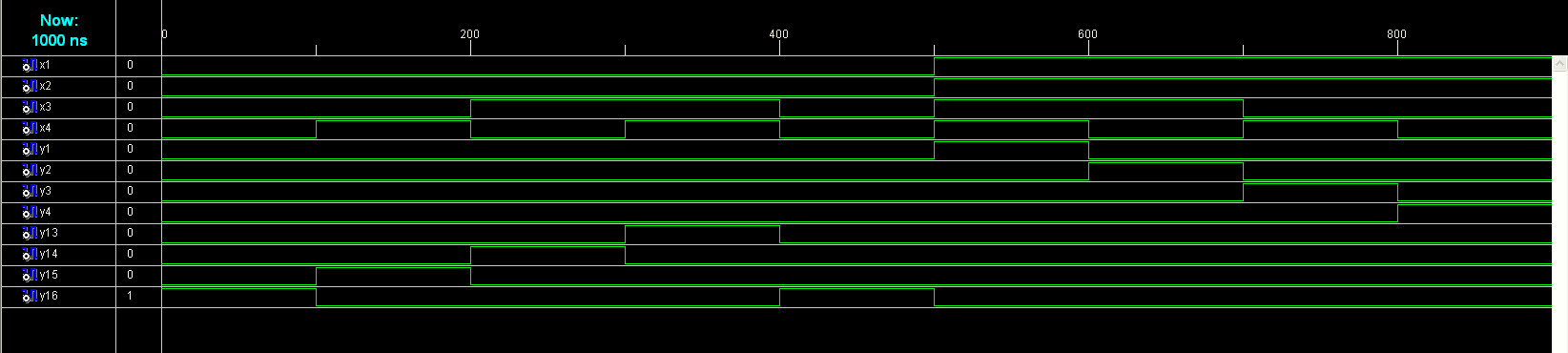
Проверили работу полученной схемы с помощью временного моделирования (Post-Map). Сравнили результаты моделирования в различных режимах.





5 На элементах И, И-НЕ, ИЛИ, ИЛИ-НЕ разработали схему дешифратора на четыре входа. Проверили работу полученной схем с помощью функционального моделирования (Behavioral Simulation). Проверили работу полученной схемы с помощью временного моделирования (Post-Map).

На базе дешифратора разработали схему, реализующую функцию алгебры логики по табл. Проверили работу полученной схемы с помощью функционального и временного моделирования



**Вывод**

Изучили принципы работы системы проектирования цифровых устройств ISE.