Пензенский государственный университет

Кафедра «Вычислительная техника»

**ОТЧЕТ**

по лабораторной работе №6

по дисциплине: «Проектирование программного обеспечения для устройств на ПЛИС»

на тему: «Разработка и отладка цифровых устройств на языке Verilog»

Выполнили:

студенты группы 22ВВП1

Хоссейни Нежад С.А.С.М.

Беляев Д. И.

Демин М.

Приняли:

Гурин И. Е.

Федюнин Р. Н.

Пенза, 2024

**Название**

Разработка и отладка цифровых устройств на языке Verilog

**Цель работы**

Изучение принципов разработки схем на языке Verilog.

**Ход работы**

1. Создан проект для ПЛИС xc3s500e-fg320-5 семейства Spartan-3E. С помощью Core Generator создан сумматор заданной разрядности 10 для сложения чисел со знаком. В сумматор включен выход переполнения. При задании регистров установлен параметр Registered .

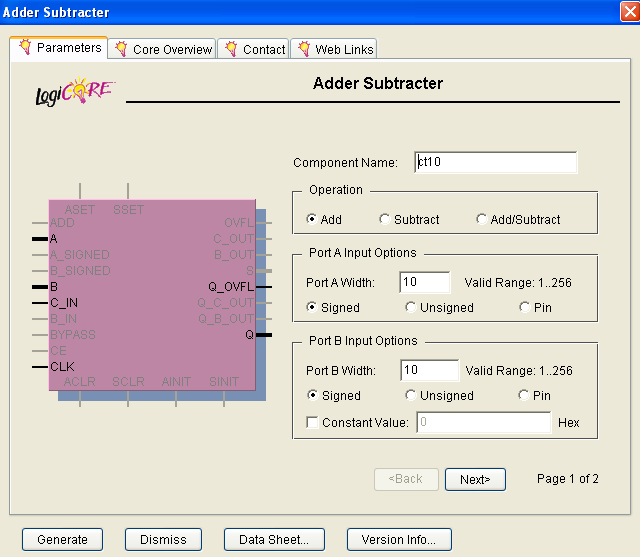


Рисунок 1 – Создание сумматора с помощью Core Generator

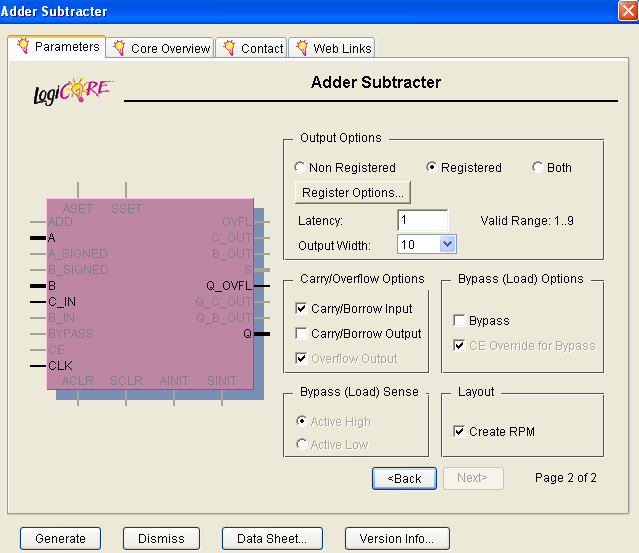


Рисунок 2 – Создание сумматора с помощью Core Generator

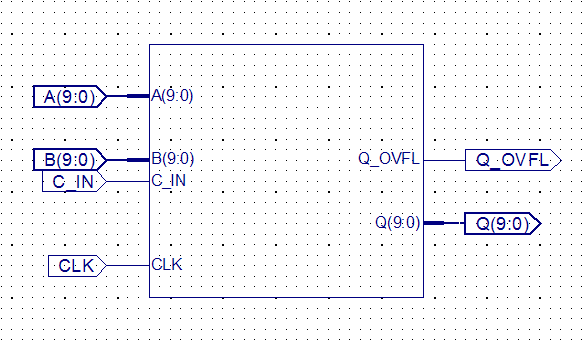


Рисунок 3 – Схема сумматора разрядностью 9

Выполнено временное моделирование для 5 пар входных чисел (слагаемых). Слагаемые подобраны следующим образом: складываются небольшие положительные числа, небольшие по абсолютной величине отрицательные числа, положительное число с отрицательным. Заключительные две пары чисел подобраны так, чтобы на выходе фиксировались переполнения.

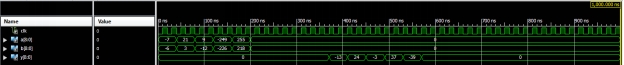


Рисунок 4 – Временное моделирование для 5 пар слагаемых

2. С помощью Core Generator создан регистр и сумматор разрядности 17 для сложения чисел со знаком .

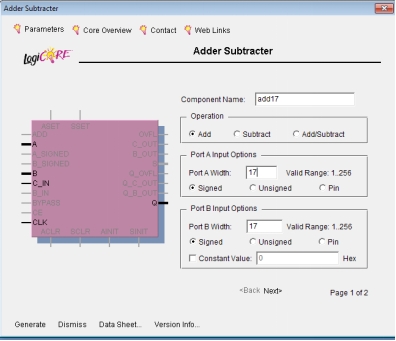


Рисунок 9 – Создание сумматора с помощью Core Generator

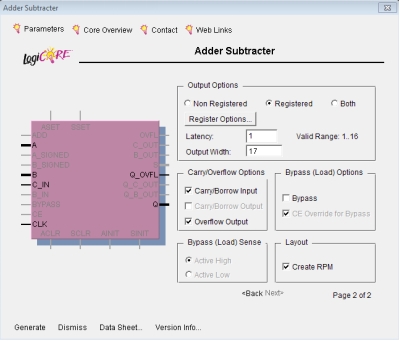


Рисунок 10 – Создание сумматора с помощью Core Generator

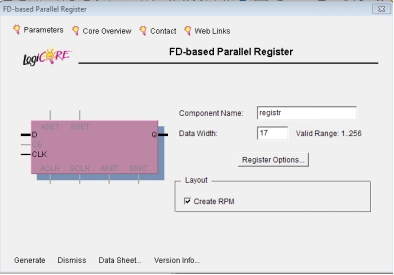


Рисунок 11 – Создание регистра с помощью Core Generator

Создана схема сумматора с регистрами на входах (рис. 12). Результаты функционального моделирования представлены на рисунке 13.

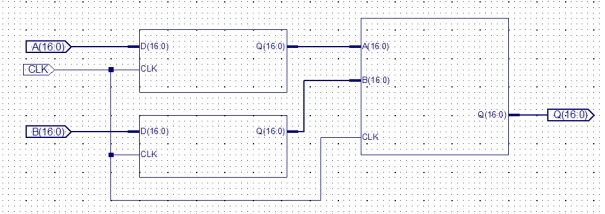


Рисунок 12 – Схема сумматора с регистрами на входах

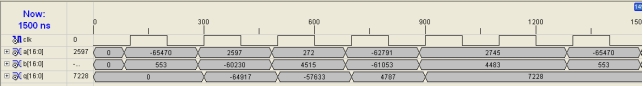


Рисунок 13 – Результаты функционального моделирования

Реализован сумматор с указанными выше параметрами на языке Verilog без использования Core Generator. Тестовый модуль.

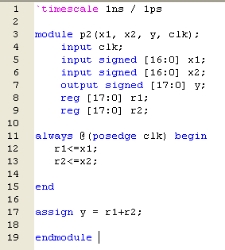


Рисунок 14 – Текст исходного модуля

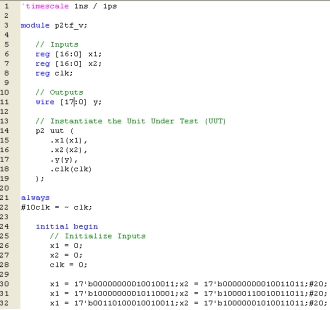


Рисунок 15 – Текст тестового модуля

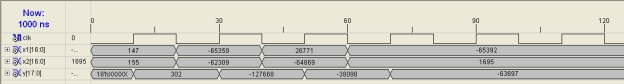


Рисунок 16 – Результаты функционального моделирования

3. С помощью Core Generator создан регистр и умножитель разрядности 9 для умножения чисел без знака. На втором шаге создания умножителя в поле Multiplier Construction установлено Use Luts.

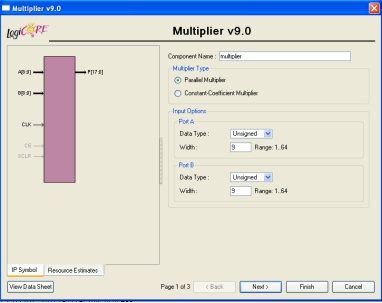


Рисунок 17 – Создание умножителя с помощью Core Generator

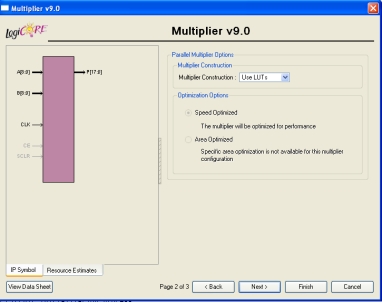


Рисунок 18 – Создание умножителя с помощью Core Generator

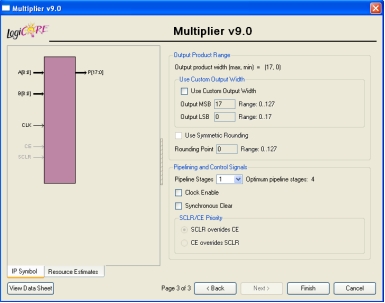


Рисунок 19 – Создание умножителя с помощью Core Generator

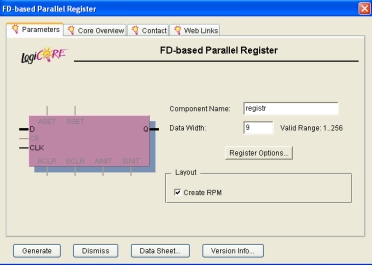


Рисунок 20 – Создание регистра с помощью Core Generator

Создана схема, содержащая умножитель с регистрами на входах. Работа схемы проверена методом временного моделирования .

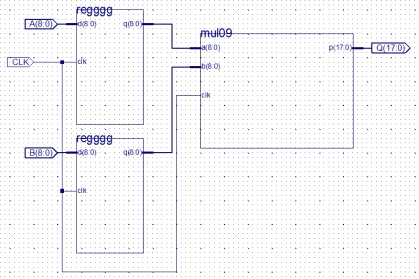


Рисунок 21 – Схема умножителя с регистрами на входах



Рисунок 22 – Результаты временного моделирования

Реализована схема с указанными выше параметрами на языке Verilog без использования Core Generator .

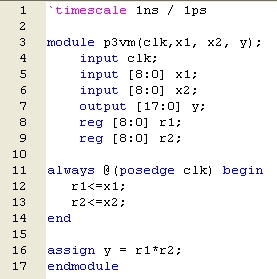


Рисунок 23 – Текст исходного модуля

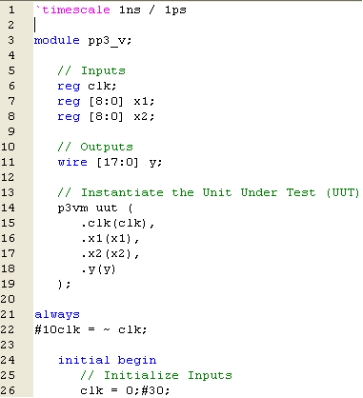


Рисунок 24 – Текст тестового модуля

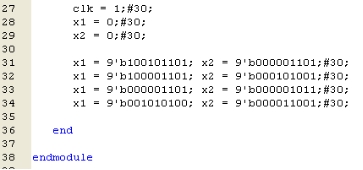


Рисунок 25 – Текст тестового модуля (продолжение)

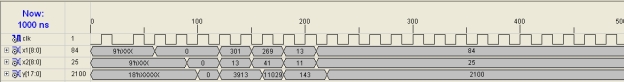


Рисунок 26 – Результаты функционального моделирования

4. С помощью Core Generator создан умножитель разрядности 9 для умножения чисел без знака. На втором шаге создания умножителя в поле Multiplier Construction установлено Use Mults.

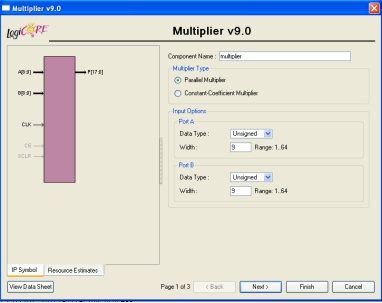


Рисунок 27 – Создание умножителя с помощью Core Generator

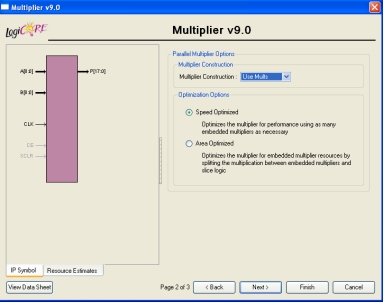


Рисунок 28 – Создание умножителя с помощью Core Generator

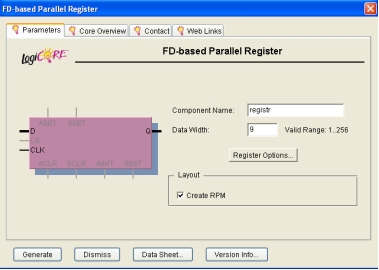


Рисунок 29 – Создание регистра с помощью Core Generator

Создана схема, содержащая умножитель с регистрами на входах. Работа схемы проверена методом временного моделирования.

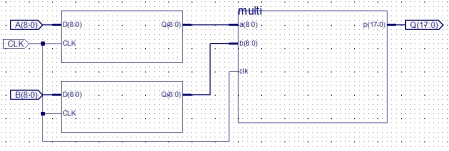


Рисунок 30 – Схема умножителя с регистрами на входах

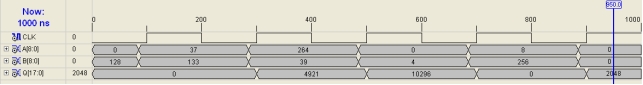


Рисунок 31 – Результаты моделирования

5. На языке Verilog реализована схема 4-разрядного счетчика с входами разрешения и сброса. В схеме счетчика предусмотрен выход переноса из старшего разряда. Тестовый модуль.

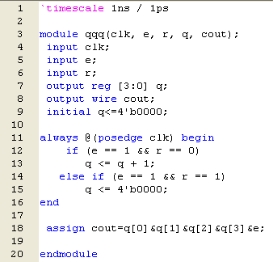


Рисунок 32 – Текст исходного модуля

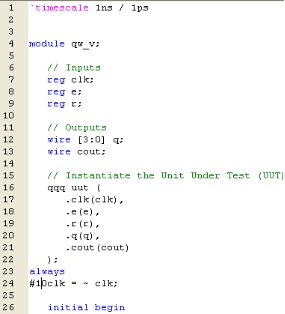


Рисунок 33 – Текст тестового модуля

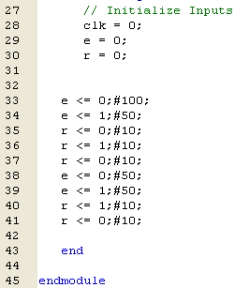


Рисунок 34 – Текст тестового модуля

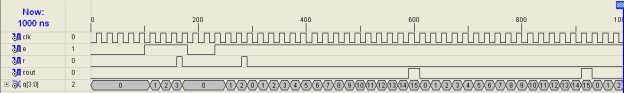


Рисунок 35 – Результаты функционального моделирования

На языке Verilog разработана схема 12-разрядного счетчика, с использованием ранее созданного 4‑разрядного счетчика в качестве компонента. Выполнено функциональное моделирование. Текст исходного модуля приведен.

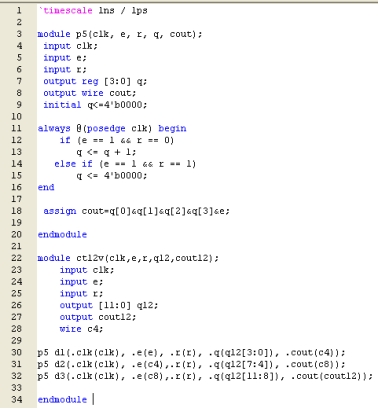


Рисунок 36 – Текст исходного модуля

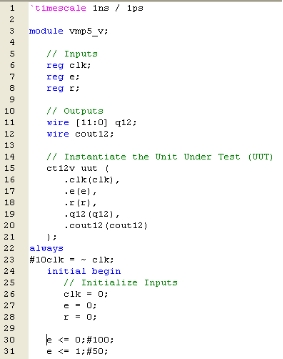


Рисунок 37 – Текст тестового модуля

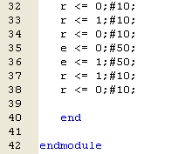


Рисунок 38 – Текст тестового модуля

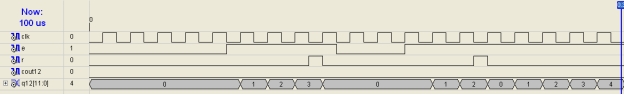


Рисунок 39 – Результаты функционального моделирования

6. Разработано специализированное вычислительное устройство с заданным набором микроопераций на языке Verilog: R1:=ШД; R2:= ШД; R2:= R1 & R2; RSM:= R1 + R2; RSM:= R1.

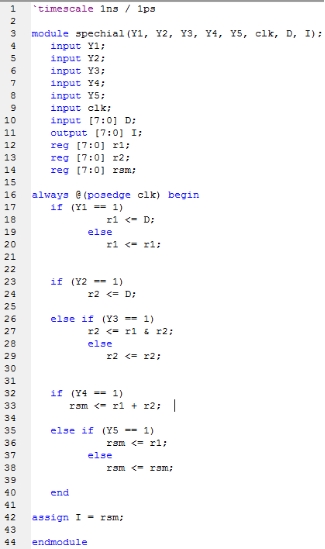


Рисунок 42 – Текст исходного модуля

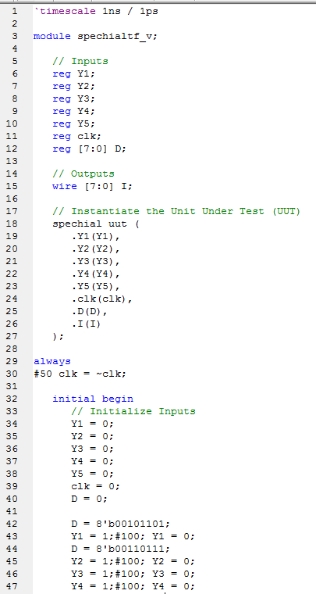


Рисунок 43 – Текст тестового модуля

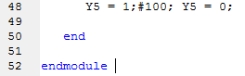


Рисунок 44 – Текст тестового модуля

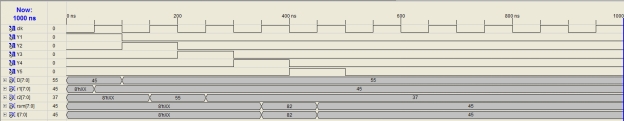


Рисунок 45 – Результаты функционального моделирования

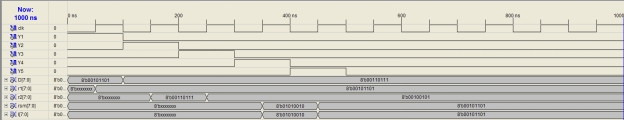


Рисунок 46 – Результаты функционального моделирования

Выполнен синтез схемы, просмотрены результаты синтеза.

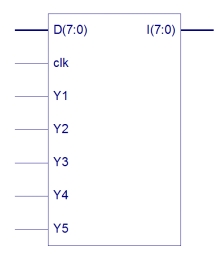


Рисунок 47 – Результаты синтеза схемы

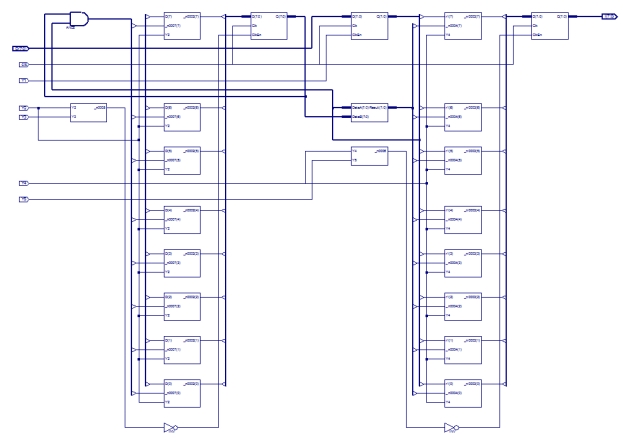


Рисунок 48 – Результаты синтеза схемы

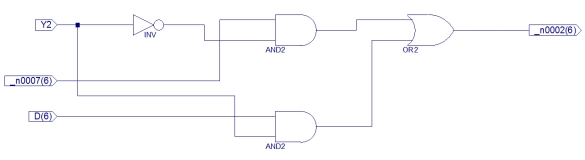


Рисунок 49 – Результаты синтеза схемы

7. На языке Verilog разработан процессор Z1 <= 3\*D1 + 12\*D2. Операция умножения заменена сложениями со сдвигом.

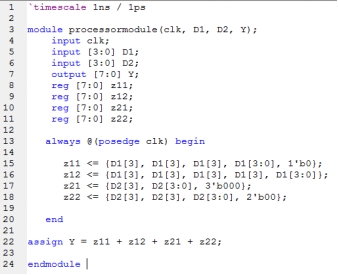


Рисунок 56 – Текст исходного модуля

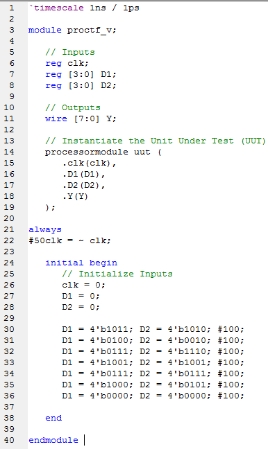


Рисунок 57 – Текст тестового модуля

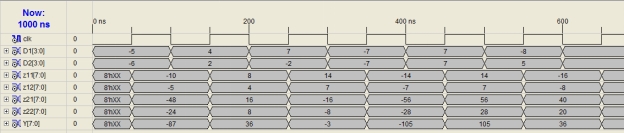


Рисунок 58 – Результаты функционального моделирования

**Вывод**

Изучены принципы разработки схем на языке Verilog. С помощью Core Generator создан сумматор, разрядностью 10 для сложения чисел со знаком; регистр и сумматор, разрядностью 17 для сложения чисел со знаком; умножитель, разрядностью 9 для умножения чисел без знака. Все схемы, реализованные на базе Core Generator были описаны на языке Verilog без использования Core Generator.

На языке Verilog были разработаны схемы 9-разрядного счетчика с входами разрешения и сброса, специализированного устройства и процессора.