

# Elektronika Cyfrowa

## Sprawozdanie z Laboratorium 5

Tomasz Dziób

Grupa 15

15.05.2024

## Spis treści

<b>1</b>	<b>Wstęp teoretyczny</b>	<b>2</b>
1.1	Przerzutnik JK . . . . .	2
1.2	Przerzutnik D . . . . .	2
1.2.1	Wyzwalany zboczem . . . . .	2
1.2.2	Typu “zatrask” . . . . .	3
1.3	Przerzutnik Synchroniczny RS – latch . . . . .	3
1.4	Liczniki zbudowane przy użyciu przerzutnika JK . . . . .	3
1.4.1	jednobitowy Modulo 2 . . . . .	4
1.4.2	czterobitowy Modulo 16 . . . . .	4
1.4.3	czterobitowy Modulo 10 . . . . .	5
<b>2</b>	<b>Ćwiczenia</b>	<b>5</b>
2.1	Ćwiczenie 5.1 . . . . .	5
2.1.1	Własności wejść $c$ , $d$ . . . . .	5
2.1.2	Przebieg w czasowy . . . . .	6
2.2	Ćwiczenie 5.2 . . . . .	7
2.3	Ćwiczenie 5.3 . . . . .	8
2.4	Ćwiczenie 5.4 . . . . .	8
2.5	Ćwiczenie 5.5 . . . . .	9
2.6	Ćwiczenie 5.6 . . . . .	9
<b>3</b>	<b>Omówienie wyników</b>	<b>10</b>
3.1	Ćwiczenie 5.1 . . . . .	10
3.2	Ćwiczenie 5.2 . . . . .	10
3.3	Ćwiczenie 5.3 . . . . .	10
3.4	Ćwiczenie 5.4 . . . . .	10
3.5	Ćwiczenie 5.5 . . . . .	10
3.6	Ćwiczenie 5.6 . . . . .	10
<b>4</b>	<b>Podsumowanie</b>	<b>11</b>
<b>5</b>	<b>Notatki z zajęć</b>	<b>11</b>

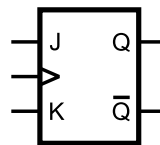
# 1 Wstęp teoretyczny

## 1.1 Przerzutnik JK

Przerzutnik typu JK to jeden z podstawowych rodzajów przerzutników synchronicznych bistabilnych. Przerzutnik ma wejścia informacyjne J i K, zegarowe C, wyjście proste Q i jego negację  $\bar{Q}$ . Często posiada również asynchroniczne wejścia kasujące R (Reset) i ustawiające S (Set).

J	K	Q
0	0	stan się nie zmienia
1	0	0
0	1	0
1	1	zmiana stanu na przeciwny

Rysunek 1: Tablica prawdy dla przerzutnika JK,  
Źródło: Opracowanie własne



Rysunek 2: Schemat wejść/wyjść przerzutnika JK,  
Źródło: [Wikipedia](#)

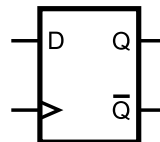
Wejścia informacyjne J i K odpowiadają wejściom S i R przerzutnika RS. Przerzutnik JK nie ma stanów wejściowych niedozwolonych. W przypadku jednoczesnego podania sygnałów 1 na wejścia J i K, stan przerzutnika zmieni się na przeciwny (w chwili wyzwolenia sygnałem zegarowym) na jego podstawie można zbudować wiele innych rodzajów przerzutników np. typu D.

## 1.2 Przerzutnik D

Jeden z podstawowych rodzajów przerzutników synchronicznych. Przerzutnik ten przepisuje stan wejścia informacyjnego D na wyjście Q. Przepisanie informacji następuje tylko przy odpowiednim stanie wejścia zegarowego, dlatego nazywa się go układem opóźniającym.

D	Q
1	1
0	0

Rysunek 3: Tablica prawdy dla przerzutnika D,  
Źródło: Opracowanie własne



Rysunek 4: Schemat wejść/wyjść przerzutnika D,  
Źródło: [Wikipedia](#)

### 1.2.1 Wyzwalany zboczem

Przerzutnik D może być wyzwalany zboczem, narastającym lub opadającym. Oznacza to, że zmiana stanu przerzutnika następuje w momencie zmiany stanu sygnału zegarowego w określony sposób.

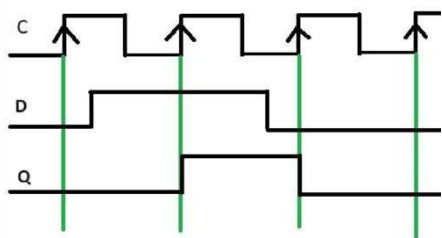
#### 1. Zbocze narastające

Przerzutnik D jest aktywowany w momencie, gdy sygnał zegarowy przechodzi z niskiego stanu (0) do wysokiego stanu (1).

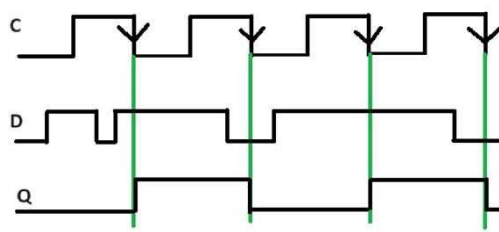
#### 2. Zbocze opadające

Przerzutnik D jest aktywowany w momencie, gdy sygnał zegarowy przechodzi z wysokiego stanu (1) do niskiego stanu (0).

W chwili tego przejścia w obu przypadkach, przerzutnik przechwytuje wartość sygnału wejściowego D i ustawia wyjście Q na tę wartość.



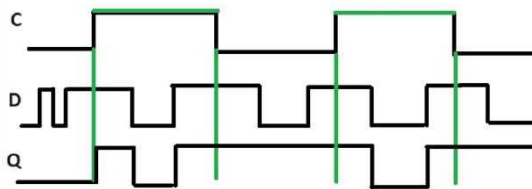
Rysunek 5: Przebieg czasowy przerzutnika D wyzwalanego zboczem narastającym,  
Źródło: Opracowanie własne



Rysunek 6: Przebieg czasowy przerzutnika D wyzwalanego zboczem opadającym,  
Źródło: Opracowanie własne

### 1.2.2 Typu “zatrzask”

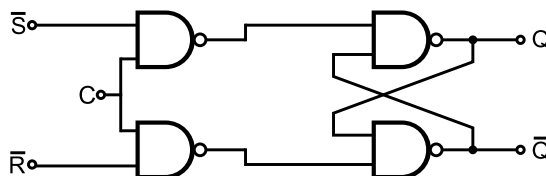
Drugim typem wyzwalania jest typ *Latch*. Gdy sygnał zegarowy na wejściu C jest wysoki (1) – “Zatrzask jest otwarty” i wartość na wejściu D jest przekazywana na wyjście Q. Zatrzask “przepuszcza” wartość wejściową. Natomiast gdy jest niski (0) – Przysłowiowy zatrzask zamyka się, a wyjście Q zachowuje swoją poprzednią wartość, niezależnie od zmian na wejściu D.



Rysunek 7: Przebieg czasowy przerzutnika D wyzwalany poziomem,  
Źródło: Opracowanie własne

## 1.3 Przerzutnik Synchroniczny RS – latch

Jest to wersja przerzutnika RS synchronizowana zegarem który działa na zasadzie poziomów sygnału wejściowego. Jest to przerzutnik zatrzaskowy, co oznacza, że jego stan zależy od poziomu sygnału sterującego, a nie od zbocza sygnału zegarowego. Czyli oznacza to, że układ reaguje na wejścia S i R tylko gdy zegar jest w sa



Rysunek 8: Schemat Przerzutnika asynchronicznego RS typu latch zbudowany z bramek NAND,  
Źródło: Opracowanie własne

## 1.4 Liczniki zbudowane przy użyciu przerzutnika JK

Licznik – nazywamy tak układ cyfrowy służący do zliczania impulsów. Na wyjściu licznika pojawia się zakodowana binarnie liczba impulsów podanych na wejście zliczające. Oprócz wejścia impulsów zliczanych, licznik posiada zazwyczaj wejście ustawiające stan początkowy (zerowanie licznika).

Wyróżniamy rodzaje liczników:

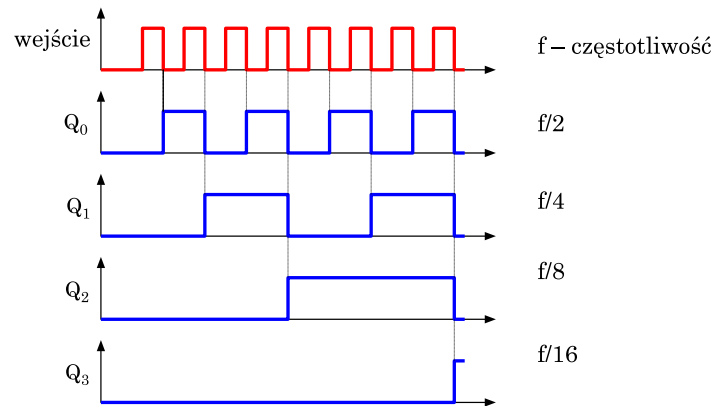
1. liczące w przód (następnikowe)
2. liczące w tył (poprzednikowe)
3. rewersyjne (możliwość zmiany kierunku zliczania)

Oraz możemy podzielić je ze względu na tryb synchronizacji:

1. szeregowo (asynchroniczne)
2. równoległe (synchroniczne)

Na zajęciach zajmowaliśmy się licznikami szeregowymi liczącymi w przód.

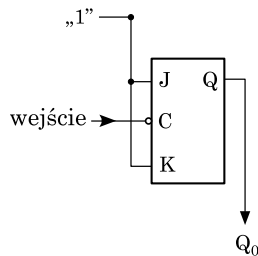
Wyjścia liczników mogą służyć jako układy dzielące (redukujące) częstotliwość sygnałów. Im większa ilość wejść użytych, tym większa będzie redukcja względem oryginalnego sygnału.



Rysunek 9: Wizualizacja redukcji częstotliwości dla odpowiedniej ilości zastosowanych wejść,  
Źródło: Opracowanie własne

#### 1.4.1 jednobitowy Modulo 2

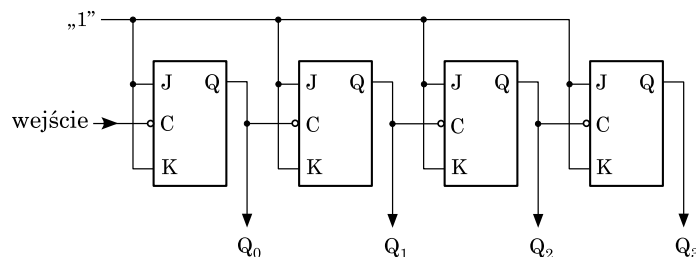
Licznik Modulo 2 przechodzi przez dwa stany (0 i 1). Zbudowany jest z jednego przerzutnika JK. Przy każdym zboczu narastającym sygnału zegarowego, przerzutnik JK zmienia swój stan z 0 na 1 lub z 1 na 0.



Rysunek 10: Schemat licznika jednobitowego modulo 2 zbudowanego z przerzutnika JK,  
Źródło: [Strona wykładów](#)

#### 1.4.2 czterobitowy Modulo 16

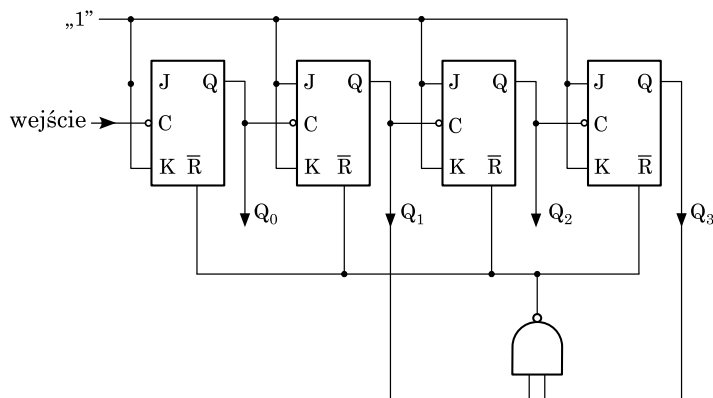
Licznik Modulo 16 jest rozwiniętą wersją poprzedniego, składa się z 4 przerzutników JK co pozwala na przechodzenie przez 16 różnych stanów (od 0000 do 1111 w kodzie binarnym).



Rysunek 11: Schemat licznika czterobitowego modulo 16 zbudowanego z przerzutnika JK,  
Źródło: Opracowanie własne

### 1.4.3 czterobitowy Modulo 10

Tworzenie liczników o liczbie stanów różnej od potęgi dwójki jest bardziej skomplikowane. Realizuje się je przy pomocy dodatkowej bramki logicznej. W tym przypadku została użyta bramka NAND z wejściami  $Q_1$  oraz  $Q_3$  – są to bity odpowiadające binarnej dziesiątce (1010). Wypuszczenie sygnału z tej bramki na wejścia *Reset* przerzutników JK pozwala na ograniczenie zakresu licznika z 16 do 10.



Rysunek 12: Schemat licznika czterobitowego modulo 10 zbudowanego z przerzutnika JK,  
Źródło: Opracowanie własne

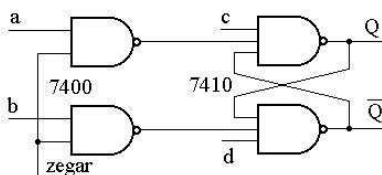
## 2 Ćwiczenia

Przed rozpoczęciem ćwiczeń zostały sprawdzone wszystkie komponenty znajdujące się na płytce (impulsatory, wskaźniki, Próbnik, piny 5V).

### 2.1 Ćwiczenie 5.1

#### 2.1.1 Własności wejść $c$ , $d$

Pierwsze zadanie polegało na zbudowaniu synchronicznego przerzutnika RS. Zastosowane miały zostać układy scalone 7400 i 7410. Dwie z bramek miały posiadać po trzy wejścia. Wejścia dodatkowe  $c$  i  $d$  musiały zostać podłączone do 0V albo 5V ponieważ bez tego układ nie zadziałałby.

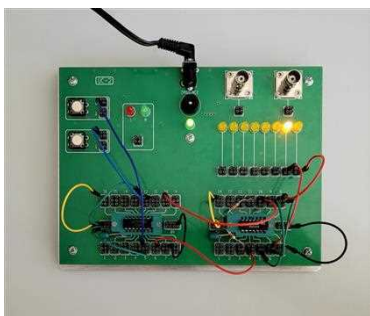


Rysunek 13: Schemat przerzutnika asynchronicznego RS typu latch zbudowany z układów 7400 i 7410 na zajęciach,

Źródło: [Strona wykładów](#)

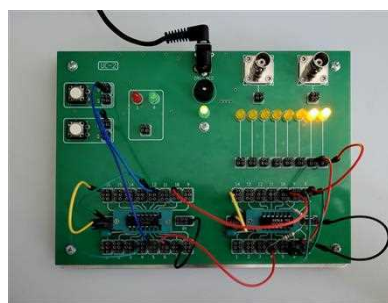
Zwarcie wejść  $c$  oraz  $d$  z  $5V$  zapewniło poprawne działanie układu. Wykorzystane do tego zostały dwa oporniki  $1k\Omega$ . Oporniki zostały dobrane według specyfikacji płytek dostępnej na stronie internetowej pracowni.

Natomiast podłączenie wejść  $c$  oraz  $d$  do  $0V$  (użyte zostały do tego oporniki  $100\Omega$ ) zagwarantowało na obu przerzutnikach stały wysoki sygnał, co za tym idzie, wyjścia  $Q$  oraz  $\bar{Q}$  wskazywały równocześnie 1. Jest stan zakazany oznaczający niepoprawne działanie układu.



Rysunek 14: Poprawnie zbudowany układ RS-latch z zegarem wpiętym na stałe do stanu wysokiego oraz wejściami  $c$  i  $d$  również zwartymi z  $5V$ . Wejścia  $Q$  oraz  $\bar{Q}$  wizualizowane są na dwóch wskaźnikach led,

Źródło: Opracowanie własne



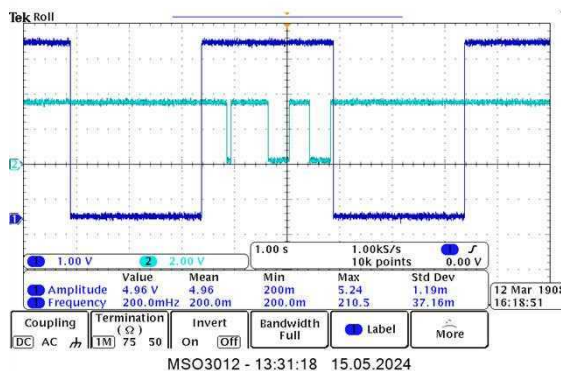
Rysunek 15: Układ RS-latch z zegarem wpiętym na stałe do stanu wysokiego oraz wejściami  $c$  i  $d$  zwartymi z  $0V$ .

Wejścia  $Q$  oraz  $\bar{Q}$  wizualizowane są na dwóch wskaźnikach led,

Źródło: Opracowanie własne

### 2.1.2 Przebieg w czasowy

Drugą częścią zadania było podpięcie fali prostokątnej z generatora do powstałego układu oraz wizualizacja reakcji przerzutnika. Sygnał z generatora wchodził na wejście zegarowe. Jak jesteśmy w stanie zauważyć na poniższym rysunku, reakcja była widoczna tylko gdy zegar wskazywał stan wysoki.



Rysunek 16: Zestawienie sygnału zegarowego (kanał 1) oraz wyjścia  $\bar{Q}$  układu RS-latch (kanał 2) z zauważalnymi zmianami stanów w czasie stanu wysokiego zegara,

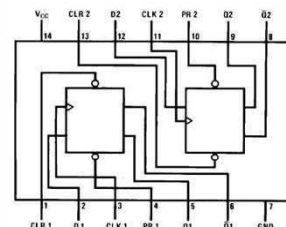
Źródło: Opracowanie własne

## 2.2 Ćwiczenie 5.2

Kolejne zadanie polegało na zbadaniu przerzutnika jednobocznego D znajdującego się na układzie scalonym 7474. Stan logiczny 1 podany został na wejścia  $1CLR$  oraz  $1PRE$  za pomocą górnego impulsatora ( $\overline{Q}$ ).

PR	CLR	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H	H
H	H	$\uparrow$	H	H	L
H	H	$\uparrow$	L	L	H
H	H	L	X	$Q_0$	$\overline{Q}_0$

Rysunek 17: Tablica prawdy dla przerzutnika D,  
Źródło: [Alldatasheet.com](http://Alldatasheet.com)



Rysunek 18: Schemat wejść/wyjść układu 7474,  
Źródło: [Alldatasheet.com](http://Alldatasheet.com)

Legenda tablicy prawdy:

H – wysoki stan logiczny

X – wysoki ulb niski stan logiczny

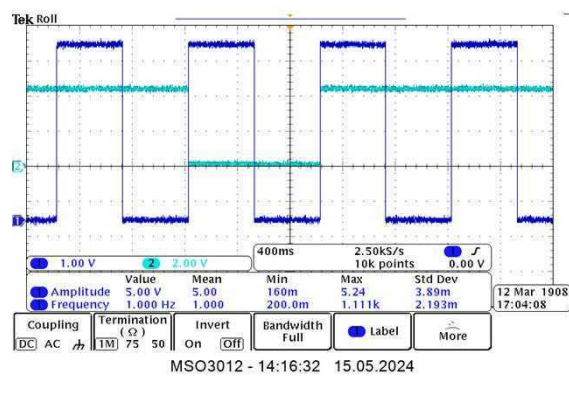
L – niski stan logiczny

$\uparrow$  – Reakcja na zboczne narastające

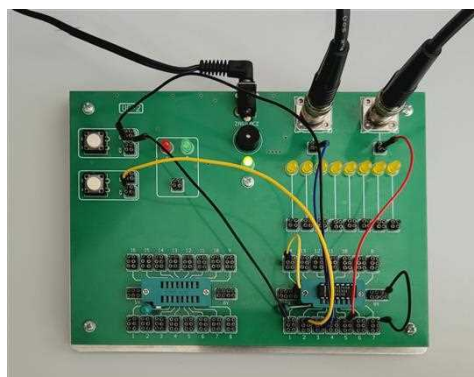
$Q_0$  = Stan poprzedni układu

Kolor czerwony oznacza niestabilną konfigurację.

Sprawdzone zostały oba przerzutniki znajdujące się na płytce. Pominięty został stan gdy  $PR = 0$  i  $CLR = 0$  ponieważ jest on stanem zakazanym tego układu w którym wyjścia mogą zmieniać się w sposób nieoczekiwany.



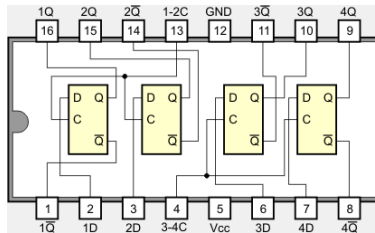
Rysunek 19: Przebieg czasowy zegara oraz wyjścia  $1Q$  układu 7474,  
Źródło: Opracowanie własne



Rysunek 20: Poprawnie podłączony przerzutnik D z wejściami  $1CLR$  oraz  $1PRE$  wpiętymi do logicznej 1 za pomocą górnego impulsatora,  
Źródło: Opracowanie własne

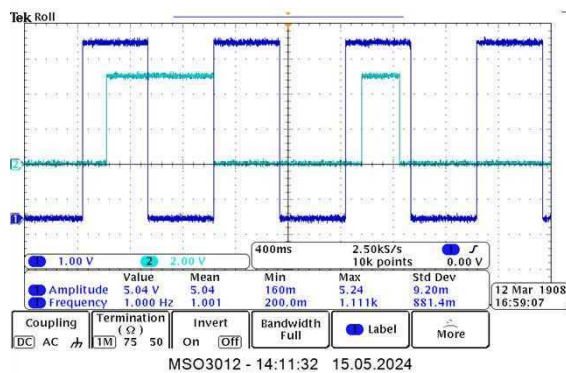
## 2.3 Ćwiczenie 5.3

Poniższa część zajęć polegała na zbadaniu płytki 7475 wybierając jeden z czterech przerzutników D "latch" wyzwalanych poziomem.

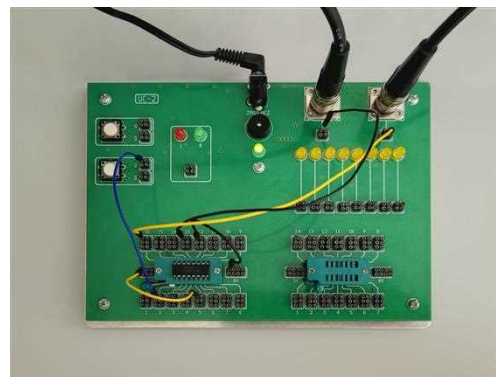


Rysunek 21: Schemat wejść/wyjść układu 7475,  
Źródło: 7475 – cztery przerzutniki D Latch

Sprawdzony został przerzutnik znajdujący się najbardziej z lewej przy wyzłobieniu. Nie wykazał on żadnych nieprawidłowości w działaniu. Poniżej załączam jeden z poprawnych przebiegów czasowych dla tego układu. Jak jesteśmy w stanie zauważyć, układ aktualizuje stan wyjściowy na bieżąco tylko wtedy gdy sygnał zegarowy jest wysoki.



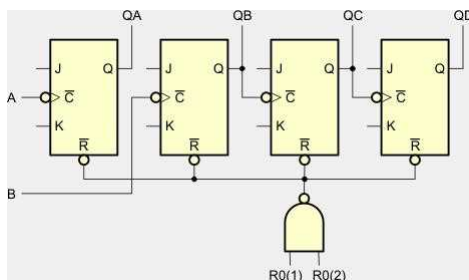
Rysunek 22: Przebieg czasowy zegara oraz wyjścia 1Q układu 7475,  
Źródło: Opracowanie własne



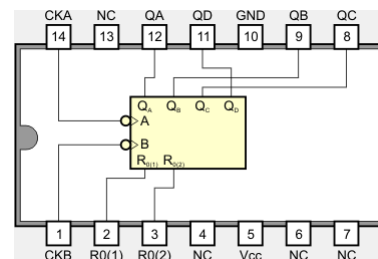
Rysunek 23: Poprawnie podłączony przerzutnik D-latch.  
Wejście D zostało wpięte do impulsatora,  
Źródło: Opracowanie własne

## 2.4 Ćwiczenie 5.4

Jest to zadanie które wymagało użycia przerzutników JK do zbudowania licznika jednobitowego modulo 2. Wykorzystany do tego został układ 7493. Jedną z cech liczników jest to, że mogą zostać użyte jako dzielniki częstotliwości[9].



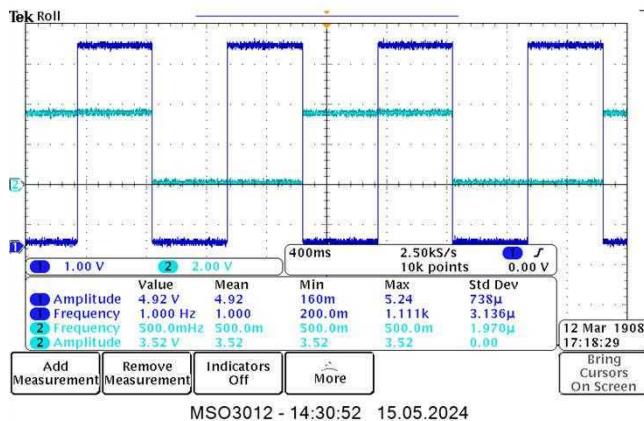
Rysunek 24: Wewnętrzna sieć logiczna licznika 7493,  
Źródło: 7493 – 4-bitowy licznik dwójkowy (moduły 2 i 8)



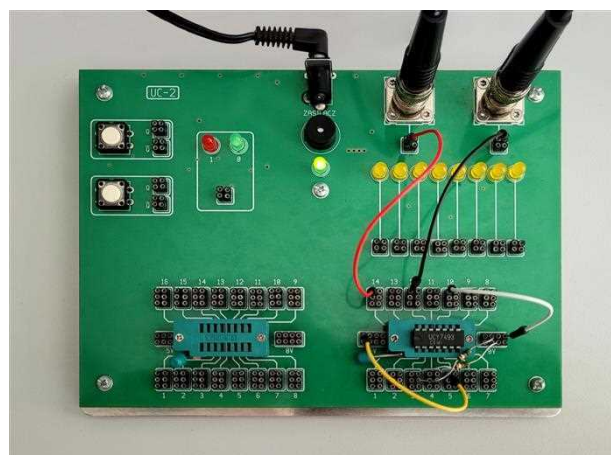
Rysunek 25: Oznaczenie wejść/wyjść w układzie 7493,  
Źródło: 7493 – 4-bitowy licznik dwójkowy (moduły 2 i 8)

Jak jesteśmy w stanie zauważyć na poniższym zrzucie ekranu z oscyloskopu, uzyskana częstotliwość jest faktycznie dwukrotnie mniejsza. Na wejściu podany został 1Hz a otrzymana wartość wskazuje 500mHz.





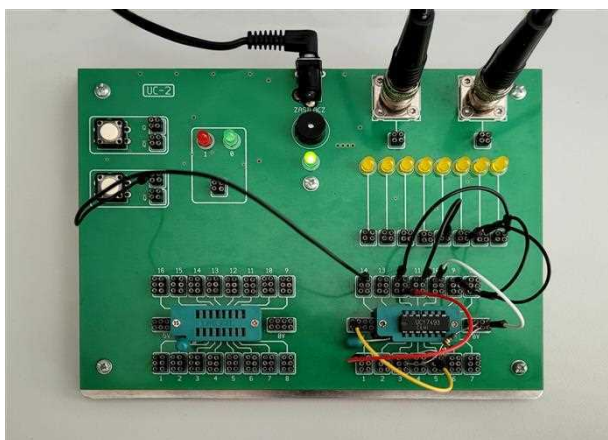
Rysunek 26: Przebieg czasowy częstotliwości wejściowej oraz efektu uzyskanego z układu redukującego,  
Źródło: Opracowanie własne



Rysunek 27: Zbudowany na zajęciach układ dzielący częstotliwość przez 2,  
Źródło: Opracowanie własne

## 2.5 Ćwiczenie 5.5

Kolejne zadanie wymagało użycia tego samego układu 7493. Celem było zwiększenie możliwości licznika do wykonywania akcji modulo 16. Został on wykonany według schematu(11).

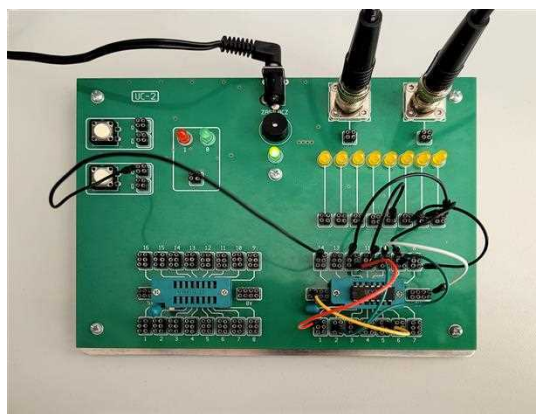


Rysunek 28: Zbudowany na zajęciach licznik modulo 16,  
Źródło: Opracowanie własne

W celu wizualizacji poprawnego działania układu wyjścia  $Q_0 - Q_3$  zostały podłączone do wskaźników led. Wideo z poprawnego działania układu dostępne jest pod tym linkiem[\[LINK\]](#).

## 2.6 Ćwiczenie 5.6

Ostatnie zadanie wymagające układu 7493 polegało na zbudowaniu modulo 10. Został on wykonany według schematu(12). Jest to nic innego jak układ mod 16 ograniczony bramką NAND gdy "doliczymy" do dziesięciu. Jest ona wbudowana w układ 7493 co ułatwiło montaż licznika.



Rysunek 29: Zbudowany na zajęciach licznik modulo 10 z wykorzystaniem bramki NAND,  
Źródło: Opracowanie własne

Jak i w poprzednim zadaniu wizualizacja działania układu wyjścia została pokazana na wskaźnikach led. Wideo z poprawnego działania układu dostępne jest pod tym linkiem [\[LINK\]](#).

### 3 Omówienie wyników

#### 3.1 Ćwiczenie 5.1

Na początku, pierwszą rzeczą do wykonania było zbadanie roli wejść *c* oraz *d*. Z obserwacji dokonanych podczas zajęć wynika, że wpięcie jednego z tych wejść do logicznego zera, powoduje, że wyjście (odpowiadające danej bramce) nie jest w stanie zmienić swojego stanu (natura bramki NAND). Można by powiedzieć, że wejścia te służą do wyłączania z użytku jednego z wyjść  $Q$ ,  $\bar{Q}$  lub obu naraz – wskazują one wtedy stan wysoki.

Samo działanie układu odbyło się zgodnie z oczekiwaniami i nie wskazywało na błędne jego podłączenie.

#### 3.2 Ćwiczenie 5.2

W drugim zadaniu również nie dostrzeżono żadnych problemów po wykonaniu układu. Zamiast impulsatora jako sygnału zegarowego został użyty generator, a do wyświetlania wyjścia oscyloskop. Wejścia *PR* oraz *CLR* służą odpowiednio w układzie jako *Set* oraz *Reset*. Niski poziom logiczny na wejściu *PR* lub *CLR* powoduje odpowiednio ustawienie na 1 lub wyzerowanie wyjścia *Q* przerzutnika.

#### 3.3 Ćwiczenie 5.3

Jak widać po przebiegu czasowym wyświetlanym na oscyloskopie, układ został zbudowany poprawnie. Odpowiadał on tylko na wejście *D* gdy zegar był w stanie wysokim.

#### 3.4 Ćwiczenie 5.4

Screenshot sygnału zegarowego oraz wyjścia układu pięknie ilustruje nam zmianę w częstotliwości sygnału – jest ona dwukrotnie mniejsza. Oprócz tego zauważalny jest spadek w amplitudzie co może wynikać ze zniekształceń sygnału lub niewłaściwie dopasowanej impedancji.

#### 3.5 Ćwiczenie 5.5

Nagranie wideo ilustruje poprawne działanie układu.

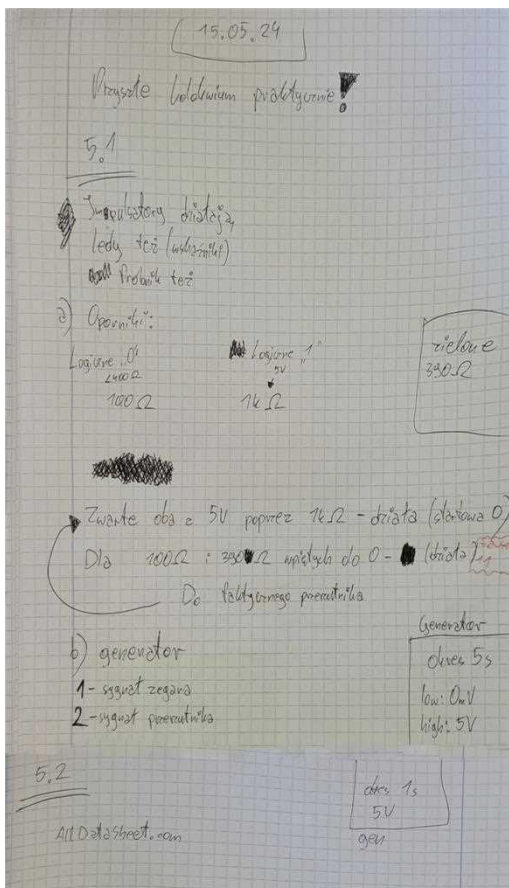
#### 3.6 Ćwiczenie 5.6

Nagranie wideo dokumentuje poprawne zatrzymanie się licznika na liczbie binarnej odpowiadającej dziesięćce.

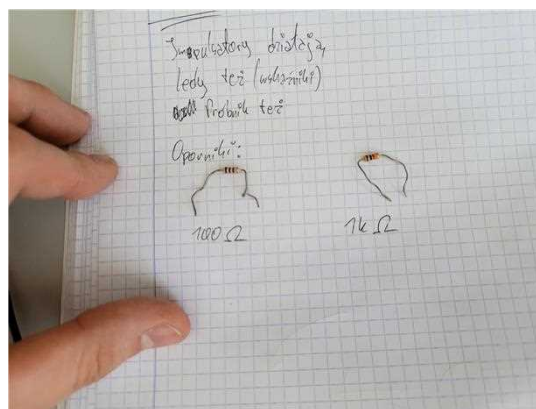
## 4 Podsumowanie

W trakcie laboratorium wykonano różne układy z przerzutników JK i D, w tym przerzutnik RS, synchroniczny przerzutnik D oraz liczniki modulo. Każdy z układów został zbudowany zgodnie z teoretycznymi założeniami i przetestowany za pomocą generatora fali prostokątnej oraz diod LED. W rezultacie, wszystkie układy działały poprawnie i zgodnie z oczekiwaniami, co potwierdzają uzyskane przebiegi czasowe.

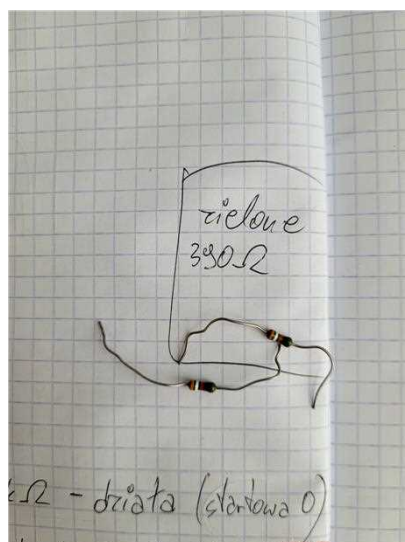
## 5 Notatki z zajęć



Rysunek 30: Notatki wykonane w czasie zajęć,  
Źródło: Opracowanie własne



Rysunek 31: Zdjęcie pomocnicze wykonane w czasie zajęć,  
Źródło: Opracowanie własne



Rysunek 32: Zdjęcie pomocnicze wykonane w czasie zajęć,  
Źródło: Opracowanie własne