

Serie ESP32

Ficha de datos

Incluido:

ESP32-D0WD

ESP32-D0WDQ6

ESP32-D2WD

ESP32-S0WD



Versión 3.0

Sistemas Espressif

Derechos de autor © 2019

Acerca de esta guía

Este documento proporciona las especificaciones de la familia de chips ESP32.

Historial de revisiones

Para cualquier cambio en este documento a lo largo del tiempo, consulte la [última página](#).

Notificación de cambio de documentación

Espressif envía notificaciones por correo electrónico para mantener a sus clientes informados sobre los cambios en la documentación técnica. Suscríbase en www.espressif.com/es/subscribe.

Proceso de dar un título

Descargue los certificados de los productos Espressif desde www.espressif.com/es/certificados.

Aviso de exención de responsabilidad y derechos de autor

La información de este documento, incluidas las referencias URL, está sujeta a cambios sin previo aviso. ESTE DOCUMENTO SE PROPORCIONA TAL CUAL, SIN GARANTÍA ALGUNA, INCLUIDAS LAS DE COMERCIALIZACIÓN, NO INFRACCIÓN, IDONEIDAD PARA UN FIN ESPECÍFICO O CUALQUIER OTRA GARANTÍA DERIVADA DE CUALQUIER PROPUESTA, ESPECIFICACIÓN O MUESTRA.

Se declina toda responsabilidad, incluida la responsabilidad por la infracción de cualquier derecho de propiedad, relacionada con el uso de la información contenida en este documento. No se conceden aquí licencias expresas ni implícitas, por impedimento legal ni de ningún otro modo, sobre ningún derecho de propiedad intelectual. El logotipo de miembro de Wi-Fi Alliance es una marca registrada de Wi-Fi Alliance. El logotipo de Bluetooth es una marca registrada de Bluetooth SIG.

Todos los nombres comerciales, marcas comerciales y marcas registradas mencionadas en este documento son propiedad de sus respectivos dueños y quedan reconocidas por la presente.

Copyright © 2019 Espressif Inc. Todos los derechos reservados.

Contenido

1 Descripción general	1
1.1 Soluciones destacadas	1
1.1.1 Solución de consumo ultrabaja	1
1.1.2 Solución de integración completa	1
1.2 Características principales de Wi-Fi	1
1.3 Características principales de BT	2
1.4 MCU y funciones avanzadas	2
1.4.1 CPU y memoria	2
1.4.2 Relojes y temporizadores	3
1.4.3 Interfaces periféricas avanzadas	3
1.4.4 Seguridad	3
1.5 Aplicaciones (Lista no exhaustiva)	4
1.6 Diagrama de bloques	5
Definiciones de 2 pines	6
2.1 Disposición de los pines	6
2.2 Descripción del pin	7
2.3 Esquema de energía	9
2.4 Pasadores de flejado	10
3 Descripción funcional	13
3.1 CPU y memoria	13
3.1.1 CPU	13
3.1.2 Memoria interna	13
3.1.3 Flash externo y SRAM	14
3.1.4 Mapa de memoria	14
3.2 Temporizadores y perros guardianes	16
3.2.1 Temporizadores de 64 bits	16
3.2.2 Temporizadores de	16
vigilancia 3.3 Relojes del	17
sistema 3.3.1 Reloj de la CPU	17
3.3.2 Reloj RTC	17
3.3.3 Reloj PLL de audio	17
3.4 Radio	17
3.4.1 Receptor de 2,4 GHz	18
3.4.2 Transmisor de 2,4 GHz	18
3.4.3 Generador de reloj	18
3.5 Wi-Fi	18
3.5.1 Radio y banda base Wi-Fi	18
3.5.2 MAC de Wi-Fi	19
3.6 Bluetooth	19
3.6.1 Radio Bluetooth y banda base	19
3.6.2 Interfaz Bluetooth	20
3.6.3 Pila Bluetooth	20

3.6.4 Controlador de enlace Bluetooth	20
3.7 RTC y gestión de bajo consumo	21
4 Periféricos y sensores	23
4.1 Descripciones de periféricos y sensores	23
4.1.1 Interfaz de entrada/salida de propósito general (GPIO)	23
4.1.2 Convertidor analógico-digital (ADC)	23
4.1.3 Sensor Hall	24
4.1.4 Convertidor digital a analógico (DAC)	24
4.1.5 Sensor táctil	24
4.1.6 Coprocesador de consumo ultrabaja	24
4.1.7 Interfaz MAC Ethernet	24
4.1.8 Controlador de host SD/SDIO/MMC	25
4.1.9 Controlador esclavo SDIO/SPI	25
4.1.10 Transmisor receptor asíncrono universal (UART)	26
4.1.11 Interfaz I ² C	26
4.1.12 Interfaz I ² S	26
4.1.13 Control remoto por infrarrojos	26
4.1.14 Contador de pulsos	26
4.1.15 Modulación por ancho de pulso (PWM)	26
4.1.16 LED PWM	27
4.1.17 Interfaz periférica en serie (SPI)	27
4.1.18 Acelerador	27
4.2 Configuraciones de pines periféricos	28
5 Características eléctricas	33
5.1 Valores nominales máximos absolutos	33
5.2 Condiciones de funcionamiento recomendadas	33
5.3 Características de CC (3,3 V, 25 °C)	34
5.4 Calificaciones de confiabilidad	34
5.5 Especificaciones de consumo de energía de RF	35
5.6 Radio Wi-Fi	35
5.7 Radio Bluetooth	36
5.7.1 Receptor – Velocidad de datos básica	36
5.7.2 Transmisor – Velocidad de datos básica	36
5.7.3 Receptor: velocidad de datos mejorada	37
5.7.4 Transmisor: velocidad de datos mejorada	37
5.8 Radio Bluetooth LE	38
5.8.1 Receptor	38
5.8.2 Transmisor	38
6 Información del paquete	39
7 Número de pieza e información de pedido	40
8 recursos de aprendizaje	41
8.1 Documentos de lectura obligatoria	41

8.2 Recursos imprescindibles	41
Apéndice A – Listas de pines del ESP32	42
A.1. Notas sobre las listas de pines del ESP32	42
A.2. Matriz GPIO A.3.	44
Ethernet_MAC	49
A.4. IO_MUX	49
Historial de revisiones	51

Lista de tablas

1	Descripción del pin	7
2	Descripción de los parámetros de encendido y reinicio del ESP32	10
3	pasadores de flejado	11
4	Descripciones de los parámetros de configuración y tiempos de espera para el pasador de flejado	12
5	Mapeo de memoria y periféricos	15
6	Consumo de energía por modos de energía	21
7	Características del ADC	23
8	Resultados de calibración del ADC	23
9	GPIO de detección capacitiva disponibles en ESP32	24
10	Configuraciones de pines periféricos	28
11	Clasificaciones máximas absolutas	33
12	Condiciones de funcionamiento recomendadas	33
13	Características de CC (3,3 V, 25 °C)	34
14	Calificaciones de confiabilidad	34
15	Especificaciones de consumo de energía de RF	35
16	Características de la radio Wi-Fi	35
17	Características del receptor: velocidad de datos básica	36
18	Características del transmisor: velocidad de datos básica	36
19	Características del receptor: velocidad de datos mejorada	37
20	Características del transmisor: velocidad de datos mejorada	37
21	Características del receptor – BLE	38
22	Características del transmisor – BLE	38
23	Información de pedidos de ESP32	40
24	notas sobre las listas de pines del ESP32	42
25	GPIO_Matriz	44
26	Ethernet_MAC	49

Lista de figuras

1	Diagrama de bloques funcionales	5
	Disposición de 2 pines ESP32 (QFN 6*6, vista superior)	6
	Disposición de 3 pines del ESP32 (QFN 5*5, vista superior)	7
4	Esquema de energía ESP32	9
5	Tiempo de encendido y reinicio del ESP32	9
6	Tiempos de configuración y retención del pasador de flejado	11
7	Estructura de mapeo de direcciones	14
	Paquete de 8 QFN48 (6 x 6 mm)	39
	Paquete 9 QFN48 (5x5 mm)	39
10	Número de pieza ESP32	40

1. Descripción general

El ESP32 es un chip combinado de Wi-Fi y Bluetooth de 2,4 GHz, diseñado con la tecnología de 40 nm de ultrabajo consumo de TSMC. Está diseñado para lograr el mejor rendimiento de potencia y RF, demostrando robustez, versatilidad y fiabilidad en una amplia variedad de aplicaciones y escenarios de consumo.

La serie de chips ESP32 incluye los ESP32-D0WDQ6, ESP32-D0WD, ESP32-D2WD y ESP32-S0WD. Para obtener más información sobre los números de pieza y la información de pedido, consulte la [sección "Número de pieza e información de pedido"](#).

1.1 Soluciones destacadas

1.1.1 Solución de consumo ultrabaja

El ESP32 está diseñado para aplicaciones móviles, wearables y del Internet de las Cosas (IoT). Incorpora todas las características de vanguardia de los chips de bajo consumo, como la sincronización de reloj de grano fino, múltiples modos de potencia y escalado dinámico de potencia. Por ejemplo, en una aplicación de concentrador de sensores IoT de bajo consumo, el ESP32 se activa periódicamente y solo cuando se detecta una condición específica. Su bajo ciclo de trabajo minimiza el consumo de energía del chip. La salida del amplificador de potencia también es ajustable, lo que contribuye a un equilibrio óptimo entre el alcance de comunicación, la velocidad de datos y el consumo de energía.

Nota:

Para obtener más información, consulte la [Sección 3.7](#) RTC y gestión de bajo consumo.

1.1.2 Solución de integración completa

ESP32 es una solución altamente integrada para aplicaciones IoT con Wi-Fi y Bluetooth, con alrededor de 20 componentes externos. El ESP32 integra un conmutador de antena, un balun de RF, un amplificador de potencia, un amplificador de recepción de bajo ruido, filtros y módulos de gestión de energía. Por lo tanto, la solución completa ocupa un espacio mínimo en la placa de circuito impreso (PCB).

área.

El ESP32 utiliza CMOS para radio y banda base totalmente integradas en un solo chip, a la vez que integra circuitos de calibración avanzados que permiten que la solución elimine imperfecciones del circuito externo o se ajuste a cambios en las condiciones externas. Por lo tanto, la producción en masa de soluciones ESP32 no requiere equipos de prueba Wi-Fi costosos y especializados.

1.2 Características principales de Wi-Fi

- 802.11 b/g/n
- 802.11 n (2,4 GHz), hasta 150 Mbps
- WMM
- TX/RX A-MPDU, RX A-MSDU
- Bloqueo inmediato ACK
- Desfragmentación
- Monitoreo automático de balizas (hardware TSF)
- 4 × interfaces Wi-Fi virtuales

- Soporte simultáneo para los modos Infrastructure Station, SoftAP y Promiscuous

Tenga en cuenta que cuando ESP32 está en modo Estación, realizando un escaneo, se cambiará el canal SoftAP.

- Diversidad de antenas

Nota:

Para obtener más información, consulte la Sección [3.5 Wi-Fi](#).

1.3 Características principales de BT

- Compatible con las especificaciones Bluetooth v4.2 BR/EDR y BLE
- Transmisor de clase 1, clase 2 y clase 3 sin amplificador de potencia externo
- Control de potencia mejorado
- Potencia de transmisión de +12 dBm
- Receptor NZIF con sensibilidad BLE de -97 dBm
- Salto de frecuencia adaptativo (AFH)
- HCI estándar basado en SDIO/SPI/UART
- UART HCI de alta velocidad, hasta 4 Mbps
- Controlador de modo dual Bluetooth 4.2 BR/EDR BLE
- Conexión síncrona orientada/extendida (SCO/eSCO)
- CVSD y SBC para códec de audio
- Bluetooth Piconet y Scatternet
- Multiconexiones en BT clásico y BLE
- Publicidad y escaneo simultáneos

1.4 MCU y funciones avanzadas

1.4.1 CPU y memoria

- Microprocesador(es) LX6 de 32 bits de uno o dos núcleos Xtensa®, hasta 600 MIPS (200 MIPS para ESP32-S0WD, 400 MIPS para ESP32-D2WD)
- ROM de 448 KB
- 520 KB de SRAM
- 16 KB de SRAM en RTC
- QSPI admite múltiples chips flash/SRAM

1.4.2 Relojes y temporizadores

- Oscilador interno de 8 MHz con calibración
- Oscilador RC interno con calibración
- Oscilador de cristal externo de 2 MHz ~ 60 MHz (40 MHz solo para funcionalidad Wi-Fi/BT)
- Oscilador de cristal externo de 32 kHz para RTC con calibración
- Dos grupos de temporizadores, incluidos 2 temporizadores de 64 bits y 1 organismo de control principal en cada grupo
- Un temporizador RTC
- Organismo de control de la RTC

1.4.3 Interfaces periféricas avanzadas

- 34 × GPIO programables
- ADC SAR de 12 bits hasta 18 canales
- 2 DAC de 8 bits
- 10 × sensores táctiles
- 4 × SPI
- 2 × I²S
- 2 × I²C
- 3 × UART
- 1 host (SD/eMMC/SDIO)
- 1 esclavo (SDIO/SPI)
- Interfaz MAC Ethernet con soporte DMA dedicado e IEEE 1588
- CAN 2.0
- IR (TX/RX)
- Motor PWM
- LED PWM hasta 16 canales
- Sensor Hall

1.4.4 Seguridad

- Arranque seguro
- Cifrado Flash
- OTP de 1024 bits, hasta 768 bits para clientes
- Aceleración de hardware criptográfico:
 - AES
 - Hash (SHA-2)
 - RSA
 - ECC

– Generador de números aleatorios (RNG)

1.5 Aplicaciones (Lista no exhaustiva)

- Concentrador de sensores IoT genérico de bajo consumo
 - Robótica agrícola
- Registradores de datos IoT genéricos de bajo consumo
 - Aplicaciones de audio
 - Reproductores de música de Internet
 - Dispositivos de transmisión en vivo
 - Reproductores de radio por Internet
 - Auriculares de audio
- Cámaras para transmisión de vídeo
 - Aplicaciones para el cuidado de la salud
 - Vigilancia de la salud
 - Monitores para bebés
- Dispositivos OTT (transmisión de alta velocidad)
 - Juguetes con Wi-Fi
 - Juguetes de control remoto
 - Juguetes con detección de proximidad
 - Juguetes educativos
- Reconocimiento de voz
 - Electrónica portátil
 - Relojes inteligentes
 - Pulseras inteligentes
- Reconocimiento de imágenes
 - Aplicaciones para comercio minorista y restauración
 - Máquinas POS
 - Robots de servicio
- Red de malla
- Domótica
 - Control de luz
 - Enchufes inteligentes
 - Cerraduras de puertas inteligentes
- Edificio inteligente
 - Iluminación inteligente
 - Monitoreo energético
- Automatización industrial
 - Control inalámbrico industrial
 - Robótica industrial
- Agricultura inteligente
 - Invernaderos inteligentes
 - Riego inteligente

1.6 Diagrama de bloques

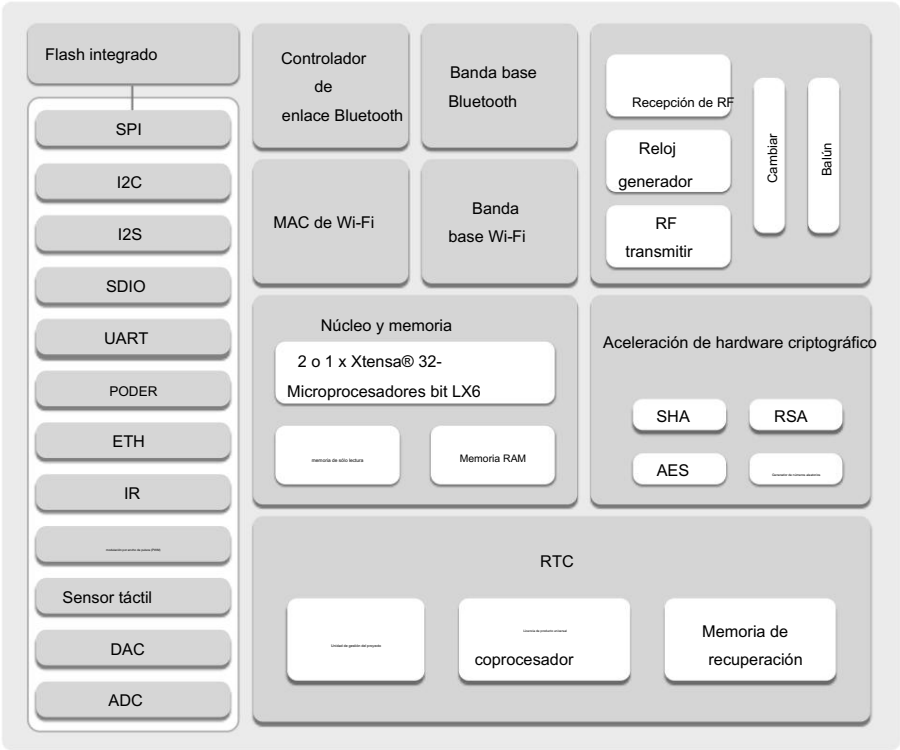


Figura 1: Diagrama de bloques funcionales

Nota:

Los productos de la serie ESP32 se diferencian entre sí en términos de su compatibilidad con flash integrado y la cantidad de CPU. Para más detalles, consulte [el número de pieza y la información de pedido](#).

2. Definiciones de pines

2.1 Disposición de los pines

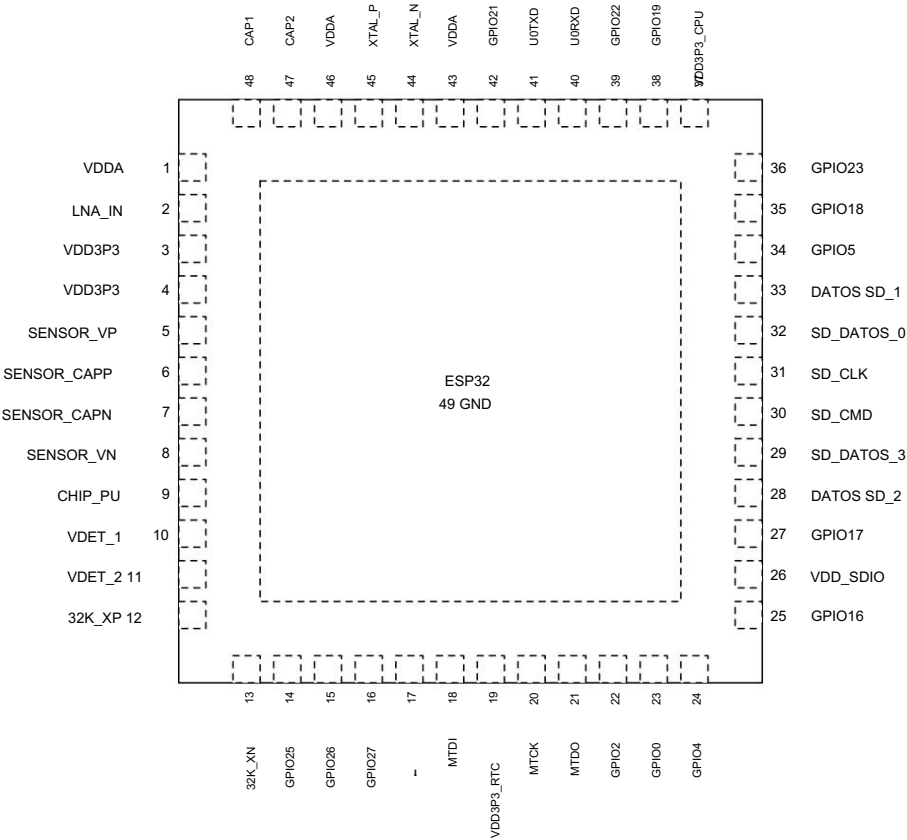


Figura 2: Disposición de pines del ESP32 (QFN 6*6, vista superior)

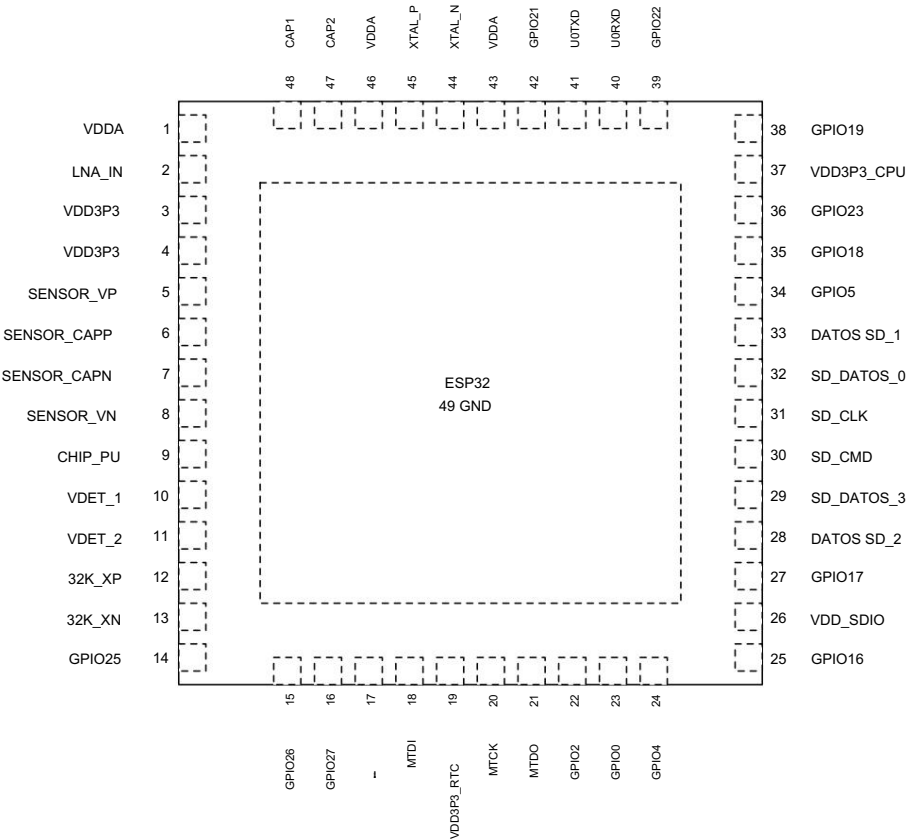


Figura 3: Disposición de pines del ESP32 (QFN 5*5, vista superior)

Nota:

Para obtener detalles sobre los números de pieza del ESP32 y el embalaje correspondiente, consulte [Número de pieza e información de pedido.](#)

2.2 Descripción del pin

Tabla 1: Descripción de pines

Nombre	No.	Tipo	Función
Cosa analoga			
VDDA	1	PAG	Fuente de alimentación analógica (2,3 V – 3,6 V)
LNA_IN	2		Entrada y salida RF de E/S Fuente
VDD3P3	3	PAG	de alimentación analógica (2,3 V – 3,6 V)
VDD3P3	4	PAG	Fuente de alimentación analógica (2,3 V – 3,6 V)
VDD3P3_RTC			
SENSOR_VP	5	I	GPIO36, ADC1_CH0, RTC_GPIO0
SENSOR_CAPP 6		I	GPIO37, ADC1_CH1, RTC_GPIO1
SENSOR_CAPN 7		I	GPIO38, ADC1_CH2, RTC_GPIO2
SENSOR_VN	8	I	GPIO39, ADC1_CH3, RTC_GPIO3
CHIP_PU	9	I	Alto: Encendido; habilita el chip Bajo: Apagado; el chip se apaga Nota: No deje el pin CHIP_PU flotando.

Nombre	No.	Tipo	Función
VDET_1	10	yo	GPIO34, ADC1_CH6, RTC_GPIO4
VDET_2	11	I	GPIO35, ADC1_CH7, RTC_GPIO5
32K_XP	12	E/S	GPIO32, ADC1_CH4, RTC_GPIO9, TOUCH9, 32K_XP (entrada de oscilador de cristal de 32,768 kHz)
32K_XN	13	E/S	GPIO33, ADC1_CH5, RTC_GPIO8, TOUCH8, 32K_XN (salida de oscilador de cristal de 32,768 kHz)
GPIO25	14	E/S	GPIO25, ADC2_CH8, RTC_GPIO6, DAC_1, EMAC_RXD0
GPIO26	15	E/S	GPIO26, ADC2_CH9, RTC_GPIO7, DAC_2, EMAC_RXD1
GPIO27	16	E/S	GPIO27, ADC2_CH7, RTC_GPIO17, TOUCH7, EMAC_RX_DV
Fuente de alimentación de entrada para RTC IO (2,3 V – 3,6 V)			
MTDI	18	E/S	GPIO12, ADC2_CH5, RTC_GPIO15, TOUCH5, EMAC_TXD3, HSPICLK, HS2_CLK, SD_CLK, MTMS
VDD3P3_RTC 19 P			Fuente de alimentación de entrada para RTC IO (2,3 V – 3,6 V)
MTCK	20	E/S	GPIO13, ADC2_CH4, RTC_GPIO14, TOUCH4, EMAC_RX_ER, HSPID, HS2_DATOS3, SD_DATOS3, MTCK
MTDO	21	E/S	GPIO15, ADC2_CH3, RTC_GPIO13, TOUCH3, EMAC_RXD3, HSPICS0, HS2_CMD, SD_CMD, MTDO
GPIO2	22	E/S	GPIO2, ADC2_CH2, RTC_GPIO12, TOUCH2, HSPiWP, HS2_DATA0, SD_DATA0
GPIO0	23	E/S	GPIO0, ADC2_CH1, RTC_GPIO11, TOUCH1, EMAC_TX_CLK, CLK_OUT1,
GPIO4	24	E/S	GPIO4, ADC2_CH0, RTC_GPIO10, TOUCH0, EMAC_TX_ER, HSPiHD, HS2_DATA1, SD_DATA1
VDD_SDIO			
GPIO16	25	E/S	GPIO16, HS1_DATA4, U2RXD, EMAC_CLK_OUT
VDD_SDIO	26	P	Fuente de alimentación de salida: 1,8 V o el mismo voltaje que VDD3P3_RTC
GPIO17	27	E/S	GPIO17, HS1_DATA5, U2TXD, 28 E/S GPIO9, EMAC_CLK_OUT_180
DATOS SD_2	HS1		DATA2, U1RXD, SD_DATA2, SPIHD
SD_DATOS_3	29	E/S	GPIO10, HS1_DATA3, U1TXD, SD_DATA3, SPIWP
SD_CMD	30	E/S	GPIO11, HS1_CMD, U1RTS, SD_CMD, SPICS0
SD_CLK	31	E/S	GPIO6, HS1_CLK, U1CTS, SD_CLK, SPICLK
SD_DATOS_0	32	E/S	GPIO7, HS1_DATA0, U2RTS, SD_DATA0, SPIQ
DATOS SD_1	33	E/S	GPIO8, HS1_DATA1, U2CTS, SD_DATA1, SPID
VDD3P3_CPU			
GPIO5	34	E/S	GPIO5, HS1_DATA6, VSPICS0, EMAC_RX_CLK
GPIO18	35	E/S	GPIO18, HS1_DATA7, VSPICLK
GPIO23	36	E/S	GPIO23, HS1_STROBE, VSPID
VDD3P3_CPU 37 P			Fuente de alimentación de entrada para E/S de CPU (1,8 V – 3,6 V)
GPIO19	38	E/S	GPIO19, U0CTS, VSPIQ, EMAC_TXD0
GPIO22	39	E/S	GPIO22, U0RTS, VSPIWP, EMAC_TXD1
U0RXD	40	E/S	GPIO3, U0RXD, CLK_OUT2
U0TXD	41	E/S	GPIO1, U0TXD, CLK_OUT3, EMAC_RXD2
GPIO21	42	E/S	GPIO21, VSPiHD, EMAC_TX_ES
Cosa analoga			
VDDA	43	P	Fuente de alimentación analógica (2,3 V – 3,6 V)
XTAL_N	44	O	Salida de cristal externa
XTAL_P	45	yo	Entrada de cristal externa
VDDA	46	P	Fuente de alimentación analógica (2,3 V – 3,6 V)
CAP2	47	yo	Se conecta a un condensador de 3 nF y una resistencia de 20 kΩ en paralelo a CAP1
CAP1	48	yo	Se conecta a un condensador en serie de 10 nF a tierra.
Tierra	49	P	Suelo

Nota:

- Los pines GPIO16, GPIO17, SD_CMD, SD_CLK, SD_DATA_0 y SD_DATA_1 del ESP32-D2WD se utilizan para conectar el flash incorporado y no se recomiendan para otros usos.
- Para obtener una guía de referencia rápida sobre el uso de los pines IO_MUX, Ethernet MAC y GIPO Matrix del ESP32, consulte Apéndice [Listas de pines del ESP32](#).
- En la mayoría de los casos, la conexión del puerto de datos entre el ESP32 y el flash externo es la siguiente: SD_DATA0/SPIQ = SD_DATA1/SPID = IO0/DI, SD_DATA2/SPIHD = IO3/HOLD#, SD_DATA3/SPIWP = IO2/WP#.

2.3 Esquema de energía

Los pines digitales del ESP32 se dividen en tres dominios de potencia diferentes:

- VDD3P3_RTC
- VDD3P3_CPU
- VDD_SDIO

VDD3P3_RTC también es la fuente de alimentación de entrada para RTC y CPU.

VDD3P3_CPU también es la fuente de alimentación de entrada para la CPU.

VDD_SDIO se conecta a la salida de un LDO interno cuya entrada es VDD3P3_RTC. Cuando VDD_SDIO se conecta a la misma red de PCB que VDD3P3_RTC, el LDO interno se desactiva automáticamente. El diagrama del esquema de alimentación se muestra a continuación:

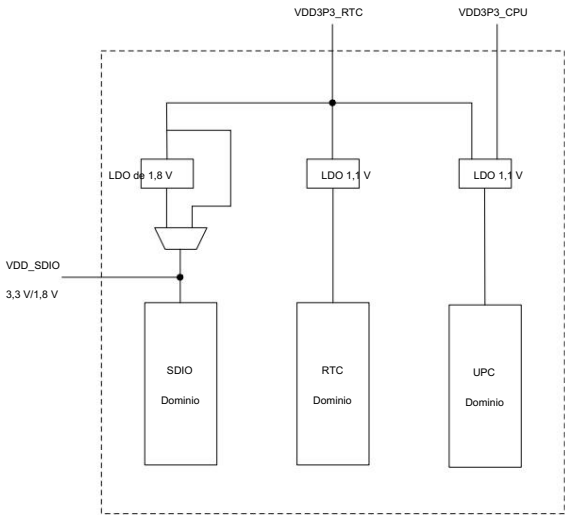


Figura 4: Esquema de energía del ESP32

El LDO interno puede configurarse a 1,8 V, o al mismo voltaje que VDD3P3_RTC. Puede apagarse por software para minimizar la corriente de la memoria flash/SRAM durante el modo de suspensión profunda.

Notas sobre CHIP_PU:

La siguiente ilustración muestra el tiempo de encendido y reinicio del ESP32. Se detallan los parámetros en la Tabla 2.

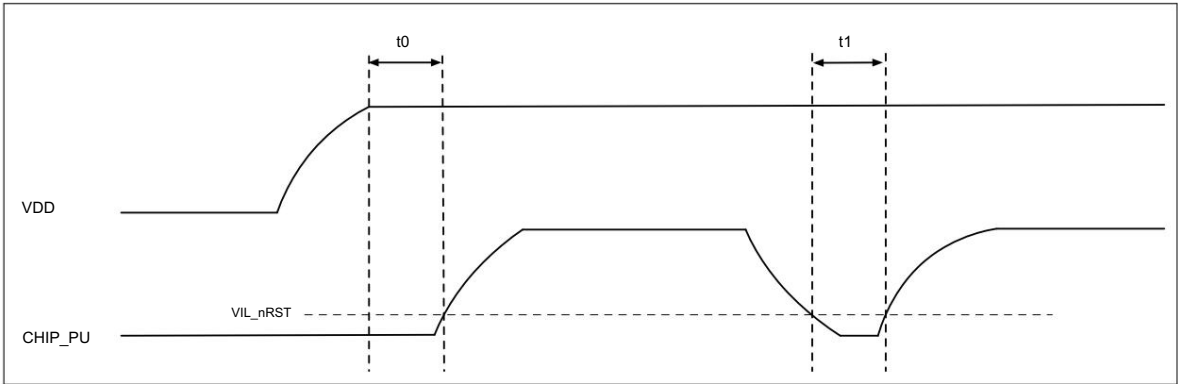


Figura 5: Tiempo de encendido y reinicio del ESP32

Tabla 2: Descripción de los parámetros de encendido y reinicio del ESP32

Parámetros	Descripción	Mín.	Unidad
a0	Tiempo transcurrido entre la activación de los rieles de 3,3 V y la activación de CHIP_PU	50	µs
t1	Duración del nivel de señal CHIP_PU < VIL_nRST (consulte su valor en Tabla 13 Características de CC) para reiniciar el chip	50	µs

- En escenarios donde el ESP32 se enciende y se apaga repetidamente al cambiar los rieles de alimentación, mientras hay un capacitor grande en el riel VDD33 y CHIP_PU y VDD33 están conectados, simplemente apagar el riel de alimentación CHIP_PU y volver a encenderlo inmediatamente puede causar un ciclo de descarga de energía incompleto y una falla en el reinicio adecuado del chip.

Podría requerirse un circuito de descarga adicional para acelerar la descarga del condensador grande en el riel VDD33, lo que garantizará un reinicio correcto al encender el ESP32. Encuentre el circuito de descarga en la Figura "Esquemas de periféricos ESP32-WROOM-32", en [la Hoja de datos del ESP32-WROOM-32](#).

Cuando se utiliza una batería como fuente de alimentación para los chips y módulos de la serie ESP32, se recomienda un supervisor de voltaje de alimentación para evitar fallos de arranque por bajo voltaje. Se recomienda a los usuarios reducir el valor de CHIP_PU si la alimentación del ESP32 es inferior a 2,3 V. Para el circuito de reinicio, consulte la Figura "Esquemas de periféricos ESP32-WROOM-32" en [la Hoja de datos del ESP32-WROOM-32](#).

Notas sobre la fuente de alimentación:

- El voltaje de funcionamiento del ESP32 varía de 2,3 V a 3,6 V. Cuando se utiliza una sola fuente de alimentación, el voltaje recomendado de la fuente de alimentación es de 3,3 V y su corriente de salida recomendada es de 500 mA o más.

Cuando se utiliza VDD_SDIO de 1,8 V como fuente de alimentación para la memoria flash/PSRAM externa, se debe añadir una resistencia de puesta a tierra de 2 kohmios a VDD_SDIO. Para el diseño del circuito, consulte la Figura 3. Esquemas del ESP32-WROVER. en [la hoja de datos ESP32-WROVER](#).

- Cuando se utilizan las tres fuentes de alimentación digitales para controlar periféricos, por ejemplo, flash de 3,3 V, deben cumplir con las especificaciones de los periféricos.

2.4 Pasadores de flejado

ESP32 tiene cinco pines de conexión:

- MTDI
- GPIO0
- GPIO2
- MTDO
- GPIO5

El software puede leer los valores de estos cinco bits desde el registro "GPIO_STRAPPING".

Durante la liberación del reinicio del sistema del chip (reinicio al encender, reinicio del reloj de tiempo real (RTC) y reinicio por caída de tensión), los pestillos de los pines de sincronización muestrean el nivel de voltaje como bits de sincronización de "0" o "1" y los mantienen hasta que el chip se apaga. Los bits de sincronización configuran el modo de arranque del dispositivo, el voltaje de funcionamiento de VDD_SDIO y otros ajustes iniciales del sistema.

Cada pin de flejado se conecta a su pull-up/pull-down interno durante el reinicio del chip. Por lo tanto, si un pin de flejado está desconectado o el circuito externo conectado es de alta impedancia, el pull-up/pull-down interno débil determinará el nivel de entrada predeterminado de los pines de flejado.

Para cambiar los valores de los bits de flejado, los usuarios pueden aplicar las resistencias pull-down/pull-up externas o utilizar el host GPIO del MCU para controlar el nivel de voltaje de estos pines cuando se enciende el ESP32.

Después de restablecer la liberación, los pasadores de sujeción funcionan como pasadores de función normal.

Consulte la Tabla 3 para obtener una configuración detallada del modo de arranque mediante pasadores de sujeción.

Tabla 3: Pasadores de flejado

Voltaje del LDO interno (VDD_SDIO)					
Alfiler	Por defecto	3,3 V		1,8 V	
Menú desplegable MTDI		0		1	
Modo de arranque					
Alfiler	Por defecto	Arranque SPI		Descargar Boot	
GPIO0 Pull-up		1		0	
Desplegable GPIO2		No me importa		0	
Habilitar o deshabilitar la impresión del registro de depuración en U0TXD durante el arranque					
Alfiler	Por defecto	U0TXD Alternancia		U0TXD Silencioso	
Dominadas	MTDO	1		0	
Sincronización del esclavo SDIO					
Alfiler	Por defecto	Muestreo de flanco descendente	Muestreo de flanco descendente	Muestreo de borde ascendente	Muestreo de borde ascendente
		Salida de flanco descendente	Salida de borde ascendente	Salida de flanco descendente	Salida de borde ascendente
Dominadas	MTDO	0	0	1	1
GPIO5 Pull-up		0	1	0	1

Nota:

- El firmware puede configurar bits de registro para cambiar las configuraciones de “Voltaje de LDO interno (VDD_SDIO)” y “Tiempo de SDIO Slave”, después del arranque.

Para los chips ESP32 que incorporan memoria flash, los usuarios deben tener en cuenta el nivel lógico de MTDI. Por ejemplo, ESP32-D2WD contiene un flash incorporado que opera a 1,8 V, por lo tanto, el MTDI debe estar alto.

La siguiente ilustración muestra los tiempos de configuración y retención del pin de flejado antes y después de la señal CHIP_PU

El nivel de presión arterial aumenta. Los detalles sobre los parámetros se enumeran en la Tabla 4.

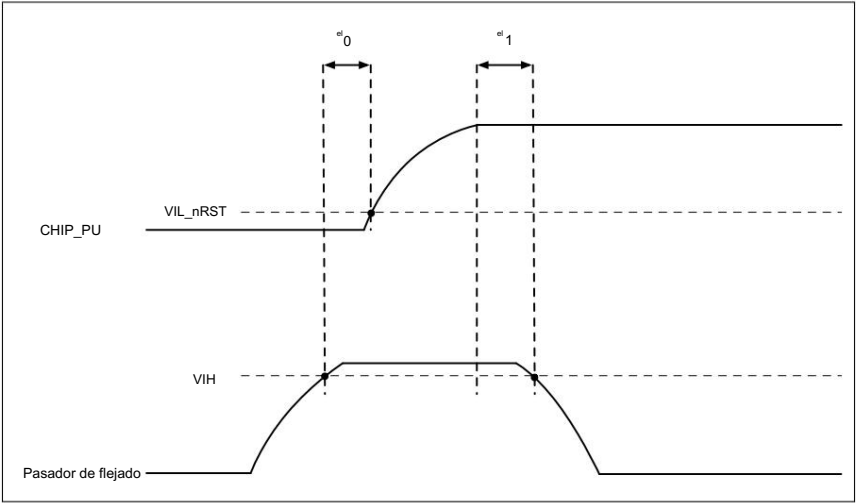


Figura 6: Tiempos de configuración y retención del pasador de flejado

Tabla 4: Descripciones de los parámetros de configuración y tiempos de espera para el pasador de flejado

Parámetros	Descripción	Mín.	Unidad
a0	Tiempo de configuración antes de que CHIP_PU pase de bajo a alto	0	EM
t1	Tiempo de retención después de que CHIP_PU se vuelve alto	1	EM

3. Descripción funcional

Este capítulo describe las funciones integradas en ESP32.

3.1 CPU y memoria

3.1.1 CPU

ESP32 contiene uno o dos microprocesadores Xtensa® LX6 de 32 bits de bajo consumo con las siguientes características:

- Tubería de 7 etapas para soportar una frecuencia de reloj de hasta 240 MHz (160 MHz para ESP32-S0WD y ESP32-D2WD)
- El conjunto de instrucciones de 16/24 bits proporciona una alta densidad de código
- Soporte para unidad de punto flotante
- Soporte para instrucciones DSP, como un multiplicador de 32 bits, un divisor de 32 bits y un MAC de 40 bits
- Soporte para 32 vectores de interrupción de aproximadamente 70 fuentes de interrupción

Las interfaces de CPU simple o dual incluyen:

- Interfaz RAM/ROM Xtensa para instrucciones y datos
- Interfaz de memoria local Xtensa para un acceso rápido a los registros periféricos
- Fuentes de interrupción externas e internas
- JTAG para depuración

3.1.2 Memoria interna

La memoria interna del ESP32 incluye:

- 448 KB de ROM para arranque y funciones principales
- 520 KB de SRAM en chip para datos e instrucciones
- 8 KB de SRAM en RTC, que se denomina memoria rápida RTC y se puede utilizar para el almacenamiento de datos; se accede a ella por la CPU principal durante el arranque RTC desde el modo de suspensión profunda.
- 8 KB de SRAM en RTC, que se denomina memoria LENTA RTC y a la que puede acceder el coprocesador durante El modo de sueño profundo.
- 1 Kbit de eFuse: se utilizan 256 bits para el sistema (dirección MAC y configuración del chip) y el resto 768 bits están reservados para aplicaciones del cliente, incluido el cifrado flash y la identificación del chip.
- Flash incorporado

Nota:

- Los productos de la serie ESP32 se diferencian entre sí en términos de su compatibilidad con flash incorporado y su tamaño.
Para obtener más detalles, consulte [el número de pieza y la información de pedido](#).
- ESP32-D2WD tiene una memoria flash integrada de 16 Mbit y 40 MHz, conectada a través de los pines GPIO16, GPIO17, SD_CMD, SD_CLK, SD_DATA_0 y SD_DATA_1.

3.1.3 Flash externo y SRAM

El ESP32 admite múltiples chips flash y SRAM QSPI externos. Puede encontrar más detalles en el capítulo SPI del [Manual de Referencia Técnica del ESP32](#). ESP32 también admite el cifrado/descifrado de hardware basado en AES para proteger los programas y datos de los desarrolladores en flash.

ESP32 puede acceder a la memoria flash QSPI externa y a SRAM a través de cachés de alta velocidad.

- Se pueden asignar hasta 16 MB de flash externo al espacio de memoria de instrucciones de la CPU y a la memoria de solo lectura espacio simultáneamente.

Al asignar memoria flash externa a la memoria de instrucciones de la CPU, se pueden asignar hasta 11 MB + 248 KB simultáneamente. Tenga en cuenta que si se asignan más de 3 MB + 248 KB, el rendimiento de la caché se reducirá debido a las lecturas especulativas de la CPU.

– Cuando la memoria flash externa se asigna a un espacio de memoria de datos de solo lectura, se pueden asignar hasta 4 MB a la vez. tiempo. Se admiten lecturas de 8 bits, 16 bits y 32 bits.

- La SRAM externa se puede asignar al espacio de memoria de datos de la CPU. Se admiten hasta 8 MB de SRAM y hasta 4 MB a la vez. Se admiten lecturas y escrituras de 8 bits, 16 bits y 32 bits.

Nota:
Una vez inicializado el ESP32, el firmware puede personalizar la asignación de SRAM externa o flash al espacio de direcciones de la CPU.

3.1.4 Mapa de memoria

La estructura del mapeo de direcciones se muestra en la Figura 7. El mapeo de memoria y periféricos del ESP32 se muestra en la Tabla 5.

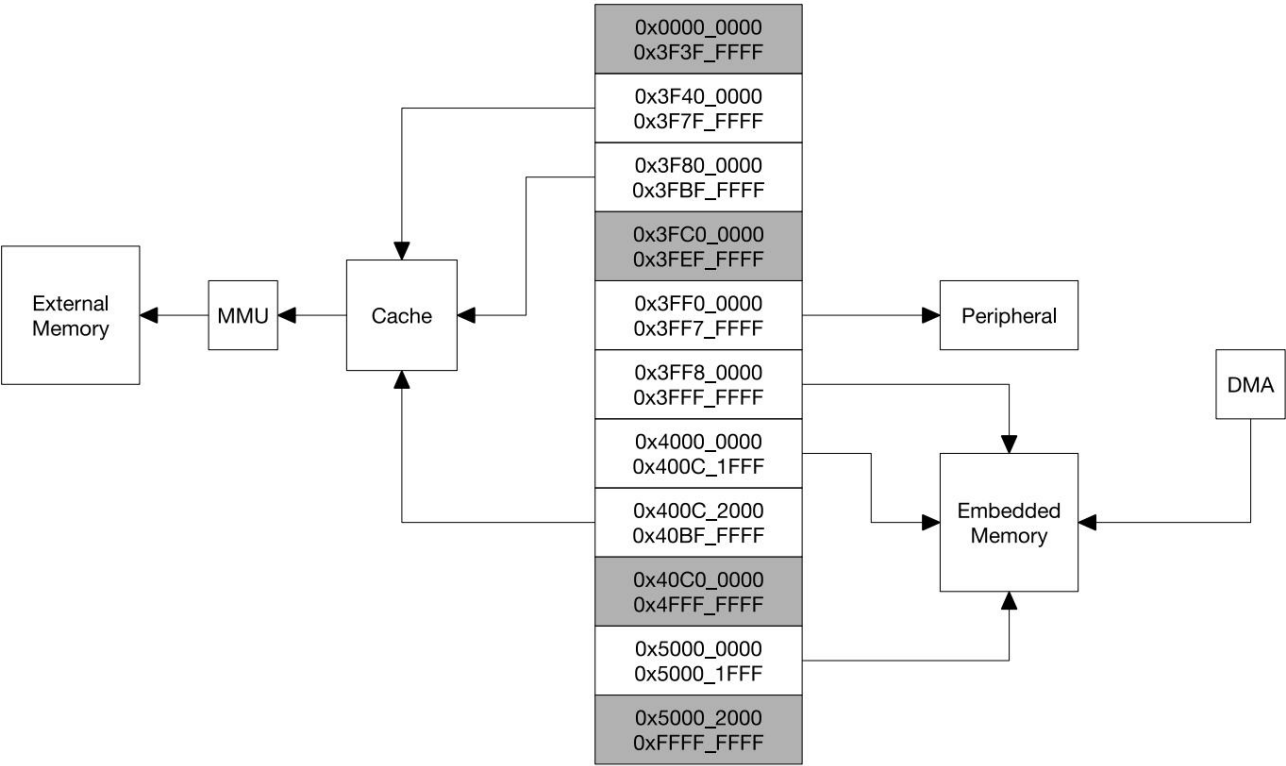


Figura 7: Estructura de mapeo de direcciones

Tabla 5: Mapeo de memoria y periféricos

Categoría	Objetivo	Dirección de inicio	Dirección final	Tamaño
Incorporado Memoria	ROM interna 0	0x4000_0000	0x4005_FFFF	384 KB
	ROM interna 1	0x3FF9_0000	0x3FF9_FFFF	64 KB
	SRAM interna 0	0x4007_0000	0x4009_FFFF	192 KB
	SRAM interna 1	0x3FFE_0000	0x3FFF_FFFF	128 KB
		0x400A_0000	0x400B_FFFF	
	SRAM interna 2	0x3FFA_E000	0x3FFD_FFFF	200 KB
	Memoria rápida RTC	0x3FF8_0000	0x3FF8_1FFF	8 KB
		0x400C_0000	0x400C_1FFF	
	Memoria LENTA RTC 0x5000_0000		0x5000_1FFF	8 KB
Externo Memoria	Flash externo	0x3F40_0000	0x3F7F_FFFF	4 MB
		0x400C_2000	0x40BF_FFFF	11 MB + 248 KB
	SRAM externa	0x3F80_0000	0x3FBF_FFFF	4 MB
Periférico	Registro DPort	0x3FF0_0000	0x3FF0_0FFF	4 KB
	Acelerador AES	0x3FF0_1000	0x3FF0_1FFF	4 KB
	Acelerador RSA	0x3FF0_2000	0x3FF0_2FFF	4 KB
	Acelerador SHA	0x3FF0_3000	0x3FF0_3FFF	4 KB
	Arranque seguro	0x3FF0_4000	0x3FF0_4FFF	4 KB
	Tabla de caché MMU	0x3FF1_0000	0x3FF1_3FFF	16 KB
	Controlador PID	0x3FF1_F000	0x3FF1_FFFF	4 KB
	UART0	0x3FF4_0000	0x3FF4_0FFF	4 KB
	SPI1	0x3FF4_2000	0x3FF4_2FFF	4 KB
	SPI0	0x3FF4_3000	0x3FF4_3FFF	4 KB
	Entrada/Salida de GP	0x3FF4_4000	0x3FF4_4FFF	4 KB
	RTC	0x3FF4_8000	0x3FF4_8FFF	4 KB
	MUX de E/S	0x3FF4_9000	0x3FF4_9FFF	4 KB
	Esclavo SDIO	0x3FF4_B000	0x3FF4_BFFF	4 KB
	UDMA1	0x3FF4_C000	0x3FF4_CFFF	4 KB
	I2S0	0x3FF4_F000	0x3FF4_FFFF	4 KB
	UART1	0x3FF5_0000	0x3FF5_0FFF	4 KB
	I2C0	0x3FF5_3000	0x3FF5_3FFF	4 KB
	UDMA0	0x3FF5_4000	0x3FF5_4FFF	4 KB
	Esclavo SDIO	0x3FF5_5000	0x3FF5_5FFF	4 KB
	RMT	0x3FF5_6000	0x3FF5_6FFF	4 KB
	PCNT	0x3FF5_7000	0x3FF5_7FFF	4 KB
	Esclavo SDIO	0x3FF5_8000	0x3FF5_8FFF	4 KB
	LED PWM	0x3FF5_9000	0x3FF5_9FFF	4 KB
	Controlador Efuse	0x3FF5_A000	0x3FF5_AFFF	4 KB
	Cifrado Flash	0x3FF5_B000	0x3FF5_BFFF	4 KB
	PWM0	0x3FF5_E000	0x3FF5_EFFF	4 KB
	TIMG0	0x3FF5_F000	0x3FF5_FFFF	4 KB
	TIMG1	0x3FF6_0000	0x3FF6_0FFF	4 KB
	SPI2	0x3FF6_4000	0x3FF6_4FFF	4 KB

Categoría	Objetivo	Dirección de inicio	Dirección final	Tamaño
	SPI3	0x3FF6_5000	0x3FF6_5FFF	4 KB
	SYSCON	0x3FF6_6000	0x3FF6_6FFF	4 KB
	I2C1	0x3FF6_7000	0x3FF6_7FFF	4 KB
	SDMMC	0x3FF6_8000	0x3FF6_8FFF	4 KB
	EMAC	0x3FF6_9000	0x3FF6_AFFF	8 KB
	PWM1	0x3FF6_C000	0x3FF6_CFFF	4 KB
	I2S1	0x3FF6_D000	0x3FF6_DFFF	4 KB
	UART2	0x3FF6_E000	0x3FF6_EFFF	4 KB
	PWM2	0x3FF6_F000	0x3FF6_FFFF	4 KB
	PWM3	0x3FF7_0000	0x3FF7_0FFF	4 KB
		0x3FF7_5000	0x3FF7_5FFF	4 KB

3.2 Temporizadores y perros guardianes

3.2.1 Temporizadores de 64 bits

Hay cuatro temporizadores de propósito general integrados en el ESP32. Todos son temporizadores genéricos de 64 bits basados en preescaladores de 16 bits y temporizadores de subida y bajada con capacidad de recarga automática de 64 bits.

Los temporizadores cuentan con:

- Un preescalador de reloj de 16 bits, de 2 a 65536
- Un temporizador de 64 bits
- Temporizador de subida/bajada configurable: incremental o decremental.
- Detención y reanudación del contador de base de tiempo
- Recarga automática en caso de alarma
- Recarga instantánea controlada por software
- Generación de interrupciones de nivel y de borde

3.2.2 Temporizadores de vigilancia

El ESP32 tiene tres temporizadores de vigilancia: uno en cada uno de los dos módulos de temporizador (llamado Temporizador de vigilancia principal, o MWDT) y uno en el módulo RTC (llamado Temporizador de Vigilancia RTC o RWDT). Estos temporizadores de vigilancia son destinados a recuperarse de una falla imprevista que provoca que el programa de aplicación abandone su secuencia normal. A

El temporizador de vigilancia tiene cuatro etapas. Cada etapa puede activar una de tres o cuatro acciones posibles al expirar el tiempo.

Su período de tiempo programado, a menos que el watchdog esté alimentado o deshabilitado. Las acciones son: interrupción, reinicio de la CPU, núcleo Reinicio y reinicio del sistema. Solo el RWDT puede activar el reinicio del sistema y reiniciar todo el chip, incluyendo...

El propio RTC. Se puede configurar un tiempo de espera para cada etapa individualmente.

Durante el arranque flash, el RWDT y el primer MWDT se inician automáticamente para detectar y recuperarse del arranque. problemas.

Los perros guardianes ESP32 tienen las siguientes características:

- Cuatro etapas, cada una de las cuales se puede configurar o desactivar por separado
- Un período de tiempo programable para cada etapa

- Una de tres o cuatro acciones posibles (interrupción, reinicio de CPU, reinicio del núcleo y reinicio del sistema) al expirar el cada etapa
- Contador de caducidad de 32 bits
- Protección contra escritura que evita que la configuración de RWDT y MWDT se altere inadvertidamente
- Protección de arranque flash SPI

Si el proceso de arranque desde una memoria flash SPI no se completa dentro de un período de tiempo predeterminado, el sistema de vigilancia reiniciará todo el sistema.

3.3 Relojes del sistema

3.3.1 Reloj de la CPU

Al reiniciar, se selecciona una fuente de reloj de cristal externa como reloj predeterminado de la CPU. Esta fuente también se conecta a un PLL para generar un reloj de alta frecuencia (normalmente 160 MHz).

Además, el ESP32 cuenta con un oscilador interno de 8 MHz. La aplicación puede seleccionar la fuente de reloj: la fuente de reloj de cristal externa, el reloj PLL o el oscilador interno de 8 MHz. La fuente de reloj seleccionada controla el reloj de la CPU directamente o por división, según la aplicación.

3.3.2 Reloj RTC

El reloj RTC tiene cinco fuentes posibles:

- reloj de cristal externo de baja velocidad (32 kHz)
- Reloj de cristal externo dividido por 4
- Oscilador RC interno (normalmente de unos 150 kHz y ajustable)
- oscilador interno de 8 MHz
- reloj interno de 31,25 kHz (derivado del oscilador interno de 8 MHz dividido por 256)

Cuando el chip está en modo de consumo normal y necesita un acceso más rápido a la CPU, la aplicación puede elegir el reloj de cristal externo de alta velocidad dividido por 4 o el oscilador interno de 8 MHz. Cuando el chip funciona en modo de bajo consumo, la aplicación elige el reloj de cristal externo de baja velocidad (32 kHz), el reloj RC interno o el reloj interno de 31,25 kHz.

3.3.3 Reloj PLL de audio

El reloj de audio se genera mediante el PLL fraccional N de ruido ultrabajo. Para más detalles, consulte el capítulo "Reinicio y Reloj" del [Manual de Referencia Técnica del ESP32](#).

3.4 Radio

La radio ESP32 consta de los siguientes bloques:

- Receptor de 2,4 GHz
- Transmisor de 2,4 GHz
- sesgo y reguladores
- Balun y conmutador de transmisión-recepción

- generador de reloj

3.4.1 Receptor de 2,4 GHz

El receptor de 2,4 GHz demodula la señal de RF de 2,4 GHz a señales de banda base en cuadratura y las convierte al dominio digital mediante dos convertidores analógico-digitales (ADC) de alta resolución y alta velocidad. Para adaptarse a las condiciones variables del canal de señal, el ESP32 integra filtros de RF, control automático de ganancia (AGC), circuitos de cancelación de compensación de CC y filtros de banda base.

3.4.2 Transmisor de 2,4 GHz

El transmisor de 2,4 GHz modula las señales de banda base en cuadratura a la señal de RF de 2,4 GHz y alimenta la antena con un amplificador de potencia CMOS (semiconductor de óxido metálico complementario) de alta potencia. El uso de calibración digital mejora aún más la linealidad del amplificador de potencia, lo que permite un rendimiento de vanguardia con hasta +20,5 dBm de potencia para transmisiones 802.11b y +18 dBm para transmisiones 802.11n.

Se integran calibraciones adicionales para cancelar cualquier imperfección de radio, como:

- Fuga del portador
- Coincidencia de fase I/Q
- No linealidades de banda base
- No linealidades de RF
- Adaptación de antena

Estas rutinas de calibración integradas reducen la cantidad de tiempo necesario para probar el producto y hacen que el equipo de prueba sea innecesario.

3.4.3 Generador de reloj

El generador de reloj produce señales de reloj en cuadratura de 2,4 GHz tanto para el receptor como para el transmisor. Todos los componentes del generador de reloj están integrados en el chip, incluyendo inductores, varactores, filtros, reguladores y divisores.

El generador de reloj incorpora circuitos de calibración y autodiagnóstico. Las fases de reloj en cuadratura y el ruido de fase están optimizados en el chip mediante algoritmos de calibración patentados que garantizan el máximo rendimiento del receptor y del... transmisor.

3.5 Wi-Fi

El ESP32 implementa un protocolo TCP/IP y un protocolo MAC Wi-Fi 802.11 b/g/n completo. Es compatible con el Conjunto de Servicios Básicos (BSS). Las operaciones de STA y SoftAP se realizan bajo la Función de Control Distribuido (DCF). La gestión de energía se gestiona con mínima interacción con el host para minimizar el tiempo de actividad.

3.5.1 Radio y banda base Wi-Fi

La radio y banda base Wi-Fi ESP32 admiten las siguientes funciones:

- 802.11b/g/n
- 802.11n MCS0-7 en ancho de banda de 20 MHz y 40 MHz
- 802.11n MCS32 (RX)

- Intervalo de guarda de 0,4 μ s 802.11n
- hasta 150 Mbps de velocidad de datos
- Recepción de STBC 2×1
- Hasta 20,5 dBm de potencia de transmisión
- Potencia de transmisión ajustable
- Diversidad de antenas

El ESP32 admite diversidad de antenas con un interruptor de RF externo. Uno o más GPIO controlan el interruptor de RF y seleccionan la mejor antena para minimizar los efectos del desvanecimiento del canal.

3.5.2 MAC de Wi-Fi

La MAC Wi-Fi del ESP32 aplica automáticamente las funciones del protocolo de bajo nivel. Son las siguientes:

- 4 × interfaces Wi-Fi virtuales
- Modo de estación BSS de infraestructura simultánea/modo SoftAP/modo promiscuo
- Protección RTS, protección CTS, ACK de bloqueo inmediato
- Desfragmentación
- TX/RX A-MPDU, RX A-MSDU
- TXOP
- WMM
- CCMP (CBC-MAC, modo contador), TKIP (MIC, RC4), WAPI (SMS4), WEP (RC4) y CRC
- Monitoreo automático de balizas (hardware TSF)

3.6 Bluetooth

ESP32 integra un controlador de enlace Bluetooth y una banda base Bluetooth, que llevan a cabo los protocolos de banda base y otras rutinas de enlace de bajo nivel, como modulación/demodulación, procesamiento de paquetes, procesamiento de flujo de bits, salto de frecuencia, etc.

3.6.1 Radio Bluetooth y banda base

La radio y banda base Bluetooth ESP32 admiten las siguientes funciones:

- Potencias de salida de transmisión de clase 1, clase 2 y clase 3 y un rango de control dinámico de hasta 24 dB
- Modulación $\pi/4$ DQPSK y 8 DPSK
- Alto rendimiento en sensibilidad del receptor NZIF con más de 97 dB de rango dinámico
- Operación de clase 1 sin PA externo
- La SRAM interna permite la transferencia de datos a máxima velocidad, voz y datos combinados y funcionamiento completo de piconet.
- Lógica para corrección de errores de avance, control de errores de encabezado, correlación de código de acceso, CRC, demodulación, generación de flujo de bits cifrado, blanqueamiento y conformación de pulsos de transmisión
- ACL, SCO, eSCO y AFH
- Códec de audio digital A-law, μ -law y CVSD en interfaz PCM

- Códec de audio SBC
- Gestión de energía para aplicaciones de bajo consumo
- SMP con AES de 128 bits

3.6.2 Interfaz Bluetooth

- Proporciona interfaz UART HCI, hasta 4 Mbps
- Proporciona interfaz SDIO/SPI HCI
- Proporciona interfaz de audio PCM/I²S

3.6.3 Pila Bluetooth

La pila Bluetooth del ESP32 es compatible con las especificaciones Bluetooth v4.2 BR/EDR y BLE.

3.6.4 Controlador de enlace Bluetooth

El controlador de enlace opera en tres estados principales: en espera, conexión y rastreo. Permite múltiples conexiones y otras operaciones, como consulta, búsqueda y emparejamiento simple seguro, y, por lo tanto, habilita Piconet y Scat.

Internet. A continuación se presentan las características:

- Bluetooth clásico
 - Descubrimiento de dispositivos (consulta y escaneo de consulta)
 - Establecimiento de conexión (página y escaneo de página)
 - Multiconexiones
 - Recepción y transmisión asincrónica de datos
 - Enlaces síncronos (SCO/eSCO)
 - Interruptor maestro/esclavo
 - Salto de frecuencia adaptativo y evaluación de canales
 - Cifrado de transmisión
 - Autenticación y cifrado
 - Emparejamiento simple seguro
 - Gestión de redes multipunto y scatternet
 - Modo olfateo
 - Transmisión esclava sin conexión (transmisor y receptor)
 - Control de potencia mejorado
 - Ping
- Bluetooth de bajo consumo
 - Publicidad
 - Escaneo
 - Publicidad y escaneo simultáneos
 - Múltiples conexiones

- Recepción y transmisión asincrónica de datos
- Salto de frecuencia adaptativo y evaluación de canales
- Actualización de parámetros de conexión
- Extensión de longitud de datos
- Cifrado de capa de enlace
- LE Ping

3.7 RTC y gestión de bajo consumo

Con el uso de tecnologías avanzadas de administración de energía, ESP32 puede cambiar entre diferentes modos de energía.

• Modos de potencia

Modo activo: La radio del chip está encendida. El chip puede recibir, transmitir o escuchar.

– Modo de suspensión del módem: La CPU está operativa y el reloj es configurable. La base Wi-Fi/Bluetooth...
La banda y la radio están deshabilitadas.

– Modo de suspensión ligera: La CPU se pausa. La memoria RTC y los periféricos RTC, así como el ULP
El coprocesador está en funcionamiento. Cualquier evento de activación (MAC, host, temporizador RTC o interrupciones externas) activará
Sube el chip.

– Modo de suspensión profunda: Solo se encienden la memoria RTC y los periféricos RTC. Wi-Fi y Bluetooth.
Los datos de conexión se almacenan en la memoria RTC. El coprocesador ULP está operativo.

– Modo de hibernación: El oscilador interno de 8 MHz y el coprocesador ULP están desactivados. La recuperación del RTC
La memoria está apagada. Solo un temporizador RTC en el reloj lento y ciertas entradas y salidas GPIO de RTC están activas.
El temporizador RTC o los GPIO RTC pueden despertar el chip del modo de hibernación.

Tabla 6: Consumo de energía por modos de energía

Modo de energía	Descripción			Consumo de energía
Activo (RF funcionando)	Paquete de transmisión de Wi-Fi			Por favor refiérase a Tabla 15 para más detalles.
	Paquete de transmisión Wi-Fi/BT			
	Wi-Fi/BT Rx y escucha			
suspensión del módem	La CPU es encendido.	240 MHz	Chip(s) de doble núcleo	30 mA ~ 68 mA
			Chip(s) de un solo núcleo N/D	
		160 MHz	Chip(s) de doble núcleo	27 mA ~ 44 mA
			Chip(s) de un solo núcleo	27 mA ~ 34 mA
		Velocidad normal: 80 MHz	Chip(s) de doble núcleo	20 mA ~ 31 mA
			Chip(s) de un solo núcleo	20 mA ~ 25 mA
Sueño ligero	-			0,8 mA
Sueño profundo	El coprocesador ULP está encendido.			150 µA
	Patrón monitoreado por sensor ULP			100 µA al 1 % de trabajo
	Temporizador RTC + Temporizador			10 µA
Hibernación	RTC de memoria			5 µA
Apagado	RTC solamente CHIP_PU está configurado en nivel bajo, el chip está apagado.			0,1 µA

Nota:

- * Entre la serie ESP32 de SoC, ESP32-D0WDQ6 y ESP32-D0WD tienen una frecuencia de CPU máxima de 240 MHz, ESP32-D2WD y ESP32-S0WD tienen una frecuencia de CPU máxima de 160 MHz.
- Cuando el Wi-Fi está habilitado, el chip alterna entre los modos Activo y Suspensión del módem. Por lo tanto, el consumo de energía... cambia en consecuencia.
- En el modo de suspensión del módem, la frecuencia de la CPU cambia automáticamente. La frecuencia depende de la carga de la CPU y Los periféricos utilizados.
- Durante el sueño profundo, cuando el coprocesador ULP está encendido, los periféricos como GPIO e I²C pueden funcionar.
- Cuando el sistema funciona en el patrón monitoreado por el sensor ULP, el coprocesador ULP trabaja con el sensor ULP. periódicamente y el ADC trabaja con un ciclo de trabajo del 1%, por lo que el consumo de energía es de 100 µA.

4. Periféricos y sensores

4.1 Descripciones de periféricos y sensores

4.1.1 Interfaz de entrada/salida de propósito general (GPIO)

ESP32 tiene 34 pines GPIO a los que se les pueden asignar varias funciones programando los registros apropiados.

Hay varios tipos de GPIO: solo digitales, habilitados para analógicos, habilitados para táctil capacitivo, etc. Habilitados para analógicos

Los GPIO y los GPIO con capacidad táctil capacitiva se pueden configurar como GPIO digitales.

La mayoría de los GPIO digitales se pueden configurar como pull-up o pull-down internos, o configurarse con alta impedancia. Cuando

Configurada como entrada, el valor de entrada se puede leer a través del registro. La entrada también puede configurarse para disparo por flanco.

o disparador de nivel para generar interrupciones de CPU. La mayoría de los pines de E/S digitales son bidireccionales, no inversores y triestado.

Incluye búferes de entrada y salida con control triestado. Estos pines se pueden multiplexar con otras funciones, como

SDIO, UART, SPI, etc. (Puede encontrar más detalles en el Apéndice, Tabla [IO_MUX](#)). Para operaciones de bajo consumo,

Los GPIO se pueden configurar para mantener sus estados.

4.1.2 Convertidor analógico-digital (ADC)

El ESP32 integra convertidores analógicos/digitales (ADC) SAR de 12 bits y admite mediciones en 18 canales (pines analógicos). El coprocesador

ULP del ESP32 también está diseñado para medir voltaje mientras opera en modo de suspensión, lo que permite...

Bajo consumo de energía. La CPU puede reactivarse mediante un umbral o mediante otros factores desencadenantes.

Con la configuración adecuada, los ADC se pueden configurar para medir voltaje en un máximo de 18 pines.

En la Tabla 7 se describen las características del ADC.

Tabla 7: Características del ADC

Parámetro	Descripción	Unidad	mínima y máxima
Controlador RTC DNL (no linealidad diferencial); ADC conectado a un capacitor externo de 100 nF;		-7 7	LSB
INL (No linealidad integral)	Entrada de señal CC; temperatura ambiente a 25 °C; Wi-Fi y Bluetooth desactivados	-12 12	LSB
Frecuencia de muestreo	Controlador RTC	-	200 ksps
	Controlador DIG	-	2 Msps

Notas:

- Cuando atten=3 y el resultado de la medición es superior a 3000 (voltaje a aprox. 2450 mV), la precisión del ADC será peor que lo descrito en la tabla anterior.
- Para obtener mejores resultados de DNL, los usuarios pueden realizar múltiples pruebas de muestreo con un filtro o calcular el valor promedio.

De forma predeterminada, existen diferencias de $\pm 6\%$ en los resultados medidos entre chips. El ESP-IDF proporciona un par de [calibraciones](#).

[métodos](#) Para el ADC1. Los resultados tras la calibración con el valor Vref de eFuse se muestran en la Tabla 8. Para una mayor precisión,

Los usuarios pueden aplicar otros métodos de calibración proporcionados en ESP-IDF o implementar los suyos propios.

Tabla 8: Resultados de calibración del ADC

Parámetro	Descripción	Mínimo	Máximo	Unidad
Error total	Atten=0, rango de medición efectivo de 100–950 mV	-23	23	mV
	Atten=1, rango de medición efectivo de 100–1250 mV -30		30	mV
	Atten=2, rango de medición efectivo de 150–1.750 mV -40		40	mV
	Atten=3, rango de medición efectivo de 150–2450 mV -60		60	mV

4.1.3 Sensor Hall

El ESP32 integra un sensor Hall basado en una resistencia de N portadoras. Cuando el chip está en el campo magnético, el Hall...

El sensor desarrolla un pequeño voltaje lateralmente en la resistencia, que puede medirse directamente mediante el ADC.

4.1.4 Convertidor digital a analógico (DAC)

Se pueden utilizar dos canales DAC de 8 bits para convertir dos señales digitales en dos salidas de señal de voltaje analógicas.

La estructura de diseño se compone de cadenas de resistencias integradas y un búfer. Este DAC dual admite la fuente de alimentación como...

Referencia de voltaje de entrada. Los dos canales DAC también admiten conversiones independientes.

4.1.5 Sensor táctil

ESP32 tiene 10 GPIO de detección capacitiva, que detectan variaciones inducidas al tocar o acercarse a los GPIO.

con un dedo u otros objetos. El diseño de bajo ruido y la alta sensibilidad del circuito permiten una detección relativamente

Se pueden usar almohadillas pequeñas. También se pueden usar conjuntos de almohadillas para detectar un área mayor o más puntos.

Los 10 GPIO con detección capacitiva se enumeran en la Tabla 9.

Tabla 9: GPIO de detección capacitiva disponibles en ESP32

Nombre de la señal de detección capacitiva	Nombre del pin
T0	GPIO4
T1	GPIO0
T2	GPIO2
T3	MTDO
T4	MTCK
T5	MTDI
T6	<small>Reservado para uso de software</small>
T7	GPIO27
T8	32K_XN
T9	32K_XP

4.1.6 Coprocesador de consumo ultrabaja

El procesador ULP y la memoria RTC permanecen encendidos durante el modo de suspensión profunda. Por lo tanto, el desarrollador puede

Almacenar un programa para el procesador ULP en la memoria lenta RTC para acceder a los dispositivos periféricos, temporizadores internos y sensores internos durante el modo de suspensión profunda. Esto es útil para diseñar aplicaciones donde la CPU necesita...

ser despertado por un evento externo, o un temporizador, o una combinación de los dos, mientras se mantiene un consumo mínimo de energía consumo.

4.1.7 Interfaz MAC Ethernet

Se proporciona un controlador de acceso a medios (MAC) compatible con IEEE-802.3-2008 para comunicaciones LAN Ethernet.

ESP32 requiere un dispositivo de interfaz física externa (PHY) para conectarse al bus LAN físico (par trenzado, fibra,

etc.). El PHY se conecta al ESP32 mediante 17 señales de MII o nueve señales de RMII. Las siguientes características son:

compatible con la interfaz Ethernet MAC (EMAC):

- Velocidades de 10 Mbps y 100 Mbps
- Controlador DMA dedicado que permite transferencia de alta velocidad entre la SRAM dedicada y la MAC Ethernet

- Trama MAC etiquetada (soporte VLAN)
- Operación half-duplex (CSMA/CD) y full-duplex
- Subcapa de control MAC (tramas de control)
- Generación y eliminación de CRC de 32 bits
- Varios modos de filtrado de direcciones para direcciones físicas y de multidifusión (direcciones de multidifusión y de grupo)
- Código de estado de 32 bits para cada trama transmitida o recibida
- FIFO internos para almacenar en búfer las tramas de transmisión y recepción. Tanto el FIFO de transmisión como el de recepción son de 512 bits. palabras (32 bits)
- Hardware PTP (Protocolo de tiempo de precisión) de acuerdo con IEEE 1588 2008 (PTP V2)
- Salida de reloj de 25 MHz/50 MHz

4.1.8 Controlador de host SD/SDIO/MMC

Hay un controlador de host SD/SDIO/MMC disponible en ESP32, que admite las siguientes funciones:

- Memoria digital segura (memoria SD versión 3.0 y versión 3.01)
- E/S digital segura (SDIO versión 3.0)
- Arquitectura de transporte avanzada de electrónica de consumo (CE-ATA versión 1.1)
- Tarjetas multimedia (MMC versión 4.41, eMMC versión 4.5 y versión 4.51)

El controlador permite una salida de reloj de hasta 80 MHz en tres modos de bus de datos diferentes: 1 bit, 4 bits y 8 bits. Admite dos tarjetas SD/SDIO/MMC4.41 en un modo de bus de datos de 4 bits. También admite una tarjeta SD que funciona a... 1,8 V.

4.1.9 Controlador esclavo SDIO/SPI

El ESP32 integra una interfaz de dispositivo SD que cumple con la especificación de tarjeta SDIO versión 2.0, estándar de la industria, y permite que un controlador host acceda al SoC mediante la interfaz y el protocolo del bus SDIO. El ESP32 actúa como esclavo en el bus SDIO. El host puede acceder directamente a los registros de la interfaz SDIO y a la memoria compartida mediante un motor DMA, maximizando así el rendimiento sin comprometer los núcleos del procesador.

El controlador esclavo SDIO/SPI admite las siguientes funciones:

- Modos de transferencia SPI, SDIO de 1 bit y SDIO de 4 bits en todo el rango de reloj de 0 a 50 MHz
- Muestreo configurable y borde de reloj de conducción
- Registros especiales para acceso directo por host
- Interrumpe al host para iniciar la transferencia de datos
- Carga automática de datos de bus SDIO y descarte automático de datos de relleno
- Tamaño de bloque de hasta 512 bytes
- Vectores de interrupción entre el host y el esclavo, permitiendo que ambos se interrumpan entre sí
- Admite DMA para transferencia de datos

4.1.10 Transmisor receptor asíncrono universal (UART)

El ESP32 cuenta con tres interfaces UART: UART0, UART1 y UART2, que proporcionan comunicación asíncrona (RS232 y RS485) y compatibilidad con IrDA, con velocidades de hasta 5 Mbps. UART gestiona por hardware las señales CTS y RTS, así como el control de flujo por software (XON y XOFF). El controlador DMA o la CPU pueden acceder a todas las interfaces.

4.1.11 Interfaz I²C

ESP32 tiene dos interfaces de bus I²C que pueden servir como maestro o esclavo I²C, según la configuración del usuario.

Las interfaces I²C admiten:

- Modo estándar (100 Kbit/s)
- Modo rápido (400 Kbit/s)
- Hasta 5 MHz, aunque limitado por la fuerza de pull-up de SDA
- Modo de direccionamiento de 7 bits/10 bits
- Modo de direccionamiento dual

Los usuarios pueden programar registros de comando para controlar las interfaces I²C, de modo que tengan más flexibilidad.

4.1.12 Interfaz I²S

El ESP32 dispone de dos interfaces I²S estándar. Pueden operar en modo maestro o esclavo, en modos de comunicación full-duplex y half-duplex, y pueden configurarse para operar con una resolución de 8/16/32/48/64 bits como canales de entrada o salida. Admite una frecuencia de reloj BCK de 10 kHz a 40 MHz. Cuando una o ambas interfaces I²S se configuran en modo maestro, el reloj maestro puede enviarse al externo.

DAC/CÓDEC.

Ambas interfaces I²S cuentan con controladores DMA dedicados. Son compatibles con las interfaces PDM y BT PCM.

4.1.13 Control remoto por infrarrojos

El control remoto infrarrojo admite ocho canales de transmisión y recepción remota por infrarrojos. Al programar la forma de onda del pulso, es compatible con varios protocolos infrarrojos. Los ocho canales comparten un bloque de memoria de 512 x 32 bits para almacenar la forma de onda de transmisión o recepción.

4.1.14 Contador de pulsos

El contador de pulsos captura pulsos y cuenta sus flancos mediante siete modos. Cuenta con ocho canales, cada uno de los cuales captura cuatro señales simultáneamente. Las cuatro señales de entrada incluyen dos señales de pulso y dos señales de control.

Cuando el contador alcanza un umbral definido, se genera una interrupción.

4.1.15 Modulación por ancho de pulso (PWM)

El controlador de Modulación por Ancho de Pulso (PWM) se puede utilizar para controlar motores digitales y luces inteligentes. El controlador consta de temporizadores PWM, el operador PWM y un submódulo de captura dedicado. Cada temporizador proporciona temporización de forma síncrona o independiente, y cada operador PWM genera una forma de onda para un canal PWM. El submódulo de captura dedicado puede capturar con precisión eventos con temporización externa.

4.1.16 LED PWM

El controlador LED PWM puede generar 16 canales independientes de formas de onda digitales con períodos configurables y deberes.

Los 16 canales de formas de onda digitales operan con un reloj APB de 80 MHz. Ocho de estos canales tienen la opción de usar el reloj oscilador de 8 MHz. Cada canal puede seleccionar un temporizador de 20 bits con un rango de conteo configurable, mientras que su precisión de trabajo puede alcanzar hasta 16 bits en un período de 1 ms.

El software puede modificar el trabajo inmediatamente. Además, cada canal admite automáticamente el aumento o la disminución gradual del trabajo, lo cual resulta útil para el generador de gradientes de color RGB LED.

4.1.17 Interfaz periférica en serie (SPI)

El ESP32 cuenta con tres SPI (SPI, HSPI y VSPI) en modo esclavo y maestro, en modos de comunicación full-duplex de 1 línea y half-duplex de 1, 2 y 4 líneas. Estos SPI también admiten las siguientes funciones SPI de propósito general:

- Cuatro modos de formato de transferencia SPI, que dependen de la polaridad (CPOL) y la fase (CPHA) del SPI reloj
- Hasta 80 MHz (La velocidad real que puede alcanzar depende de los pads seleccionados, el trazado de PCB, las características periféricas características, etc.)
- FIFO de hasta 64 bytes

Todos los SPI también pueden conectarse a la memoria flash/SRAM externa y a la pantalla LCD. Cada SPI puede ser atendido por controladores DMA.

4.1.18 Acelerador

El ESP32 está equipado con aceleradores de hardware para algoritmos generales, como AES (FIPS PUB 197), SHA (FIPS PUB 180-4), RSA y ECC, que admiten operaciones aritméticas independientes, como la multiplicación de enteros grandes y la multiplicación modular de enteros grandes. La longitud máxima de operación para RSA, ECC, multiplicación de enteros grandes y multiplicación modular de enteros grandes es de 4096 bits.

Los aceleradores de hardware mejoran considerablemente la velocidad de operación y reducen la complejidad del software. Además, admiten el cifrado de código y el descifrado dinámico, lo que garantiza que el código en la memoria flash no sea pirateado.

4.2 Configuraciones de pines periféricos

Tabla 10: Configuraciones de pines periféricos

Interfaz	Señal	Añflier	Función
ADC	ADC1_CH0	SENSOR_VP	Dos ADC SAR de 12 bits
	ADC1_CH1	SENSOR_CAPP	
	ADC1_CH2	SENSOR_CAPN	
	ADC1_CH3	SENSOR_VN	
	ADC1_CH4	32K_XP	
	ADC1_CH5	32K_XN	
	ADC1_CH6	VDET_1	
	ADC1_CH7	VDET_2	
	ADC2_CH0	GPIO4	
	ADC2_CH1	GPIO0	
	ADC2_CH2	GPIO2	
	ADC2_CH3	MTDO	
	ADC2_CH4	MTCK	
	ADC2_CH5	MTDI	
	ADC2_CH6	<small>Sistema de gestión de ancho de banda</small>	
	ADC2_CH7	GPIO27	
	ADC2_CH8	GPIO25	
	ADC2_CH9	GPIO26	
DAC	DAC_1	GPIO25	Dos DAC de 8 bits
	DAC_2	GPIO26	
Sensor táctil	TOQUE0	GPIO4	Sensores táctiles capacitivos
	TOQUE1	GPIO0	
	TOQUE2	GPIO2	
	TOQUE3	MTDO	
	TOQUE4	MTCK	
	TOQUE5	MTDI	
	TOQUE6	<small>Sistema de gestión de ancho de banda</small>	
	TOQUE7	GPIO27	
	TOQUE8	32K_XN	
	TOQUE9	32K_XP	
JTAG	MTDI	MTDI	JTAG para depuración de software
	MTCK	MTCK	
	<small>Sistema de gestión de ancho de banda</small>	<small>Sistema de gestión de ancho de banda</small>	
	MTDO	MTDO	

Interfaz	Señal	Alfiler	Función
Host SD/SDIO/MMC Controlador	HS2_CLK	<small>Sistema de gestión de ancho de banda</small>	Admite tarjeta de memoria SD estándar V3.01
	HS2_CMD	MTDO	
	HS2_DATOS0	GPIO2	
	HS2_DATOS1	GPIO4	
	HS2_DATOS2	MTDI	
	HS2_DATOS3	MTCK	
PWM del motor	PWM0_OUT0~2	Cualquier pin GPIO	Tres canales de temporizadores de 16 bits generan Formas de onda PWM. Cada canal tiene un par de señales de salida, tres de detección de fallos señales, tres señales de captura de eventos y tres señales de sincronización.
	PWM1_SALIDA_ENTRADA0~2		
	PWM0_FLT_IN0~2		
	PWM1_FLT_IN0~2		
	PWM0_CAP_IN0~2		
	PWM1_CAP_IN0~2		
	PWM0_SYNC_IN0~2		
	PWM1_SYNC_IN0~2		
Esclavo SDIO/SPI Controlador	SD_CLK	<small>Sistema de gestión de ancho de banda</small>	Interfaz SDIO que cumple con la Tarjeta SDIO 2.0 estándar de la industria especificación
	SD_CMD	MTDO	
	SD_DATA0	GPIO2	
	SD_DATA1	GPIO4	
	SD_DATA2	MTDI	
	SD_DATA3	MTCK	
UART	U0RXD_in	Cualquier pin GPIO	Dos dispositivos UART con hardware control de flujo y DMA
	U0CTS_in		
	U0DSR_en		
	Salida U0TXD		
	Salida U0RTS		
	Salida U0DTR		
	U1RXD_in		
	U1CTS_en		
	Salida U1TXD		
	Salida U1RTS		
	U2RXD_in		
	U2CTS_en		
	Salida U2TXD		
	Salida U2RTS		
I²C	I2CEXT0_SCL_in	Cualquier pin GPIO	Dos dispositivos I²C en modo esclavo o maestro
	I2CEXT0_SDA_in		
	I2CEXT1_SCL_in		
	I2CEXT1_SDA_in		
	Salida I2CEXT0_SCL		
	Salida I2CEXT0_SDA		
	Salida I2CEXT1_SCL		
	Salida I2CEXT1_SDA		

Interfaz	Señal	Alfiler	Función
LED PWM	ledc_hs_sig_out0~7	Cualquier pin GPIO	16 canales independientes a 80 MHz de reloj/RTC CLK. Precisión de trabajo: 16 bits.
	ledc_ls_sig_out0~7		
I2S	I2S0I_DATA_in0~15	Cualquier pin GPIO	Entrada y salida estéreo desde/hacia el códec de audio; salida de datos LCD paralela; entrada de datos de cámara paralela
	I2S0O_BCK_en		
	I2S0O_WS_in		
	I2S0I_BCK_en		
	I2S0I_WS_in		
	I2S0I_H_SYNC		
	I2S0I_V_SYNC		
	I2S0I_H_HABILITAR		
	Salida I2S0O_BCK		
	Salida I2S0O_WS		
	Salida I2S0I_BCK		
	Salida I2S0I_WS		
	I2S0O_DATOS_salida0~23		
	I2S1I_DATA_in0~15		
	I2S1O_BCK_en		
	I2S1O_WS_in		
	I2S1I_BCK_en		
	I2S1I_WS_in		
	I2S1I_H_SYNC		
	I2S1I_V_SYNC		
	I2S1I_H_HABILITAR		
	Salida I2S1O_BCK		
	Salida I2S1O_WS		
	Salida I2S1I_BCK		
	Salida I2S1I_WS		
	I2S1O_DATOS_salida0~23		
Control remoto por infrarrojos Controlador	RMT_SIG_IN0~7	Cualquier pin GPIO	Ocho canales para un transmisor y receptor de infrarrojos de diversas formas de onda
	Salida RMT_SIG_0~7		
Propósito general SPI	HSPIQ_entrada/salida	Cualquier pin GPIO	El SPI estándar consta de reloj, selección de chip, MOSI y MISO. Estos SPI se pueden conectar a LCD y otros dispositivos. Dispositivos externos. Admiten las siguientes funciones: • Modo maestro y esclavo; • Cuatro submodos de transferencia SPI. Formato; • Frecuencia SPI configurable; • Hasta 64 bytes de FIFO y DMA.
	HSPID_entrada/salida		
	HSPICLK_entrada/salida		
	HSPI_CS0_entrada/salida		
	Salida HSPI_CS1		
	Salida HSPI_CS2		
	Entrada/salida VSPIQ		
	VSPIQ_entrada/salida		
	VSPICLK_entrada/salida		
	VSPI_CS0_entrada/salida		
	Salida VSPI_CS1		
	Salida VSPI_CS2		

Interfaz	Señal	Alfiler	Función
QSPI paralelo	SPIHD	DATOS SD_2	Admite SPI estándar, SPI dual y Quad SPI que se puede conectar a la memoria flash externa y SRAM
	SPIWP	SD_DATOS_3	
	SPICS0	SD_CMD	
	SPICKL	SD_CLK	
	SPIQ	SD_DATOS_0	
	Identificador de datos	DATOS SD_1	
	HSPICLK	Señal de gestión de acceso a datos	
	HSPICS0	MTDO	
	HSPIQ	MTDI	
	Identificador de datos	MTCK	
	HSPIHD	GPIO4	
	HSPIWP	GPIO2	
	VSPICLK	GPIO18	
	VSPICS0	GPIO5	
	VSPIQ	GPIO19	
	VSPID	GPIO23	
	VSPIHD	GPIO21	
	VSPIWP	GPIO22	
EMAC	EMAC_TX_CLK	GPIO0	MAC Ethernet con interfaz MII/RMII
	EMAC_RX_CLK	GPIO5	
	EMAC_TX_ES	GPIO21	
	EMAC_TXD0	GPIO19	
	EMAC_TXD1	GPIO22	
	EMAC_TXD2	Señal de gestión de acceso a datos	
	EMAC_TXD3	MTDI	
	EMAC_RX_ER	MTCK	
	EMAC_RX_DV	GPIO27	
	EMAC_RXD0	GPIO25	
	EMAC_RXD1	GPIO26	
	EMAC_RXD2	U0TXD	
	EMAC_RXD3	MTDO	
	EMAC_CLK_OUT	GPIO16	
	EMAC_CLK_OUT_180	GPIO17	
	EMAC_TX_ER	GPIO4	
	Salida EMAC_MDC	Cualquier pin GPIO	
	Entrada MDI EMAC	Cualquier pin GPIO	
	Salida EMAC_MDO	Cualquier pin GPIO	
	Salida EMAC_CRS	Cualquier pin GPIO	
	Salida EMAC_COL	Cualquier pin GPIO	

Interfaz	Señal	Alfiler	Función
Contador de pulsos	pcnt_sig_ch0_in0	Cualquier pin GPIO	El contador de pulsos, que funciona en siete modos diferentes, captura el pulso y cuenta los bordes del pulso.
	pcnt_sig_ch1_in0		
	pcnt_ctrl_ch0_in0		
	pcnt_ctrl_ch1_in0		
	pcnt_sig_ch0_in1		
	pcnt_sig_ch1_in1		
	pcnt_ctrl_ch0_in1		
	pcnt_ctrl_ch1_in1		
	pcnt_sig_ch0_in2		
	pcnt_sig_ch1_in2		
	pcnt_ctrl_ch0_in2		
	pcnt_ctrl_ch1_in2		
	pcnt_sig_ch0_in3		
	pcnt_sig_ch1_in3		
	pcnt_ctrl_ch0_in3		
	pcnt_ctrl_ch1_in3		
	pcnt_sig_ch0_in4		
	pcnt_sig_ch1_in4		
	pcnt_ctrl_ch0_in4		
	pcnt_ctrl_ch1_in4		
	pcnt_sig_ch0_in5		
	pcnt_sig_ch1_in5		
	pcnt_ctrl_ch0_in5		
	pcnt_ctrl_ch1_in5		
	pcnt_sig_ch0_in6		
	pcnt_sig_ch1_in6		
	pcnt_ctrl_ch0_in6		
	pcnt_ctrl_ch1_in6		
	pcnt_sig_ch0_in7		
	pcnt_sig_ch1_in7		
	pcnt_ctrl_ch0_in7		
	pcnt_ctrl_ch1_in7		

5. Características eléctricas

5.1 Calificaciones máximas absolutas

Las tensiones que superen los valores máximos absolutos que se indican en la tabla a continuación pueden causar daños permanentes al dispositivo. Estas son solo clasificaciones de estrés y no se refieren al funcionamiento del dispositivo que debe seguir.

las [condiciones de funcionamiento recomendadas](#).

Tabla 11: Calificaciones máximas absolutas

Símbolo	Parámetro	Mínimo	Máximo	Unidad
VDDA, VDD3P3, VDD3P3_RTC, VDD3P3_CPU, VDD_SDIO	Voltaje aplicado a los pines de la fuente de alimentación por dominio de potencia	-0.3	3.6	V
Salida *	Corriente de salida de E/S acumulada	-	1.200 mA	
Tienda T	Temperatura de almacenamiento	-40	150	°C

* El chip funcionó correctamente después de una prueba de 24 horas a temperatura ambiente a 25 °C y las E/S en tres dominios (VDD3P3_RTC, VDD3P3_CPU, VDD_SDIO) salida de nivel lógico alto a tierra.

5.2 Condiciones de funcionamiento recomendadas

Tabla 12: Condiciones de funcionamiento recomendadas

Símbolo	Parámetro	Mínimo	Máximo típico	Unidad
VDDA, VDD3P3_RTC ¹	Voltaje aplicado a los pines de la fuente de alimentación por dominio de potencia	2.3	3.3	3,6 V
VDD3P3, VDD_SDIO (modo 3,3 V) ²				
VDD3P3_CPU	Voltaje aplicado al pin de fuente de alimentación	1.8	3.3	3,6 V
IV DD	Corriente suministrada por fuente de alimentación externa	0,5	-	A
T3	Temperatura de funcionamiento	-40	-	125 °C

1. Al escribir eFuse, VDD3P3_RTC debe ser al menos 3,3 V.

2. • VDD_SDIO funciona como fuente de alimentación para la E/S relacionada y también para un dispositivo externo. Consulte el Apéndice. [IO_MUX](#) de esta hoja de datos para obtener más detalles.

• VDD_SDIO puede obtenerse internamente mediante el ESP32 desde el dominio de energía VDD3P3_RTC:

– Cuando VDD_SDIO opera a 3,3 V, es impulsado directamente por VDD3P3_RTC a través de una resistencia de 6 Ω, por lo tanto, Habrá alguna caída de voltaje desde VDD3P3_RTC.

– Cuando VDD_SDIO opera a 1,8 V, se puede generar desde el LDO interno del ESP32. La corriente máxima de este... El LDO puede ofrecer 40 mA y el rango de voltaje de salida es de 1,65 V ~ 2,0 V.

• VDD_SDIO también puede ser controlado por una fuente de alimentación externa.

• Consulte Esquema de energía, sección [2.3](#), para obtener más información.

3. La temperatura de funcionamiento del ESP32-D2WD oscila entre -40 °C y 105 °C, gracias a la memoria flash integrada.

Los chips de esta serie no tienen memoria flash incrustada, por lo que su rango de temperaturas de funcionamiento es de -40 °C ~ 125 °C.

5.3 Características de CC (3,3 V, 25 °C)

Tabla 13: Características de CC (3,3 V, 25 °C)

Símbolo	Parámetro	Mínimo	Tipo	Máx.	Unidad
CIN	Capacitancia del pin	-	2	-	pF
VIH	Voltaje de entrada de alto nivel	0,75×VDD1 -		VDD1+0,3 V	
VIL	Voltaje de entrada de bajo nivel	-0.3	-	0,25×VDD1 V	
IIH	nivel Corriente de entrada de	-	-	50	n / A
IIL	alto nivel Corriente de entrada	-	-	50	n / A
VOH	de bajo nivel Voltaje de salida de	0,8×VDD1 -		-	V
VOL	alto nivel Voltaje de salida de	-	-	0,1×VDD1 V	
IOH	Corriente de fuente de alto nivel de bajo nivel VDD3P3_CPU dominio de potencia 1, 2	-	40 -		mA
	(VDD1 = 3,3 V, VOH >= 2,64 V, dominio de potencia VDD3P3_RTC 1, 2	-	40 -		mA
	Fuerza de accionamiento de salida establecida en máximo) Dominio de potencia VDD_SDIO 1, 3	-	20 -		mA
LIO	Corriente de sumidero de bajo nivel (VDD1 = 3,3 V, VOL = 0,495 V, (La fuerza de la unidad de salida está establecida al máximo)	-	28 -		mA
RP U	Resistencia pull-up	-	45 -		kΩ
Pull-down	Resistencia pull-down	-	45 -		kΩ
VIL_nRST	Voltaje de entrada de bajo nivel de CHIP_PU para apagar el chip	-	-	0.6	V

Notas:

1. Consulte la Tabla [IO_MUX](#) para conocer el dominio de potencia de E/S. VDD es el voltaje de E/S para un dominio de potencia específico de pines.
2. Para el dominio de potencia VDD3P3_CPU y VDD3P3_RTC, la corriente por pin proveniente del mismo dominio se reduce gradualmente de alrededor de 40 mA a alrededor de 29 mA, VOH>=2,64 V, a medida que aumenta el número de pines de fuente de corriente.
3. Para el dominio de potencia VDD_SDIO, la corriente por pin proveniente del mismo dominio se reduce gradualmente de alrededor de 30 mA a alrededor de 10 mA, VOH>=2,64 V, a medida que aumenta el número de pines de fuente de corriente.

5.4 Calificaciones de confiabilidad

Tabla 14: Calificaciones de confiabilidad

Pruebas de confiabilidad	Normas	Condiciones de prueba	Resultado
Sensibilidad a la descarga electroestática (ESD), Modo de dispositivo de carga (CDM) 1	JEDEC EIA/JESD22-C101	±500 V, todos los pines	Aprobar
Sensibilidad a la descarga electroestática (ESD), Modo Cuerpo Humano (HBM) 2	JEDEC EIA/JESD22-A114	±1500 V, todos los pines	Aprobar
Prueba de sobrecorriente (Latch-up)	ESTÁNDAR JEDEC N.º 78	±50 mA ~ ±200 mA, temperatura ambiente temperatura, prueba de IO	Aprobar
Prueba de sobretensión (Latch-up)	ESTÁNDAR JEDEC N.º 78	1,5 × Vmax, temperatura ambiente, prueba de Vsupply	Aprobar
Nivel de sensibilidad a la humedad (MSL)	J-STD-020, Nivel de Margen Máximo 3	30 °C, 60 % HR, 192 horas, IR × 3 a 260 °C	Aprobar

1. El documento JEP157 de JEDEC establece que el CDM de 250 V permite una fabricación segura con un proceso de control ESD estándar.
2. El documento JEP155 de JEDEC establece que 500 V HBM permite una fabricación segura con un proceso de control ESD estándar.

5.5 Especificaciones de consumo de energía de RF

Las mediciones de consumo de energía se toman con una fuente de alimentación de 3,3 V a 25 °C de temperatura ambiente en el RF puerto. Todas las mediciones de los transmisores se basan en un ciclo de trabajo del 50%.

Tabla 15: Especificaciones de consumo de energía de RF

Modo	Mínimo	Típico	Máximo	Unidad
Transmisión 802.11b, DSSS 1 Mbps, POUT = +19,5 dBm Transmisión	-	240	-	mamá
802.11b, OFDM 54 Mbps, POUT = +16 dBm Transmisión 802.11g,	-	190	-	mamá
OFDM MCS7, POUT = +14 dBm Recepción 802.11b/g/n	-	180	-	mamá
	-	95 ~ 100	-	mamá
Transmitir BT/BLE, POUT = 0 dBm	-	130	-	mamá
Recibir BT/BLE	-	95 ~ 100	-	mamá

5.6 Radio Wi-Fi

Tabla 16: Características de la radio Wi-Fi

Descripción	Mínimo	Típico	Máximo	Unidad
Frecuencia de entrada	2412	-	2484	megahercio
Impedancia de salida*	-	*	-	Ω
Potencia de transmisión				
Potencia de salida de PA para 72,2 Mbps	13	14	15	dBm
Potencia de salida de PA para modo 11b	19.5	20	20.5	dBm
Sensibilidad				
DSSS, 1 Mbps	-	-98	-	dBm
CCK, 11 Mbps	-	-91	-	dBm
OFDM, 6 Mbps	-	-93	-	dBm
OFDM, 54 Mbps	-	-75	-	dBm
HT20, MCS0	-	-93	-	dBm
HT20, MCS7	-	-73	-	dBm
HT40, MCS0	-	-90	-	dBm
HT40, MCS7	-	-70	-	dBm
MCS32	-	-89	-	dBm
Rechazo de canal adyacente				
OFDM, 6 Mbps	-	37	-	dB
OFDM, 54 Mbps	-	21	-	dB
HT20, MCS0	-	37	-	dB
HT20, MCS7	-	20	-	dB

*El valor típico de la impedancia de salida de radio Wi-Fi del ESP32 varía según el chip con encapsulado QFN. Para chips ESP32 Con un encapsulado QFN 6x6 (ESP32-D0WDQ6), el valor es 30+j10 Ω. Para chips ESP32 con un encapsulado QFN 5x5 (ESP32-D0WD, ESP32-D2WD, ESP32-S0WD), el valor es 35+j10 Ω.

5.7 Radio Bluetooth

5.7.1 Receptor – Velocidad de datos básica

Tabla 17: Características del receptor – Velocidad de datos básica

Parámetro	Condiciones	Mínimo	Típico	Unidad	máxima
Sensibilidad @0,1 % BER	-	-	-94	-	dBm
Señal máxima recibida @0,1 % BER -		0	-	-	dBm
C/I co-canal	-	-	+7	-	dB
Selectividad de canal adyacente C/I	F = F0 + 1 MHz	-	-	-6	dB
	F = F0 - 1 MHz	-	-	-6	dB
	F = F0 + 2 MHz	-	-	-25	dB
	F = F0 - 2 MHz	-	-	-33	dB
	F = F0 + 3 MHz	-	-	-25	dB
	F = F0 - 3 MHz	-	-	-45	dB
Rendimiento de bloqueo fuera de banda	30 MHz ~ 2000 MHz	-10	-	-	dBm
	2000 MHz ~ 2400 MHz -27		-	-	dBm
	2500 MHz ~ 3000 MHz -27		-	-	dBm
	3000 MHz ~ 12,5 GHz	-10	-	-	dBm
Intermodulación	-	-36	-	-	dBm

5.7.2 Transmisor – Velocidad de datos básica

Tabla 18: Características del transmisor – Velocidad de datos básica

Parámetro	Condiciones	Mínimo	típico	Unidad	máxima
Potencia de transmisión de RF	-	-	0	-	dBm
Paso de control de ganancia	-	-	3	-	dBm
Rango de control de potencia de RF	-	-12 -		+9 dBm	
+20 dB de ancho de banda	-	-	0.9	-	megahercio
Potencia de transmisión del canal adyacente	F = F0 ± 2 MHz	-	-47	-	dBm
	F = F0 ± 3 MHz	-	-55	-	dBm
	F = F0 ± > 3 MHz	-	-60	-	dBm
$\Delta f_{1promedio}$	-	-	-	155 kHz	
$\Delta f_{2m\acute{a}x}$	-	133.7 -		-	kHz
$f_{2promedio}/\Delta f_{1promedio}$	-	-	0,92	-	-
ICFT	-	-	-7	-	kHz
Tasa de deriva	-	-	0.7	-	kHz/50 μ s
Deriva (DH1)	-	-	6	-	kHz
Deriva (DH5)	-	-	6	-	kHz

5.7.3 Receptor: velocidad de datos mejorada

Tabla 19: Características del receptor – Velocidad de datos mejorada

Parámetro	Condiciones	Mínimo	Típico	Unidad	máxima
$\pi/4$ DQPSK					
Sensibilidad a 0,01 % BER	-	-	-90	-	dBm
Señal máxima recibida a 0,01 % BER C/I cocanal	-	-	0	-	dBm
	-	-	11	-	dB
Selectividad de canal adyacente C/I	F = F0 + 1 MHz	-	-7	-	dB
	F = F0 - 1 MHz	-	-7	-	dB
	F = F0 + 2 MHz	-	-25	-	dB
	F = F0 - 2 MHz	-	-35	-	dB
	F = F0 + 3 MHz	-	-25	-	dB
	F = F0 - 3 MHz	-	-45	-	dB
8DPSK					
Sensibilidad @0,01 % BER	-	-	-84	-	dBm
Señal máxima recibida @0,01 % BER	-	-	-5	-	dBm
Canal C/I	-	-	18	-	dB
Selectividad de canal adyacente C/I	F = F0 + 1 MHz	-	2	-	dB
	F = F0 - 1 MHz	-	2	-	dB
	F = F0 + 2 MHz	-	-25	-	dB
	F = F0 - 2 MHz	-	-25	-	dB
	F = F0 + 3 MHz	-	-25	-	dB
	F = F0 - 3 MHz	-	-38	-	dB

5.7.4 Transmisor: velocidad de datos mejorada

Tabla 20: Características del transmisor – Velocidad de datos mejorada

Parámetro	Condiciones	Mínimo	Típico	Unidad	máxima
Potencia de transmisión de RF	-	-	0	-	dBm
Paso de control de ganancia	-	-	3	-	dBm
Rango de control de potencia de RF	-	-12	-	+9	dBm
$\pi/4$ DQPSK máx. w0	-	-	-0,72	-	kHz
$\pi/4$ DQPSK wi máx.	-	-	-6	-	kHz
$\pi/4$ DQPSK máx. wi + w0	-	-	-7.42	-	kHz
8DPSK máximo w0	-	-	0.7	-	kHz
8DPSK máx. wi-fi	-	-	-9.6	-	kHz
8DPSK máx. wi + w0	-	-	-10	-	kHz
Precisión de modulación DQPSK $\pi/4$	RMS DEVM	-	4.28	-	%
	99% DEVM	-	100	-	%
	DEVM pico	-	13.3	-	%
Precisión de modulación 8 DPSK	RMS DEVM	-	5.8	-	%
	99% DEVM	-	100	-	%
	DEVM pico	-	14	-	%
Emisiones espurias en banda	F = F0 \pm 1 MHz	-	-46	-	dBm

Parámetro	Condiciones	Mínimo	Típico	Unidad	máxima
	$F = F_0 \pm 2 \text{ MHz}$	-	-40	-	dBm
	$F = F_0 \pm 3 \text{ MHz}$	-	-46	-	dBm
	$F = F_0 +/ - > 3 \text{ MHz}$		-	-53 dBm	
Codificación de fase diferencial EDR	-	-	100	-	%

5.8 Radio Bluetooth LE

5.8.1 Receptor

Tabla 21: Características del receptor – BLE

Parámetro	Condiciones	Mínimo	Tipo	Unidad	máxima
Sensibilidad al 30,8 % PER	-	-	-97	-	dBm
Señal máxima recibida al 30,8 % PER C/I cocanal	-	0	-	-	dBm
	-	-	+10	-	dB
Selectividad de canal adyacente C/I	$F = F_0 + 1 \text{ MHz}$	-	-5	-	dB
	$F = F_0 - 1 \text{ MHz}$	-	-5	-	dB
	$F = F_0 + 2 \text{ MHz}$	-	-25	-	dB
	$F = F_0 - 2 \text{ MHz}$	-	-35	-	dB
	$F = F_0 + 3 \text{ MHz}$	-	-25	-	dB
	$F = F_0 - 3 \text{ MHz}$	-	-45	-	dB
Rendimiento de bloqueo fuera de banda	30 MHz ~ 2000 MHz -10		-	-	dBm
	2000 MHz ~ 2400 MHz -27		-	-	dBm
	2500 MHz ~ 3000 MHz -27		-	-	dBm
	3000 MHz ~ 12,5 GHz -10		-	-	dBm
Intermodulación	-	-36	-	-	dBm

5.8.2 Transmisor

Tabla 22: Características del transmisor – BLE

Parámetro	Condiciones	Mínimo	Típico	Unidad	máxima
Potencia de transmisión de RF	-	-	0	-	dBm
Paso de control de ganancia	-	-	3	-	dBm
Rango de control de potencia de RF	-	-12	-	+9	dBm
Potencia de transmisión del canal adyacente	$F = F_0 \pm 2 \text{ MHz}$	-	-52	-	dBm
	$F = F_0 \pm 3 \text{ MHz}$	-	-58	-	dBm
	$F = F_0 \pm > 3 \text{ MHz}$		-60	-	dBm
$\Delta f_{1\text{promedio}}$	-	-	-	265	kHz
$\Delta f_{2\text{máx}}$	-	247	-	-	kHz
$f_{2\text{promedio}}/\Delta f_{1\text{promedio}}$	-	-	-0,92	-	-
ICFT	-	-	-10	-	kHz
Tasa de deriva	-	-	0.7	-	kHz/50 μ s
Deriva	-	-	2	-	kHz

6. Información del paquete

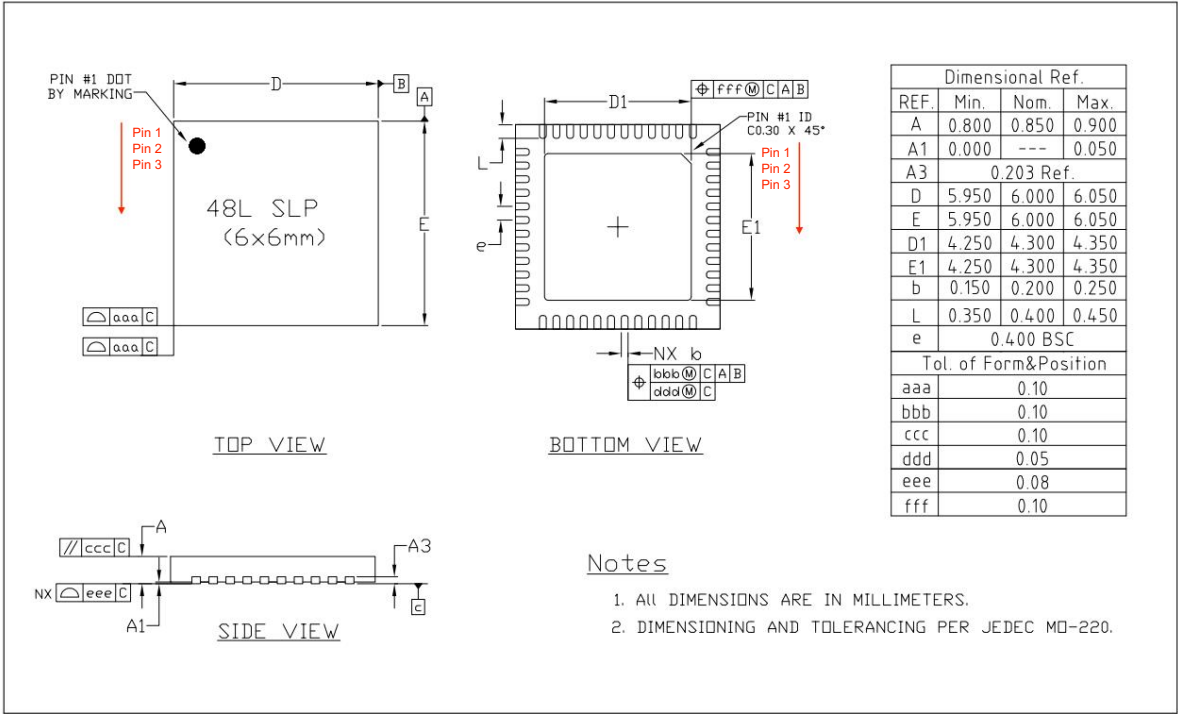


Figura 8: Paquete QFN48 (6x6 mm)

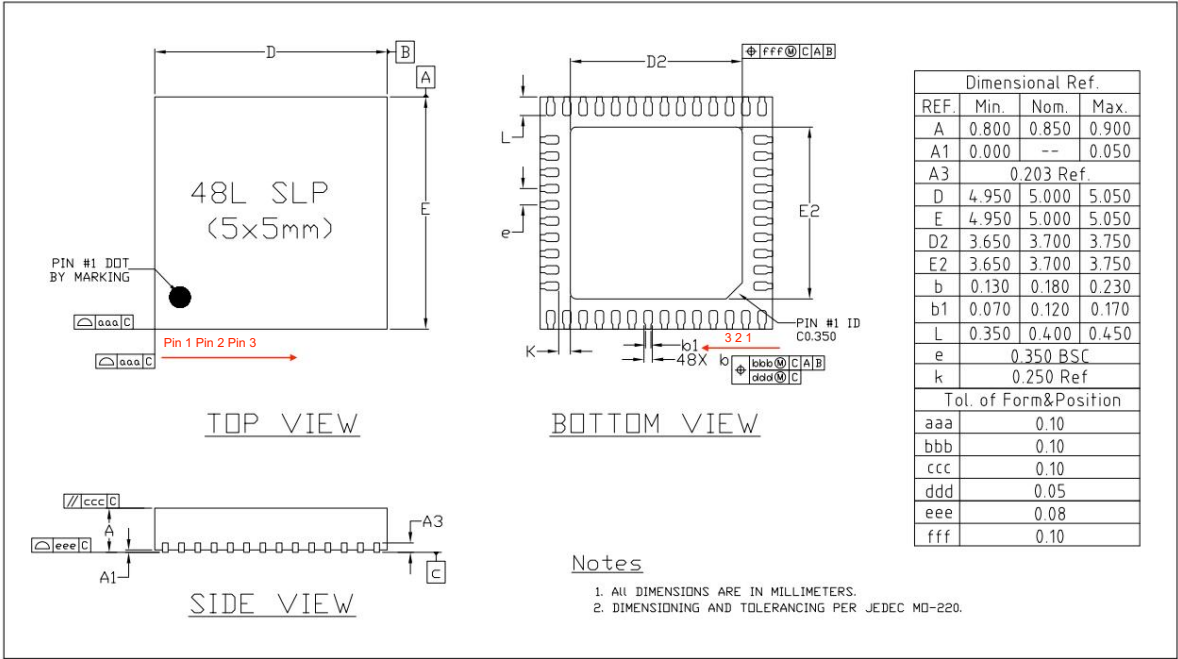


Figura 9: Paquete QFN48 (5x5 mm)

Nota:

Los pines del chip están numerados en sentido antihorario desde el pin 1 en la vista superior.

7. Número de pieza e información de pedido

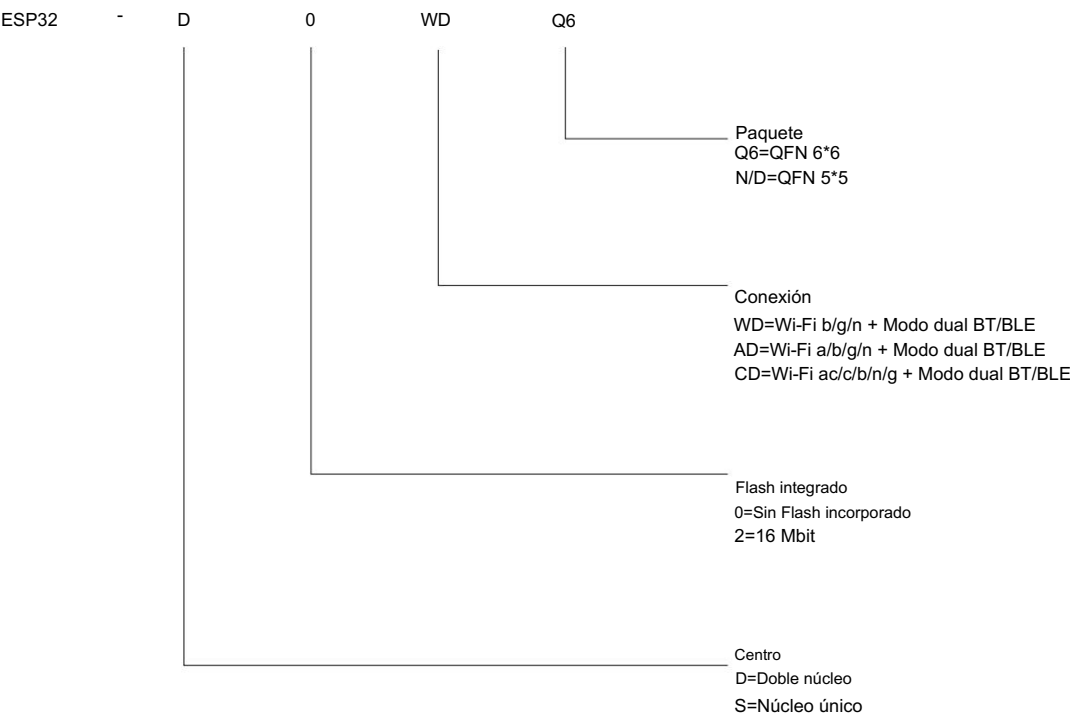


Figura 10: Número de pieza del ESP32

La siguiente tabla proporciona la información de pedido de la serie de chips ESP32.

Tabla 23: Información de pedido del ESP32

Código de pedido	Centro	Flash incorporado	Conexión	Paquete
ESP32-D0WDQ6 Doble núcleo	Sin flash integrado		Wi-Fi b/g/n + BT/BLE Modo dual	QFN 6*6
ESP32-D0WD	Doble núcleo Sin flash incorporado		Wi-Fi b/g/n + BT/BLE Modo dual	QFN 5*5
ESP32-D2WD	Doble núcleo	memoria flash integrada de 16 Mbit (40 MHz)	Wi-Fi b/g/n + BT/BLE Modo dual	QFN 5*5
ESP32-S0WD	Núcleo único Sin flash integrado		Wi-Fi b/g/n + BT/BLE Modo dual	QFN 5*5

8. Recursos de aprendizaje

8.1 Documentos de lectura obligatoria

Haga clic en los siguientes enlaces para acceder a documentos relacionados con ESP32.

- [Guía de programación ESP-IDF](#)

Contiene documentación extensa para ESP-IDF, que va desde guías de hardware hasta referencias de API.

- [Manual de referencia técnica del ESP32](#)

El manual proporciona información detallada sobre cómo utilizar la memoria y los periféricos ESP32.

- [Recursos de hardware ESP32](#)

Los archivos zip incluyen esquemas, diseño de PCB, Gerber y lista de BOM.

- [Pautas de diseño de hardware ESP32](#)

Las pautas proporcionan prácticas de diseño recomendadas al desarrollar sistemas independientes o complementarios basados en la serie de productos ESP32, incluido el chip ESP32, los módulos ESP32 y el desarrollo de tableros.

- [Conjunto de instrucciones AT del ESP32 y ejemplos](#)

Este documento presenta los comandos AT ESP32, explica cómo usarlos y proporciona ejemplos de varios comandos AT comunes.

- [Información para pedidos de productos Espressif](#)

8.2 Recursos imprescindibles

Aquí encontrará los recursos imprescindibles relacionados con ESP32.

- [ESP32 BBS](#)

Esta es una comunidad de ingeniero a ingeniero (E2E) para ESP32, donde puedes publicar preguntas, compartir conocimientos, explorar ideas y resolver problemas junto con otros ingenieros.

- [ESP32 GitHub](#)

Los proyectos de desarrollo de ESP32 se distribuyen libremente bajo la licencia MIT de Espressif en GitHub. Este canal de comunicación se ha creado para ayudar a los desarrolladores a iniciarse en ESP32 y animarlos a compartir sus conocimientos sobre hardware y software relacionados con ESP32.

- [Herramientas ESP32](#)

Esta es una página web donde los usuarios pueden descargar ESP32 Flash Download Tools y el archivo zip "ESP32 Certificación y prueba".

- [ESP-IDF](#)

Esta página web vincula a los usuarios con el marco de desarrollo de IoT oficial para ESP32.

- [Recursos ESP32](#)

Esta página web proporciona enlaces a todos los documentos, SDK y herramientas ESP32 disponibles.

Apéndice A – Listas de pines del ESP32

A.1. Notas sobre las listas de pines del ESP32

Tabla 24: Notas sobre las listas de pines del ESP32

No.	Descripción En
1	la Tabla IO_MUX , los cuadros resaltados en amarillo indican los pines GPIO que son solo de entrada. Consulte la siguiente nota para obtener más detalles.
2	Los pines GPIO 34-39 son solo de entrada. Estos pines no cuentan con un controlador de salida ni circuitos internos de pull-up/pull-down. Los nombres de los pines son: SENSOR_VP (GPIO36), SENSOR_CAPP (GPIO37), SENSOR_CAPN (GPIO38), SENSOR_VN (GPIO39), VDET_1 (GPIO34), VDET_2 (GPIO35).
3	Los pines se agrupan en cuatro dominios de alimentación: VDDA (fuente de alimentación analógica), VDD3P3_RTC (fuente de alimentación RTC), VDD3P3_CPU (fuente de alimentación de E/S digitales y núcleos de CPU) y VDD_SDIO (fuente de alimentación de E/S SDIO). VDD_SDIO es la salida del SDIO-LDO interno. El voltaje del SDIO-LDO puede configurarse a 1,8 V o ser igual al de VDD3P3_RTC. El pin de conexión y los bits eFuse determinan el voltaje predeterminado del SDIO-LDO. El software puede modificar el voltaje del SDIO-LDO configurando los bits de registro. Para más detalles, consulte la columna "Dominio de alimentación" en la tabla IO_MUX .
4	Los pines funcionales del dominio VDD3P3_RTC son aquellos con funciones analógicas, incluyendo el oscilador de cristal de 32 kHz, el ADC, el DAC y el sensor táctil capacitivo. Consulte las columnas "Función analógica 1-3" en la tabla IO_MUX .
5	Estos pines VDD3P3_RTC admiten la función RTC y pueden funcionar durante el sueño profundo. Por ejemplo, se puede usar un RTC-GPIO para reactivar el chip del sueño profundo.
6	<p>Los pines GPIO admiten hasta seis funciones digitales, como se muestra en las columnas "Función 1 a 6" de la tabla IO_MUX. Los registros de selección de función se configurarán como "N-1", donde N es el número de función.</p> <p>A continuación se presentan algunas definiciones:</p> <ul style="list-style-type: none"> • SD_* corresponde a las señales del esclavo SDIO. • HS1_* corresponde a las señales del puerto 1 del host SDIO. • HS2_* corresponde a las señales del puerto 2 del host SDIO. • MT* corresponde a las señales del JTAG. • U0* corresponde a las señales del módulo UART0. • U1* corresponde a las señales del módulo UART1. • U2* corresponde a las señales del módulo UART2. • SPI* corresponde a las señales del módulo SPI01. • HSPI* corresponde a las señales del módulo SPI2. • VSPI* corresponde a las señales del módulo SPI3.

No.	Descripción:
7	<p>Cada columna sobre la "Función" digital va acompañada de una columna sobre el "Tipo". Consulte las siguientes explicaciones para conocer el significado de "tipo" en relación con cada "función" asociada. Para cada "Función-N", "tipo" significa:</p> <ul style="list-style-type: none"> • I: solo entrada. Si se asigna una función distinta a "Función-N", la señal de entrada de "Función-N" sigue siendo de este pin. • I1: solo entrada. Si se asigna una función distinta a "Función-N", la señal de entrada de "Función-N" siempre es "1". • IO: solo entrada. <p>Si se asigna una función distinta a "Función-N", la señal de entrada de "Función-N" siempre es "0".</p> <ul style="list-style-type: none"> • O: solo salida. • T: alta impedancia. • E/S/T: combinaciones de entrada, salida y alta impedancia según la señal de la función. • I1/O/T: combinaciones de entrada, salida y alta impedancia, según la función <p>Señal. Si no se selecciona una función, la señal de entrada de la función es "1".</p> <p>Por ejemplo, el pin 30 puede funcionar como HS1_CMD o SD_CMD, donde HS1_CMD es de tipo "I1/O/T". Si el pin 30 se selecciona como HS1_CMD, la entrada y la salida de este pin son controladas por el host SDIO. Si el pin 30 no se selecciona como HS1_CMD, la señal de entrada del host SDIO siempre es "1".</p>
8	<p>Cada pin de salida digital está asociado a su intensidad de señal configurable. La columna "Intensidad de señal" de la tabla IO_MUX muestra los valores predeterminados. La intensidad de señal de los pines de salida digital se puede configurar con una de las siguientes cuatro opciones:</p> <ul style="list-style-type: none"> • 0: ~5 mA • 1: ~10 mA • 2: ~20 mA • 3: ~40 mA <p>El valor predeterminado es 2.</p> <p>La fuerza de accionamiento del pull-up interno (wpu) y del pull-down (wpd) es de ~75 μA.</p>
9	<p>La columna "Al reiniciar" de la tabla IO_MUX muestra el estado de cada pin durante el reinicio, incluyendo la habilitación de entrada (ie=1), la activación interna (wpu) y la activación interna (wpd). Durante el reinicio, todos los pines tienen la salida deshabilitada.</p>
10	<p>La columna "Después del reinicio" de la tabla IO_MUX muestra el estado de cada pin inmediatamente después del reinicio, incluyendo la habilitación de entrada (ie=1), la función pull-up interna (wpu) y la función pull-down interna (wpd). Tras el reinicio, cada pin se configura en "Función 1". La habilitación de salida se controla mediante la función digital 1.</p>
11	<p>La tabla Ethernet_MAC describe el mapeo de señales dentro de la MAC Ethernet. La MAC Ethernet admite interfaces MII y RMII, así como el reloj PLL interno y la fuente de reloj externa. Para la interfaz MII, la MAC Ethernet se configura con o sin la señal TX_ERR. MDC, MDIO, CRS y COL son señales lentas y se pueden mapear a cualquier pin GPIO a través de...</p> <p>Matriz GPIO.</p>
12	<p>La tabla "Matriz GPIO" corresponde a la Matriz GPIO. Las señales de los módulos funcionales integrados pueden asignarse a cualquier pin GPIO. Algunas señales pueden asignarse a un pin tanto por el IO-MUX como por la Matriz GPIO, como se muestra en la columna "Misma señal de entrada del núcleo IO_MUX" de la tabla "Matriz GPIO".</p>

No.	Descripción
13	*En la tabla GPIO_Matrix , la columna "Valor predeterminado si no está asignado" registra el valor predeterminado de La señal de entrada si no se le asigna ningún GPIO. El valor real se determina mediante el registro. GPIO_FUNCm_IN_INV_SEL y GPIO_FUNCm_IN_SEL . (El valor de m varía de 1 a 255.)

A.2. Matriz GPIO

Tabla 25: GPIO_Matrix

Señal No.	Señales de entrada	Valor predeterminado no está asignado*	Misma entrada señal de si IO_MUX centro	Señales de salida	Habilitación de salida de señales de salida
0	SPICLK_en	0	Sí	SPICLK_fuera	SPICLK_oe
1	SPIQ_en	0	Sí	Salida SPIQ	SPIQ_oe
2	SPID_in	0	Sí	Salida SPID	SPID_oe
3	SPIHD_in	0	Sí	Salida SPIHD	SPIHD_oe
4	SPIWP_en	0	Sí	Salida SPIWP	SPIWP_oe
5	SPICS0_en	0	Sí	SPICS0_fuera	SPICS0_oe
6	SPICS1_en	0	No	SPICS1_fuera	SPICS1_oe
7	SPICS2_en	0	No	SPICS2_fuera	SPICS2_oe
8	HSPICLK_en	0	Sí	HSPICLK_fuera	HSPICLK_oe
9	HSPIQ_en	0	Sí	HSPIQ_out	HSPIQ_oe
10	HSPID_en	0	Sí	HSPID_salida	HSPID_oe
11	HSPICS0_en	0	Sí	HSPICS0_fuera	HSPICS0_oe
12	HSPIHD_in	0	Sí	Salida HSPIHD	HSPIHD_oe
13	HSPIWP_en	0	Sí	HSPIWP_salida	HSPIWP_oe
14	U0RXD_in	0	Sí	Salida U0TXD	1'd1
15	U0CTS_in	0	Sí	Salida U0RTS	1'd1
16	U0DSR_en	0	No	Salida U0DTR	1'd1
17	U1RXD_in	0	Sí	Salida U1TXD	1'd1
18	U1CTS_en	0	Sí	Salida U1RTS	1'd1
23	I2S0O_BCK_en	0	No	Salida I2S0O_BCK	1'd1
24	I2S1O_BCK_en	0	No	Salida I2S1O_BCK	1'd1
25	I2S0O_WS_in	0	No	Salida I2S0O_WS	1'd1
26	I2S1O_WS_in	0	No	Salida I2S1O_WS	1'd1
27	I2S0I_BCK_en	0	No	Salida I2S0I_BCK	1'd1
28	I2S0I_WS_in	0	No	Salida I2S0I_WS	1'd1
29	I2CEXT0_SCL_in	1	No	Salida I2CEXT0_SCL	1'd1
30	I2CEXT0_SDA_in	1	No	Salida I2CEXT0_SDA	1'd1
31	pwm0_sync0_in	0	No	sdio_tohost_int_out	1'd1
32	pwm0_sync1_in	0	No	pwm0_out0a	1'd1
33	pwm0_sync2_in	0	No	pwm0_out0b	1'd1
34	pwm0_f0_in	0	No	pwm0_out1a	1'd1
35	pwm0_f1_in	0	No	pwm0_out1b	1'd1

Señal No.	Señales de entrada	Valor predeterminado IO_MUX no está asignado	Misma entrada señal de si centro	Señales de salida	Habilitación de salida de señales de salida
36	pwm0_f2_in	0	No	pwm0_out2a	1'd1
37	-	0	No	pwm0_out2b	1'd1
39	pcnt_sig_ch0_in0	0	No	-	1'd1
40	pcnt_sig_ch1_in0	0	No	-	1'd1
41	pcnt_ctrl_ch0_in0	0	No	-	1'd1
42	pcnt_ctrl_ch1_in0	0	No	-	1'd1
43	pcnt_sig_ch0_in1	0	No	-	1'd1
44	pcnt_sig_ch1_in1	0	No	-	1'd1
45	pcnt_ctrl_ch0_in1	0	No	-	1'd1
46	pcnt_ctrl_ch1_in1	0	No	-	1'd1
47	pcnt_sig_ch0_in2	0	No	-	1'd1
48	pcnt_sig_ch1_in2	0	No	-	1'd1
49	pcnt_ctrl_ch0_in2	0	No	-	1'd1
50	pcnt_ctrl_ch1_in2	0	No	-	1'd1
51	pcnt_sig_ch0_in3	0	No	-	1'd1
52	pcnt_sig_ch1_in3	0	No	-	1'd1
53	pcnt_ctrl_ch0_in3	0	No	-	1'd1
54	pcnt_ctrl_ch1_in3	0	No	-	1'd1
55	pcnt_sig_ch0_in4	0	No	-	1'd1
56	pcnt_sig_ch1_in4	0	No	-	1'd1
57	pcnt_ctrl_ch0_in4	0	No	-	1'd1
58	pcnt_ctrl_ch1_in4	0	No	-	1'd1
61	HSPICS1_en	0	No	HSPICS1_fuera	HSPICS1_oe
62	HSPICS2_en	0	No	HSPICS2_fuera	HSPICS2_oe
63	VSPICLK_in	0	Sí	VSPICLK_salida_mux	VSPICLK_oe
64	VSPIQ_en	0	Sí	Salida VSPIQ	VSPIQ_oe
65	VSPID_in	0	Sí	Salida VSPID	VSPID_oe
66	VSPiHD_in	0	Sí	Salida VSPiHD	VSPiHD_oe
67	VSPiWP_en	0	Sí	Salida VSPiWP	VSPiWP_oe
68	VSPICS0_in	0	Sí	VSPICS0_fuera	VSPICS0_oe
69	VSPICS1_en	0	No	VSPICS1_salida	VSPICS1_oe
70	VSPICS2_in	0	No	VSPICS2_out	VSPICS2_oe
71	pcnt_sig_ch0_in5	0	No	ledc_hs_sig_out0	1'd1
72	pcnt_sig_ch1_in5	0	No	ledc_hs_sig_out1	1'd1
73	pcnt_ctrl_ch0_in5	0	No	ledc_hs_sig_out2	1'd1
74	pcnt_ctrl_ch1_in5	0	No	ledc_hs_sig_out3	1'd1
75	pcnt_sig_ch0_in6	0	No	ledc_hs_sig_out4	1'd1
76	pcnt_sig_ch1_in6	0	No	ledc_hs_sig_out5	1'd1
77	pcnt_ctrl_ch0_in6	0	No	ledc_hs_sig_out6	1'd1
78	pcnt_ctrl_ch1_in6	0	No	ledc_hs_sig_out7	1'd1
79	pcnt_sig_ch0_in7	0	No	ledc_ls_sig_out0	1'd1

Señal No.	Señales de entrada	Valor predeterminado IO_MUX no está asignado	Misma entrada señal de si centro	Señales de salida	Habilitación de salida de señales de salida
80	pcnt_sig_ch1_in7	0	No	ledc_ls_sig_out1	1'd1
81	pcnt_ctrl_ch0_in7	0	No	ledc_ls_sig_out2	1'd1
82	pcnt_ctrl_ch1_in7	0	No	ledc_ls_sig_out3	1'd1
83	rmt_sig_in0	0	No	ledc_ls_sig_out4	1'd1
84	rmt_sig_in1	0	No	ledc_ls_sig_out5	1'd1
85	rmt_sig_in2	0	No	ledc_ls_sig_out6	1'd1
86	rmt_sig_in3	0	No	ledc_ls_sig_out7	1'd1
87	rmt_sig_in4	0	No	rmt_sig_out0	1'd1
88	rmt_sig_in5	0	No	rmt_sig_out1	1'd1
89	rmt_sig_in6	0	No	rmt_sig_out2	1'd1
90	rmt_sig_in7	0	No	rmt_sig_out3	1'd1
91	-	-	-	rmt_sig_out4	1'd1
92	-	-	-	rmt_sig_out6	1'd1
94	-	-	-	rmt_sig_out7	1'd1
95	I2CEXT1_SCL_in	1	No	Salida I2CEXT1_SCL	1'd1
96	I2CEXT1_SDA_in	1	No	Salida I2CEXT1_SDA	1'd1
97	detección de tarjeta host n_1 0		No	host_ccmd_od_pullup_es_n 1'd1	
98	detección de tarjeta host n_2 0		No	host_rst_n_1	1'd1
99	host_tarjeta_escritura_prt_1 0		No	host_rst_n_2	1'd1
100	host_tarjeta_escritura_prt_2 0		No	gpio_sd0_out	1'd1
101	tarjeta_host_int_n_1	0	No	gpio_sd1_out	1'd1
102	tarjeta_host_int_n_2	0	No	gpio_sd2_out	1'd1
103	pwm1_sync0_in	0	No	gpio_sd3_out	1'd1
104	pwm1_sync1_in	0	No	gpio_sd4_out	1'd1
105	pwm1_sync2_in	0	No	gpio_sd5_out	1'd1
106	pwm1_f0_in	0	No	gpio_sd6_out	1'd1
107	pwm1_f1_in	0	No	gpio_sd7_out	1'd1
108	pwm1_f2_in	0	No	pwm1_out0a	1'd1
109	pwm0_cap0_in	0	No	pwm1_out0b	1'd1
110	pwm0_cap1_in	0	No	pwm1_out1a	1'd1
111	pwm0_cap2_in	0	No	pwm1_out1b	1'd1
112	pwm1_cap0_in	0	No	pwm1_out2a	1'd1
113	pwm1_cap1_in	0	No	pwm1_out2b	1'd1
114	pwm1_cap2_in	0	No	pwm2_out1h	1'd1
115	pwm2_flta	1	No	pwm2_out1l	1'd1
116	pwm2_fltb	1	No	pwm2_out2h	1'd1
117	pwm2_cap1_in	0	No	pwm2_out2l	1'd1
118	pwm2_cap2_in	0	No	pwm2_out3h	1'd1
119	pwm2_cap3_in	0	No	pwm2_out3l	1'd1
120	pwm3_flta	1	No	pwm2_out4h	1'd1
121	pwm3_fltb	1	No	pwm2_out4l	1'd1

Señal No.	Señales de entrada	Valor predeterminado IO_MUX no está asignado	Misma entrada señal de si centro	Señales de salida	Habilitación de salida de señales de salida
122	pwm3_cap1_in	0	No	-	1'd1
123	pwm3_cap2_in	0	No	-	1'd1
124	pwm3_cap3_in	0	No	-	1'd1
140	I2S0I_DATOS_en0	0	No	I2S0O_DATOS_salida0	1'd1
141	I2S0I_DATOS_en1	0	No	I2S0O_DATOS_salida1	1'd1
142	I2S0I_DATOS_en2	0	No	I2S0O_DATOS_salida2	1'd1
143	I2S0I_DATOS_en3	0	No	I2S0O_DATOS_salida3	1'd1
144	I2S0I_DATOS_en4	0	No	I2S0O_DATOS_salida4	1'd1
145	I2S0I_DATOS_en5	0	No	I2S0O_DATOS_salida5	1'd1
146	I2S0I_DATOS_en6	0	No	I2S0O_DATOS_salida6	1'd1
147	I2S0I_DATOS_en7	0	No	I2S0O_DATOS_salida7	1'd1
148	I2S0I_DATOS_en8	0	No	I2S0O_DATOS_salida8	1'd1
149	I2S0I_DATOS_en9	0	No	I2S0O_DATOS_salida9	1'd1
150	I2S0I_DATOS_en10	0	No	I2S0O_DATOS_salida10	1'd1
151	I2S0I_DATOS_en11	0	No	I2S0O_DATOS_salida11	1'd1
152	I2S0I_DATOS_en12	0	No	I2S0O_DATOS_salida12	1'd1
153	I2S0I_DATOS_en13	0	No	I2S0O_DATOS_salida13	1'd1
154	I2S0I_DATOS_en14	0	No	I2S0O_DATOS_salida14	1'd1
155	I2S0I_DATOS_en15	0	No	I2S0O_DATOS_salida15	1'd1
156	-	-	-	I2S0O_DATOS_salida16	1'd1
157	-	-	-	I2S0O_DATOS_salida17	1'd1
158	-	-	-	I2S0O_DATOS_salida18	1'd1
159	-	-	-	I2S0O_DATOS_salida19	1'd1
160	-	-	-	I2S0O_DATOS_salida20	1'd1
161	-	-	-	I2S0O_DATOS_salida21	1'd1
162	-	-	-	I2S0O_DATOS_salida22	1'd1
163	-	-	-	I2S0O_DATOS_salida23	1'd1
164	I2S1I_BCK_en	0	No	Salida I2S1I_BCK	1'd1
165	I2S1I_WS_in	0	No	Salida I2S1I_WS	1'd1
166	I2S1I_DATOS_en0	0	No	I2S1O_DATOS_salida0	1'd1
167	I2S1I_DATOS_en1	0	No	I2S1O_DATOS_salida1	1'd1
168	I2S1I_DATOS_en2	0	No	I2S1O_DATOS_salida2	1'd1
169	I2S1I_DATOS_en3	0	No	I2S1O_DATOS_salida3	1'd1
170	I2S1I_DATOS_en4	0	No	I2S1O_DATOS_salida4	1'd1
171	I2S1I_DATOS_en5	0	No	I2S1O_DATOS_salida5	1'd1
172	I2S1I_DATOS_en6	0	No	I2S1O_DATOS_salida6	1'd1
173	I2S1I_DATOS_en7	0	No	I2S1O_DATOS_salida7	1'd1
174	I2S1I_DATOS_en8	0	No	I2S1O_DATOS_salida8	1'd1
175	I2S1I_DATOS_en9	0	No	I2S1O_DATOS_salida9	1'd1
176	I2S1I_DATOS_en10	0	No	I2S1O_DATOS_salida10	1'd1
177	I2S1I_DATOS_en11	0	No	I2S1O_DATOS_salida11	1'd1

Señal No.	Señales de entrada	Valor predeterminado IO_MUX no está asignado	Misma entrada señal de si centro	Señales de salida	Habilitación de salida de señales de salida
178	I2S1I_DATOS_en12	0	No	I2S1O_DATOS_salida12	1'd1
179	I2S1I_DATOS_en13	0	No	I2S1O_DATOS_salida13	1'd1
180	I2S1I_DATOS_en14	0	No	I2S1O_DATOS_salida14	1'd1
181	I2S1I_DATOS_en15	0	No	I2S1O_DATOS_salida15	1'd1
182	-	-	-	I2S1O_DATOS_salida16	1'd1
183	-	-	-	I2S1O_DATOS_salida17	1'd1
184	-	-	-	I2S1O_DATOS_salida18	1'd1
185	-	-	-	I2S1O_DATOS_salida19	1'd1
186	-	-	-	I2S1O_DATOS_salida20	1'd1
187	-	-	-	I2S1O_DATOS_salida21	1'd1
188	-	-	-	I2S1O_DATOS_salida22	1'd1
189	-	-	-	I2S1O_DATOS_salida23	1'd1
190	I2S0I_H_SYNC	0	No	pwm3_salida1h	1'd1
191	I2S0I_V_SYNC	0	No	pwm3_salida1l	1'd1
192	I2S0I_H_HABILITAR	0	No	pwm3_salida2h	1'd1
193	I2S1I_H_SYNC	0	No	pwm3_salida2l	1'd1
194	I2S1I_V_SYNC	0	No	pwm3_salida3h	1'd1
195	I2S1I_H_HABILITAR	0	No	pwm3_salida3l	1'd1
196	-	-	-	pwm3_salida4h	1'd1
197	-	-	-	pwm3_salida4l	1'd1
198	U2RXD_in	0	Si	Salida U2TXD	1'd1
199	U2CTS_en	0	Si	Salida U2RTS	1'd1
200	emac_mdc_i	0	No	emac_mdc_o	emac_mdc_oe
201	emac_mdi_i	0	No	emac_mdo_o	emac_mdo_o_e
202	emac_crs_i	0	No	emac_crs_o	emac_crs_oe
203	emac_col_i	0	No	emac_col_o	emac_col_oe
204	pcmfssync_in	0	No	bt_audio0_irq	1'd1
205	pcmcclk_in	0	No	bt_audio1_irq	1'd1
206	pcmdin	0	No	bt_audio2_irq	1'd1
207	-	-	-	ble_audio0_irq	1'd1
208	-	-	-	ble_audio1_irq	1'd1
209	-	-	-	ble_audio2_irq	1'd1
210	-	-	-	pcmfssync_out	pcmfssync_es
211	-	-	-	pcmcclk_out	pcmcclk_es
212	-	-	-	pcmdout	pcmdout_es
213	-	-	-	ble_audio_sync0_p	1'd1
214	-	-	-	ble_audio_sync1_p	1'd1
215	-	-	-	ble_audio_sync2_p	1'd1
224	-	-	-	sig_in_func224	1'd1
225	-	-	-	sig_in_func225	1'd1
226	-	-	-	sig_in_func226	1'd1

Señal No.	Señales de entrada	Valor predeterminado IO_MUX no está asignado	Misma entrada señal de si centro	Señales de salida	Habilitación de salida de señales de salida
227	-	-	-	señal_en_func227	1'd1
228	-	-	-	señal_en_func228	1'd1

A.3. Ethernet_MAC

Tabla 26: Ethernet_MAC

Nombre PIN	Función6	MII (int_osc)	MII (oscilación externa)	RMII (oscilación interna)	RMII (ext_osc)
GPIO0	EMAC_TX_CLK	TX_CLK (Yo)	TX_CLK (Yo)	CLK_OUT(O)	EXT_OSC_CLK(I)
GPIO5	EMAC_RX_CLK	RX_CLK (Yo)	RX_CLK (Yo)	-	-
GPIO21	EMAC_TX_ES	TX_EN(O)	TX_EN(O)	TX_EN(O)	TX_EN(O)
GPIO19	EMAC_TXD0	TXD[0](O)	TXD[0](O)	TXD[0](O)	TXD[0](O)
GPIO22	EMAC_TXD1	TXD[1](O)	TXD[1](O)	TXD[1](O)	TXD[1](O)
<small>Existencia de pines en todos los modelos</small>	EMAC_TXD2	TXD[2](O)	TXD[2](O)	-	-
MTDI	EMAC_TXD3	TXD[3](O)	TXD[3](O)	-	-
MTCK	EMAC_RX_ER	RX_ER(I)	RX_ER(I)	-	-
GPIO27	EMAC_RX_DV	RX_DV(I)	RX_DV(I)	CRS_DV(I)	CRS_DV(I)
GPIO25	EMAC_RXD0	RXD[0](I)	RXD[0](I)	RXD[0](I)	RXD[0](I)
GPIO26	EMAC_RXD1	RXD[1](I)	RXD[1](I)	RXD[1](I)	RXD[1](I)
U0TXD	EMAC_RXD2	RXD[2](I)	RXD[2](I)	-	-
MTDO	EMAC_RXD3	RXD[3](I)	RXD[3](I)	-	-
GPIO16	EMAC_CLK_OUT	CLK_OUT(O)	-	CLK_OUT(O)	-
GPIO17	EMAC_CLK_OUT_180	CLK_OUT_180(O) -		CLK_OUT_180(O) -	
GPIO4	EMAC_TX_ER	TX_ERR(O)*	TX_ERR(O)* -		-
En la matriz GPIO*	-	MDC(O)	MDC(O)	MDC(O)	MDC(O)
En la matriz GPIO*	-	MDIO(IO)	MDIO(IO)	MDIO(IO)	MDIO(IO)
En la matriz GPIO*	-	CRS(I)	CRS(I)	-	-
En la matriz GPIO*	-	COL(I)	COL(I)	-	-

*Notas: 1. La matriz GPIO puede ser cualquier GPIO. 2. TX_ERR (O) es opcional.

A.4. IO_MUX

Para ver la lista de pines IO_MUX, consulte la página siguiente.

IO_MUX																					
N.º de pin	Fuerza Pin de suministro	Pin analógico	Dominio de potencia del pin digital	Cosa entrega Función1	Cosa entrega Función2	Cosa entrega Función3	RTC Función1	RTC Función2	Función1 Tipo	Función2 Tipo	Función3 Tipo	Función4 Tipo	Tipo Función5 Tipo Función6			Tipo	Intensidad de accionamiento (20-25 mA)	En reposo	Después de reposar		
1	VDDA		Suministro de VDDA en VDDP3																		
2	VDDA	LNA_IN																			
3	VDDP3		Suministro de VDDP3 en VDDP3																		
4	VDDP3		Suministro de VDDP3 en VDDP3																		
5		SENSOR_VP	VDDP3_RTC	ADC_H	ADC1_CH0		RTC_GPIO0		GPIO36	I			GPIO36	I				oe=0, ie=0	oe=0, ie=0		
6		SENSOR_CAPP	VDDP3_RTC	ADC_H	ADC1_CH1		RTC_GPIO1		GPIO37	I			GPIO37	I				oe=0, ie=0	oe=0, ie=0		
7		SENSOR_CAPN	VDDP3_RTC	ADC_H	ADC1_CH2		RTC_GPIO2		GPIO38	I			GPIO38	I				oe=0, ie=0	oe=0, ie=0		
8		SENSOR_VN	VDDP3_RTC	ADC_H	ADC1_CH3		RTC_GPIO3		GPIO39	I			GPIO39	I				oe=0, ie=0	oe=0, ie=0		
9		CHIP_PU	VDDP3_RTC																		
10	VDET_1		VDDP3_RTC		ADC1_CH6		RTC_GPIO4		GPIO34	I			GPIO34	I				oe=0, ie=0	oe=0, ie=0		
11	VDET_2		VDDP3_RTC		ADC1_CH7		RTC_GPIO5		GPIO35	I			GPIO35	I				oe=0, ie=0	oe=0, ie=0		
12	32K_XP		VDDP3_RTC	XTAL_32K_P	ADC1_CH4 TOQUEB RTC_GPIO9				GPIO32	E/S/T			GPIO32	E/S/T			252	oe=0, ie=0	oe=0, ie=0		
13		32K_XN																			
14			VDDP3_RTC	XTAL_32K_N	ADC1_CH5 TOQUEB RTC_GPIO8				GPIO33	E/S/T			GPIO33	E/S/T			252	oe=0, ie=0	oe=0, ie=0		
15		GPIO25	VDDP3_RTC	DAC_1	ADC2_CH8		RTC_GPIO6		GPIO25	E/S/T						EMAC_RXD0	I	252	oe=0, ie=0	oe=0, ie=0	
16		GPIO26	VDDP3_RTC	DAC_2	ADC2_CH9		RTC_GPIO7		GPIO26	E/S/T						EMAC_RXD1	I	252	oe=0, ie=0	oe=0, ie=0	
17		GPIO27	VDDP3_RTC		ADC2_CH7 TOUCH7 RTC_GPIO17				GPIO27	E/S/T						EMAC_RX_DV	I	252	oe=0, ie=0	oe=0, ie=1	
18		_____	VDDP3_RTC		ADC2_CH6 TOUCH6 RTC_GPIO16				na	HSPCLK E/S/T GPIO14			oe	SD_CLK_0		EMAC_TXD2	O 252	oe=0, es	oe=0, ie=1		
19		MTDI	VDDP3_RTC		ADC2_CH5 TOQUEB RTC_GPIO15				MTDI	I1	HSPDQ	E/S/T GPIO12		E/S/T HS2_DATA2	11/IOT SD_DATA2 11/IOT EMAC_TXD3		O 252	oe=0, es decr=1, wpd oe=0, es decr=1, wpd	oe=0, es decr=1, wpd		
20	VDDP3_RTC		Entrada de alimentación VDDP3_RTC																		
21		MTCK	VDDP3_RTC		ADC2_CH4 TOUCH4 RTC_GPIO14				MTCK	I1	_____	E/S/T GPIO13		E/S/T HS2_DATA3	11/IOT SD_DATA3 11/IOT EMAC_RX_ER	I	252	oe=0, es	oe=0, ie=1		
22		MTDO	VDDP3_RTC		ADC2_CH3 TOUCH3 RTC_GPIO13 DC_SDA				MTDO	_____	HSPICSD E/S/T GPIO15			E/S/T HS2_CMD	11/IOT SD_CMD 11/IOT EMAC_RXD3	I	252	oe=0, es decr=1, wpd oe=0, es decr=1, wpd	oe=0, es decr=1, wpd		
23		GPIO2	VDDP3_RTC		ADC2_CH2 TOUCH2 RTC_GPIO12 DC_SCL				GPIO2	E/S/T HSPWP E/S/T GPIO2				E/S/T HS2_DATA0	11/IOT SD_DATA0 11/IOT		252	oe=0, es decr=1, wpd oe=0, es decr=1, wpd	oe=0, es decr=1, wpd		
24		GPIO0	VDDP3_RTC		ADC2_CH1 TOUCH1 RTC_GPIO11 DC_SDA				GPIO0	E/S/T CLK_OUT1 O			GPIO0	E/S/T		EMAC_TX_CLK	I	252	oe=0, es decr=1, wpd oe=0, es decr=1, wpd	oe=0, es decr=1, wpd	
25		GPIO4	VDDP3_RTC		ADC2_CH0 TOUCH0 RTC_GPIO10 DC_SCL				GPIO4	E/S/T HSPHD			E/S/T HS2_DATA1	11/IOT SD_DATA1 11/IOT EMAC_TX_ER		O 252	oe=0, es decr=1, wpd oe=0, es decr=1, wpd	oe=0, es decr=1, wpd	oe=0, es decr=1, wpd		
26																					
27		GPIO16	VDD_SDO	VDD_SDO					GPIO16	E/S/T			GPIO16	E/S/T HS1_DATA4	11/IOT U2RXD	I1	EMAC_CLK_OUT	O 252	oe=0, ie=0	oe=0, ie=1	
28		GPIO17	VDD_SDO	Salida de suministro VDD_SDO																	
29		SD_DATA_2 VDD_SDO							GPIO17	E/S/T			GPIO17	E/S/T HS1_DATA5	11/IOT U2TXD	oe	EMAC_CLK_OUT_180 O 252		oe=0, ie=0	oe=0, ie=1	
30		SD_DATA_3 VDD_SDO							SD_DATA2 11/IOT SPHD				E/S/T GPIO9	E/S/T HS1_DATA2	11/IOT U1RXD	I1		252	oe=0, es decr=1, wpd oe=0, es decr=1, wpd	oe=0, es decr=1, wpd	
31		SD_CMD VDD_SDO							SD_DATA3 11/IOT SPHWP				E/S/T GPIO10	E/S/T HS1_DATA3	11/IOT U1TXD	oe		252	oe=0, es decr=1, wpd oe=0, es decr=1, wpd	oe=0, es decr=1, wpd	
32		SD_CLK VDD_SDO							SD_CMD 11/IOT SPICSD				E/S/T GPIO11	E/S/T HS1_CMD	11/IOT U1RTS	oe		252	oe=0, es decr=1, wpd oe=0, es decr=1, wpd	oe=0, es decr=1, wpd	
33		SD_DATA_0 VDD_SDO							SD_CLK_0	SPICLK	E/S/T GPIO6		E/S/T HS1_CLK	oe	U1CTS	I1		252	oe=0, es decr=1, wpd oe=0, es decr=1, wpd	oe=0, es decr=1, wpd	
34		SD_DATA_1 VDD_SDO							SD_DATA0 11/IOT SPID				E/S/T HS1_DATA0	11/IOT U2RTS	oe		252	oe=0, es decr=1, wpd oe=0, es decr=1, wpd	oe=0, es decr=1, wpd		
35		GPIO5	VDDP3_CPU						SD_DATA1 11/IOT SPID				E/S/T GPIO8	E/S/T HS1_DATA1	11/IOT U2CTS	I1		252	oe=0, es decr=1, wpd oe=0, es decr=1, wpd	oe=0, es decr=1, wpd	
36		GPIO18	VDDP3_CPU						GPIO5	VSPICSD de E/S/T			E/S/T HS1_DATA6	11/IOT		EMAC_RX_CLK	I	252	oe=0, ie=0	oe=0, ie=1	
37		GPIO18	VDDP3_CPU						GPIO18	E/S/T VSPICLK E/S/T GPIO18			E/S/T HS1_DATA7	11/IOT			252	oe=0, ie=0	oe=0, ie=1		
38		GPIO23	VDDP3_CPU						GPIO23	VSPID de E/S/T			E/S/T HS1_STROBE_0				252	oe=0, ie=0	oe=0, ie=1		
39																					
40		GPIO19	VDDP3_CPU	VDDP3_Suministro de CPU en VDDP3_CPU					GPIO19	VSPDQ de E/S/T			E/S/T GPIO19	Unidades de E/S/T	I1		EMAC_TXD0	O 252	oe=0, ie=0	oe=0, ie=1	
41		GPIO22	VDDP3_CPU						GPIO22	VSPHWP de E/S/T			E/S/T GPIO22	Unidades de E/S/T	oe		EMAC_TXD1	O 252	oe=0, ie=0	oe=0, ie=1	
42		U0RXD	VDDP3_CPU						U0RXD	I1	CLK_OUT2 O		GPIO3	E/S/T				252	oe=0, es decr=1, wpd oe=0, es decr=1, wpd	oe=0, es decr=1, wpd	
43		U0TXD	VDDP3_CPU						U0TXD	oe	CLK_OUT3 O		GPIO1	E/S/T			EMAC_RXD2	I	252	oe=0, es decr=1, wpd oe=0, es decr=1, wpd	oe=0, es decr=1, wpd
44		GPIO21	VDDP3_CPU						GPIO21	VSPHD de E/S/T			E/S/T GPIO21	E/S/T			EMAC_TX_ES	O 252	oe=0, ie=0	oe=0, ie=1	
45																					
46																					
47																					
48																					
Total Número				8	14	26															
Notas •																					
• wpd: pull-up débil.																					
• es decr: pull-down débil.																					
• es decr: habilitar entrada.																					
• oe: habilitar salida.																					
• Consulte la Tabla: Notas sobre las listas de pines de ESP32 para obtener más información.																					

Historial de revisiones

Fecha	Versión	Notas de la versión
2019.04 V3.0		Se agregó información sobre los tiempos de configuración y retención de los pasadores de flejado en la Sección 2.4 : Pasadores de flejado.
2019.02 V2.9		Se aplicó un nuevo formato a la Tabla 1: Descripción de pines; se corrigieron errores tipográficos con respecto a las asignaciones de canales ADC1 en la Tabla 10 : Configuraciones de pines periféricos.
2019.01	Versión 2.8	Se modificó el rango de control de potencia de RF en la Tabla 18 , Tabla 20 y Tabla 22 de $-12 \sim +12$ a $-12 \sim +9$ dBm; pequeños cambios en el texto.
2018.11	Versión 2.7	Sección 1.5 actualizada; estados de pin actualizados al reiniciar y después del reinicio en la Tabla IO_MUX .
2018.10 V2.6		Dibujos de paquetes QFN actualizados en el Capítulo 6: Información del paquete.
2018.08 V2.5		<ul style="list-style-type: none"> Se agregó la entrada "Corriente de salida de E/S acumulada" a la Tabla 11: Máxima absoluta Calificaciones; Se agregaron más parámetros a la Tabla 13: Características de CC; • Se cambiaron los nombres de dominio de potencia en la Tabla IO_MUX para que sean consistentes Los nombres de los pines.
2018.07 V2.4		<ul style="list-style-type: none"> Se eliminó información sobre arbitraje de tráfico de paquetes (PTA); • Se agregó la Figura 5: Tiempo de encendido y reinicio del ESP32 en la Sección 2.3: Encendido Esquema; Se agregó el consumo de energía de los SoC de doble núcleo en la Tabla 6: Consumo de energía Consumo por modos de potencia; • Se actualizó la sección 4.1.2: Convertidor analógico-digital (ADC).
2018.06 V2.3		Se agregó el consumo de energía a una frecuencia de CPU de 160 MHz en la Tabla 6: Consumo de energía por modos de energía.
2018.05 V2.2		<ul style="list-style-type: none"> Se cambió el rango de voltaje de VDD3P3_RTC de 1,8-3,6 V a 2,3-3,6 V en Tabla 1: Descripción de pines; • Sección 2.3 actualizada: Esquema de energía; • Sección 3.1.3 actualizada: Flash externo y SRAM; • Tabla 6 actualizada: Consumo de energía por modos de energía; • Contenido eliminado sobre el sensor de temperatura; Cambios en las características eléctricas: Se actualizó la Tabla 11: Clasificaciones máximas absolutas; • Se agregó la Tabla 12: Condiciones de funcionamiento recomendadas; • Se agregó la Tabla 13: Características de CC; • Se agregó la Tabla 14: Calificaciones de confiabilidad; • Se actualizaron los valores de "Paso de control de ganancia" y "Potencia de transmisión del canal adyacente" en la Tabla 18: Características del transmisor - Velocidad de datos básica; • Se actualizaron los valores de "Paso de control de ganancia", "Precisión de modulación DQPSK $\pi/4$" "racy", "precisión de modulación 8 DPSK" y "emisiones espurias en banda" en Tabla 20: Características del transmisor – Velocidad de datos mejorada; Se actualizaron los valores de "Paso de control de ganancia", "Transmisión del canal adyacente" potencia" en la Tabla 22: Características del transmisor - BLE.

Fecha	Versión	Notas de la versión
2018.01	Versión 2.1	<ul style="list-style-type: none"> • Se eliminaron funciones específicas del software; • Se eliminó información sobre el preamplificador LNA; • <p>Se especificó la velocidad de la CPU y la velocidad de flash del ESP32-D2WD;</p> <ul style="list-style-type: none"> • Se agregaron notas a la Sección 2.3: Esquema de energía.
2017.12 V2.0		Se agregó una nota sobre la secuencia del número PIN en el Capítulo 6.
2017.10 V1.9		<ul style="list-style-type: none"> • Se actualizó la descripción del pin CHIP_PU en la Tabla 1; • Se agregó una nota a la Sección 2.3: Esquema de energía; • Se actualizó la descripción del reinicio del sistema del chip en la Sección 2.4: Strapping Patas; • Se agregó una descripción de la diversidad y selección de antenas a la Sección 3.5.1; • Se eliminó el "Patrón de suspensión de asociación" en la Tabla 6 y se agregaron notas a la sección Activa Sueño y sueño moderno.
2017.08 V1.8		<ul style="list-style-type: none"> • Se agregó la Tabla 4.2 en la Sección 4; • Se corrigió un error tipográfico en la
2017.08 V1.7		<p>Figura 1. • Se cambió la potencia de transmisión a +12 dBm; la sensibilidad del receptor NZIF hasta -97 dBm en la Sección 1.3;</p> <ul style="list-style-type: none"> • Se agregó una nota a la Tabla 1 Descripción de pines; • <p>Se agregó una frecuencia de reloj de 160 MHz en la sección 3.1.1; •</p> <p>Se cambió la potencia de transmisión de 21 dBm a 20,5 dBm en la Sección 3.5.1; • Se cambió el rango de control dinámico de las potencias de salida de transmisión de clase 1, clase 2 y clase 3 a "hasta 24 dBm"; y se cambió el rango dinámico de la sensibilidad del receptor NZIF a "más de 97 dB" en la Sección 3.6.1;</p> <ul style="list-style-type: none"> • Se actualizó la Tabla 6: Consumo de energía por modos de energía y se agregaron dos notas al respecto; • Se actualizaron las secciones 4.1.1 y 4.1.9; • Se actualizó la Tabla 11: Valores nominales máximos absolutos; • Se actualizó la Tabla 15: Especificaciones de consumo de potencia de RF y se modificó el ciclo de trabajo en el que se basan las mediciones de los transmisores en un 50 %. • Se actualizó la Tabla 16: Características de radio Wi-Fi y se añadió una nota sobre la "Impedancia de salida". • Se actualizó el parámetro "Sensibilidad" en las Tablas 17, 19, 21; • Se actualizaron los parámetros "Potencia de transmisión de RF" y "Rango de control de potencia de RF". y agregó el parámetro "Paso de control de ganancia" en la Tabla 18, 20, 22; • Capítulos eliminados: "Sensor táctil" y "Ejemplos de código"; • Se agregó un enlace para descargar la certificación.
2017.06 V1.6		<p>Se corrigieron dos errores tipográficos: • Se cambió el número de componentes externos a 20 en la Sección 1.1.2; • Se cambió el número de pines GPIO a 34 en la Sección 4.1.1.</p>
2017.06 V1.5		<ul style="list-style-type: none"> • Se modificó el rango de suministro de energía en la Sección: 1.4.1 CPU y memoria; • Se actualizó la nota en la Sección 2.3: Esquema de energía; • Se actualizó la Tabla 11: Clasificaciones máximas absolutas; • Se modificaron los valores de intensidad de la unidad de los pines de salida digital en la Nota 8, en la Tabla 24: Notas sobre las listas de pines del ESP32; • Se agregó la opción para suscribirse para recibir notificaciones de cambios en la documentación.

Fecha	Versión	Notas de la versión
2017.05 V1.4		<ul style="list-style-type: none"> • Se agregó una nota a la frecuencia del oscilador de cristal externo en la Sección 1.4.2: Relojes y temporizadores; • Se agregó una nota a la Sección 2.4: Pasadores de sujeción; • Se actualizó la Sección 3.7: RTC y gestión de bajo consumo; • Se cambió la capacidad máxima de conducción de 12 mA a 80 mA, en la Tabla 11: Calificaciones máximas absolutas; • Se modificó el valor de impedancia de entrada de 50 Ω, en la Tabla 16: Características de radio Wi-Fi. características, para valor de impedancia de salida de 30+j10 Ω; • <p>Se agregó una nota al n.º 8 en la Tabla 24: Notas sobre las listas de pines del ESP32;</p> <ul style="list-style-type: none"> • Se eliminó GPIO20 en la tabla IO_MUX.
2017.04 V1.3		<ul style="list-style-type: none"> • Apéndice agregado: Listas de pines ESP32; • <p>Tabla actualizada: Características de radio Wi-Fi; • Figura actualizada: Disposición de pines ESP32 (para QFN 5*5).</p>
2017.03 V1.2		<ul style="list-style-type: none"> • Se agregó una nota a la Tabla: Descripción del pin; • <p>Se actualizó la nota en la Sección: Memoria interna.</p>
2017.02 V1.1		<ul style="list-style-type: none"> • Capítulo agregado: Número de pieza e información de pedido; • Sección actualizada: MCU y funciones avanzadas; • Sección actualizada: Diagrama de bloques; • Capítulo actualizado: Definiciones de pines; • Sección actualizada: CPU y memoria; • Sección actualizada: Reloj PLL de audio; • Sección actualizada: Clasificaciones máximas absolutas; • Capítulo actualizado: Información del paquete; • Capítulo actualizado: Recursos de aprendizaje.
2016.08 V1.0		Primer lanzamiento.