My MIPS_16 architecture

源和目标有相等且非0

Control logic
S1
S2
S3
S4
A B C D
S5
S6

S5

插入空泡
输入使能
0   0

OP Dest Src1 Src2 Imm

输入使能

指令存储器

PC

+

MUX2

2

Reset

S3 dest S1

数据存储器

地址 写数据 写使能

S3 dest S1

ALU

S3 dest S1 S2

cond? S4 MUX2 S6

MUX8 MUX8

输入使能

译码器

MUX2

Clock

IF_stage

ID_stage

EX_stage

MEM_stage

WB_stage

Register file

Hazard detection unit