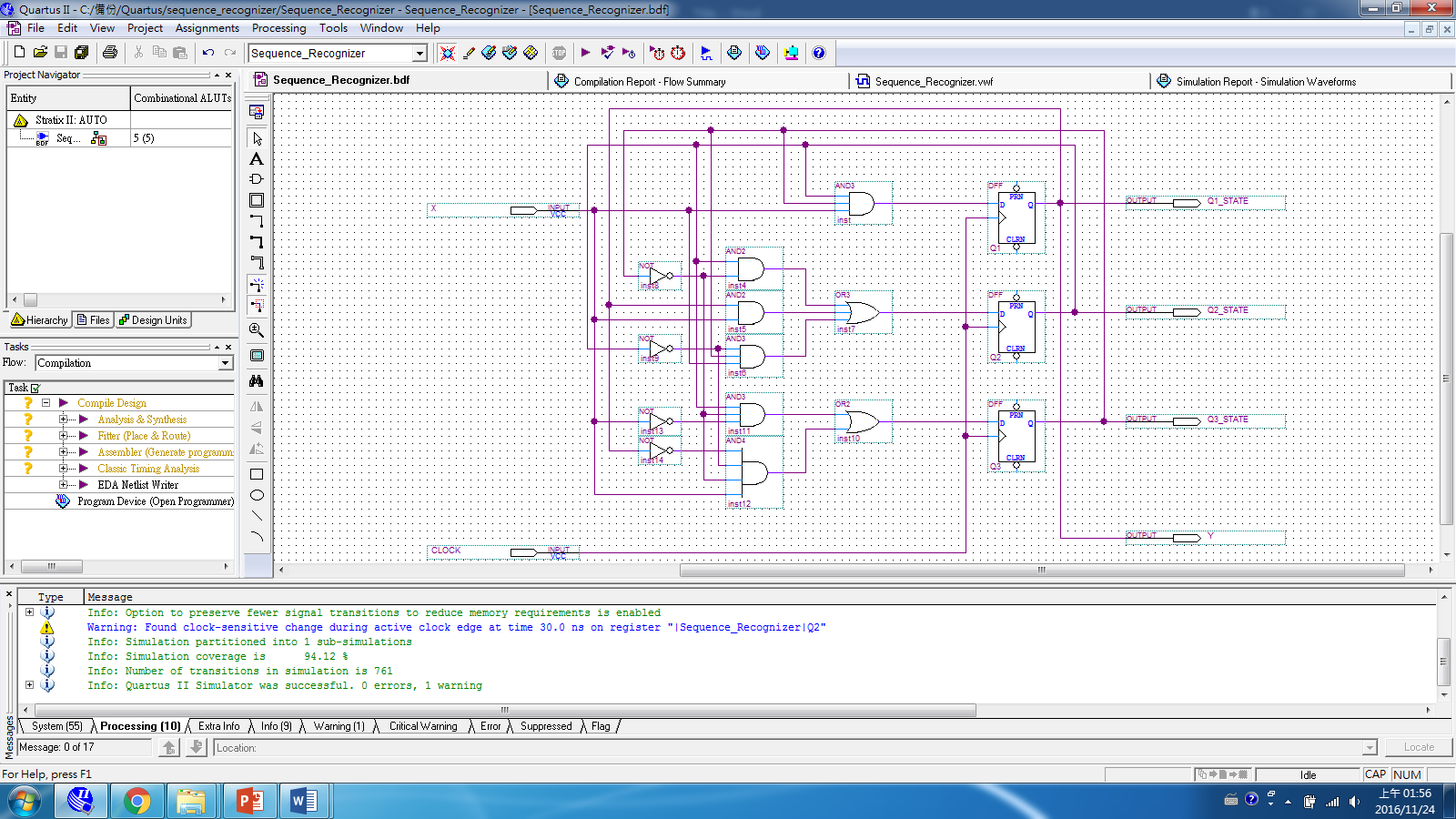
**Title:**

**Design sequence recognizer 1101 by using Moore Model**

**系級 : 資工系 108 級**

**學號 : A1045516**

**姓名 : 蔡湘俊**

**指導老師 : 潘欣泰 老師**

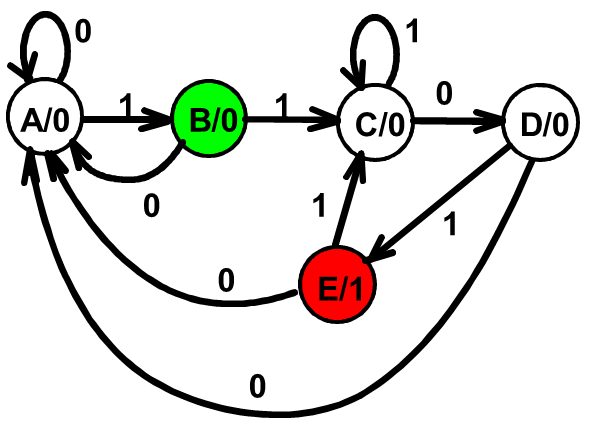
I.Abstract

設計這個電路最主要的功能就是要去辨識1101這一個序列，也就是假如我今天有一串數字的時候，我可以從裡頭去尋找我要的目標也就是1101，當我發現到1101的時候，此電路會有一個輸出信號用來去顯示已經辨識到了我所要尋找的目標1101，那要去設計這一種功能的電路，我們必須先去將其在Moore Model型態下的state diagram給畫出來，然後根據state diagram來去得到我們要找出電路function的state table，有了state table之後再針對個別的state透過K-map的化簡來去得到設計此電路的function，那麼有了function之後我們就能去將該電路圖給畫出來，也就能得到我們所想要的電路。

II.Design Procedure and Optimize Circuit

那麼我的設計流程依序為:

* (1)畫出Moore Model型態的state diagram。



* (2)針對所畫出的state diagram，先去針對每一

個state來去做state assignment的動作，

並且其state assignment的形式為counting

order，之後在去根據state diagram的形式

來去得到對應的state table。

State Assignment:

|  |  |
| --- | --- |
| State | Assignment |
| A | 000 |
| B | 001 |
| C | 010 |
| D | 011 |
| E | 100 |

State Table:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Present State | | Input | Next state | | Output |
| S | Q1Q2Q3 | X | S | Q1Q2Q3 | Y |
| A | 000 | 0 | A | 000 | 0 |
| A | 000 | 1 | B | 001 | 0 |
| B | 001 | 0 | A | 000 | 0 |
| B | 001 | 1 | C | 010 | 0 |
| C | 010 | 0 | D | 011 | 0 |
| C | 010 | 1 | C | 010 | 0 |
| D | 011 | 0 | A | 000 | 0 |
| D | 011 | 1 | E | 100 | 0 |
| E | 100 | 0 | A | 000 | 1 |
| E | 100 | 1 | C | 010 | 1 |

* (3)在利用所得出的state table來去針對個別的

state來去透過K-map得出每個state所對應

的最簡的function，那在K-map化簡這一個

部份當中，我們用到的bits的組合只有

0000、0001、0010、0011、0100、0101、

0110、0111、1000、1001這10個，剩餘的

1010、1011、1100、1101、1110、1111這6

個bits的組合我們都沒用到，那像這一種的

情況我們都會將其沒用到的bits的組合視為

Don't Care項，也就是該項可以是0也可以

是1，而其功用就是當其對於我們化簡

function是有幫助的話就可將其一併列入化

簡，來去使得我們化簡出來的function是最

簡的形式，那這個Don't Care項我們在K-

map當中通常以X來去代表Don't Care項。

Q1Q2

Q3X

00

01

11

10

00

01

11

10

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
|  |  | 1 |  |
| X | X | X | X |
|  |  | X | X |

DQ1 = Q2Q3X

Q1Q2

Q3X

00

01

11

10

00

01

11

10

|  |  |  |  |
| --- | --- | --- | --- |
|  |  | 1 |  |
| 1 | 1 |  |  |
| X | X | X | X |
|  | 1 | X | X |

DQ2 = Q2Q3+Q1X + Q2Q3X

Q1Q2

Q3X

00

01

11

10

00

01

11

10

|  |  |  |  |
| --- | --- | --- | --- |
|  | 1 |  |  |
| 1 |  |  |  |
| X | X | X | X |
|  |  | X | X |

DQ3 = Q2Q3X + Q1Q2Q3X

Q1Q2

Q3X

00

01

11

10

00

01

11

10

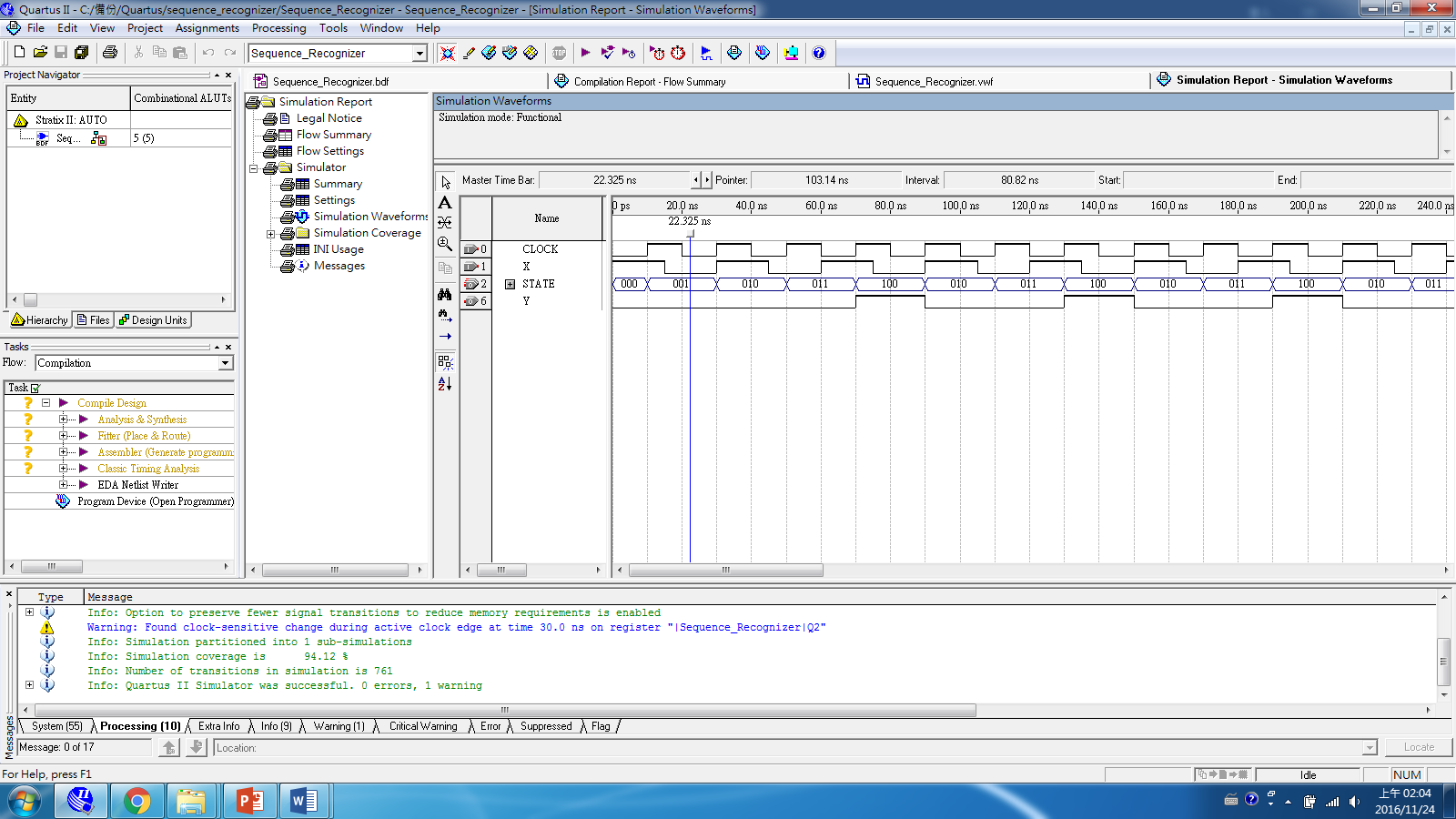
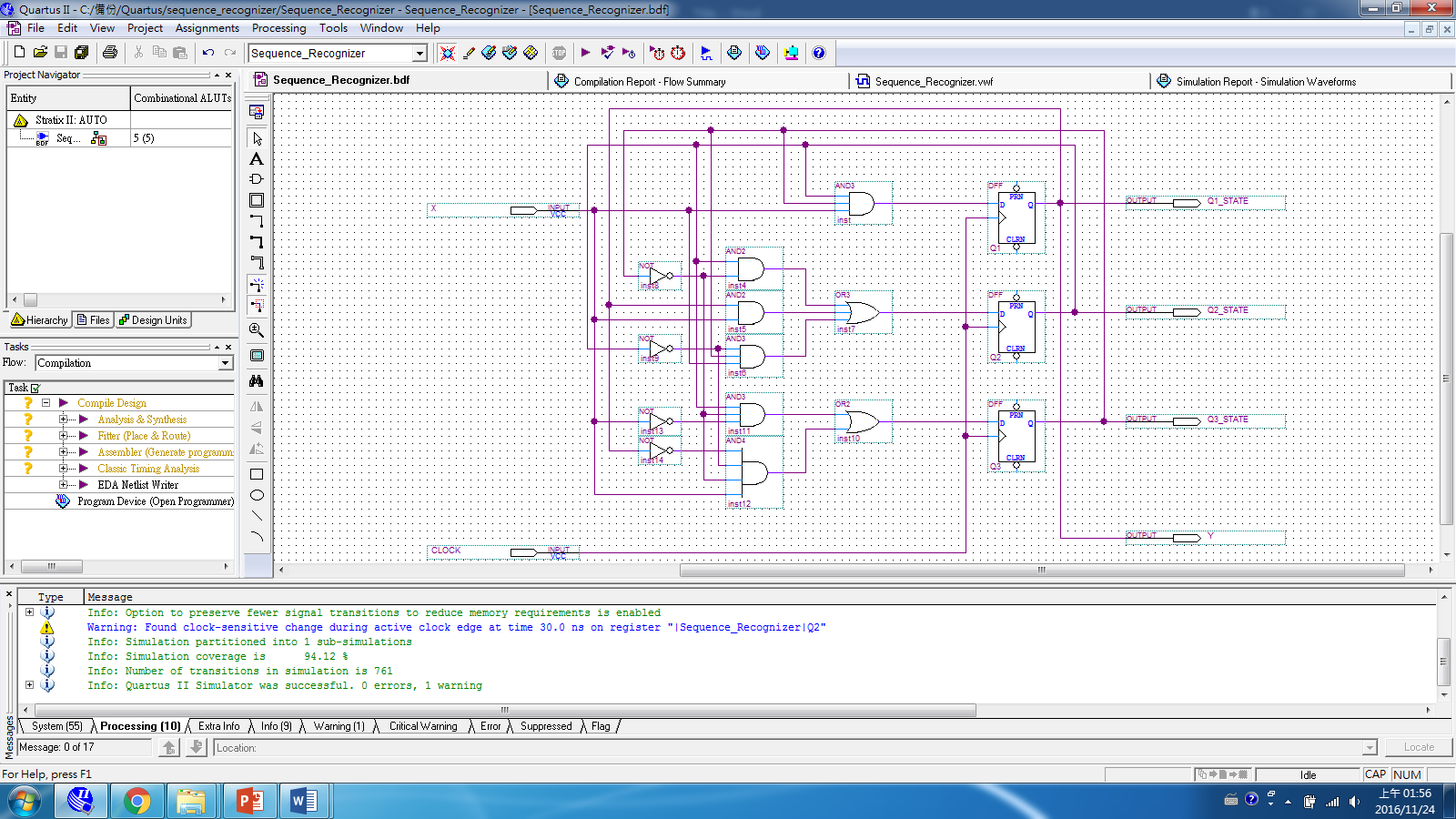
|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
|  |  |  |  |
| X | X | X | X |
| 1 | 1 | X | X |

Y = Q1

* (4)那麼有了function之後，在去根據其

function來去畫出所對應的電路圖，這樣就

能夠得到我們所需要的功能的電路

III.Verification

0

找到1101之後，output Y就輸出1

1

1

1

上面這張模擬圖主要是在模擬當我input X的輸入是1101時，那麼我的output Y就會輸出等於1，而反觀其餘的輸入順序則會導致Y的輸出為0，而這樣子的結果也就符合了我們所要設計的電路的形式，也符合我們所畫出的state table。

IV. Questions and Discussions

1. Questions

那在製作這一個電路時候，中途也是發生了許多的問題，而這些問題分別有:

1. assign的位元需求:在這個電路function當中的化簡，因為其有5個state要被做state assignment with counting order的形式，如果只有用2個bits來去做assign的動作的話會發生其assign的位元不足，因為其4的二進位是100需要3個bits來去做assign的動作，所以其餘的0,1,2,3也要用3個bits來去做assign的動作。
2. K-map的化簡:那在assign完了之後，還有一點

要特別的注意那就是其Don't Care項，因為在

state table當中，其組合只有0000~1001這10

個組合，可是其餘1010~1111這6個組合並沒在

state table當中，那在一開始我並沒有注意到

Don't Care項這一個細節，所以我用K-map所

化簡出來的function是十分的冗長與複雜，直

到我在去重複檢視我剛剛所得到的state table

之後，我才發覺到我有6個組合並沒有在這個

state table當中，而在這時我才回想起之前老

師所教過的Don't Care這一個觀念，當我把

Don't Care這個觀念導入到我的K-map之後，

其化簡出來的function比原先化簡出來的版本

還要來的精簡，可以看出當其化簡的過程疏忽了

一些細節的話，其電路圖將會變得十分的複雜，

而且如果要做出這個電路的話就必須額外多了好

幾個邏輯元件，導致其成本瞬間提高，造成不必

要的花費，這對於公司而言其虧損是十分的大。

1. 模擬圖的呈現:為了讓其模擬出來的波型圖可以

含括到000、001、010、011和100這5個組合，其過程當中我調整了許多次clock的運作，經過一系列的可能與嘗試之後，才得出其波型圖是有包含這5個組合。

2. Discussions

那在這一次的報告當中讓我知道了其電路設計並不是像課本寫出來的那麼的簡單，其一個電路的完整呈現都是經歷了許多的過程之後才有辦法得出我們所想要的功能的電路，好比這一個sequence recognizer就是如此，經由一路的state diagram -> state table -> K-map -> design circuit -> optimize circuit -> verification ，才得出sequence recognizer這個電路，那就算今天電路被我們設計出來的時候，儘管功能正常但是有可能其電路並不是最精簡的，甚至是有效率的，在這整個設計電路的環節當中，我們有可能會忽略一些十分細微的細節，可是往往這些被我們所忽略的細節有時是能更加優化這個電路的運作以及降低其設計出來所需花費的成本，這些都是一個公司在生產電路的時候會十分在意的點，這也正如老師上課所講過的，一個電路不是說能做出功能正確的就行了，它只不過是一個必要的基底條件而已，我們工程師最應該要去重視的就是去優化其電路，用花費最少的成本來去得到功能一模一樣的電路，這樣子的電路才能說是一個成功的電路，並且其電路的任何Bugs我們也要一一的來去給它Debug，這樣子才能去確保我們所設計出來的電路是真的能夠正常運作並且是實用的而不是堪用。

從這一次的設計電路也讓我自己發覺到目前的所學還是十分的不足，我相信今天我所設計出來的電路一定能夠在去給它簡化，而不是說像我目前設計出來的這樣，所以在電路這一個區塊還有許多的地方是我必須再去好好的學習與補齊，並且去強化我設計電路的能力，這樣子才能確保以後在職場上所設計出來的電路是十分的實用的!

V. Questions and Discussions

[1] 105\_9\_digitalCircuit\_Ch04\_2.ppt

[2] Logic and Computer Design Fundamentals, M. Morris Mano & Charles R. Kime FIFTH EDITION, 2015 Pearson Education, Inc.