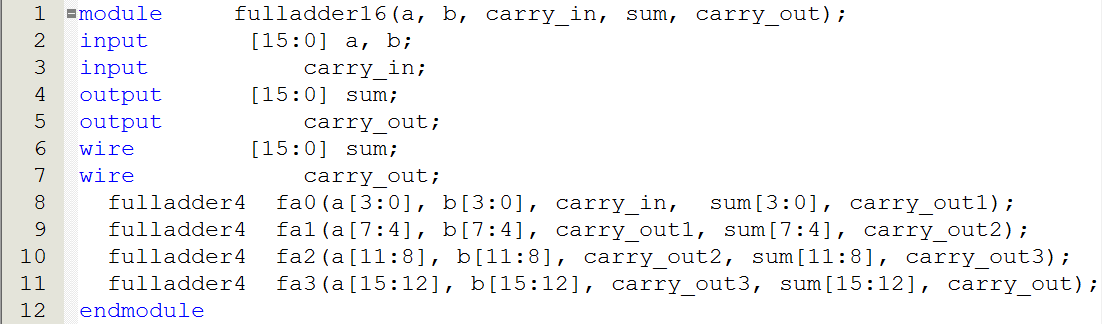
Title:

16-bits adder in Verilog HDL by using four 4 bits full adders



Team No.3

Members:

A1045516 蔡湘俊

A1045505 施彥廷

Abstract

這個16-bits adder的整體架構我們可以分成三個層級，分別是top-level的16-bits full adder，接下來是在中間層的4-bits full adder，以及最底層的full adder，將這三層給合併起來就組成了我們所想要的16-bits full adder，這樣我們就能夠去進行16-bits的相加。

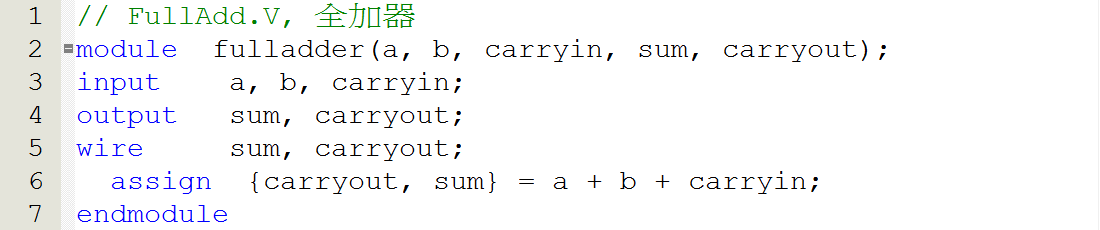
Content

1. methods:

那我們製作這個16-bits full adder的流程分別是:

full adder -> 4-bits full adder -> 16-bits full adder -> Finish

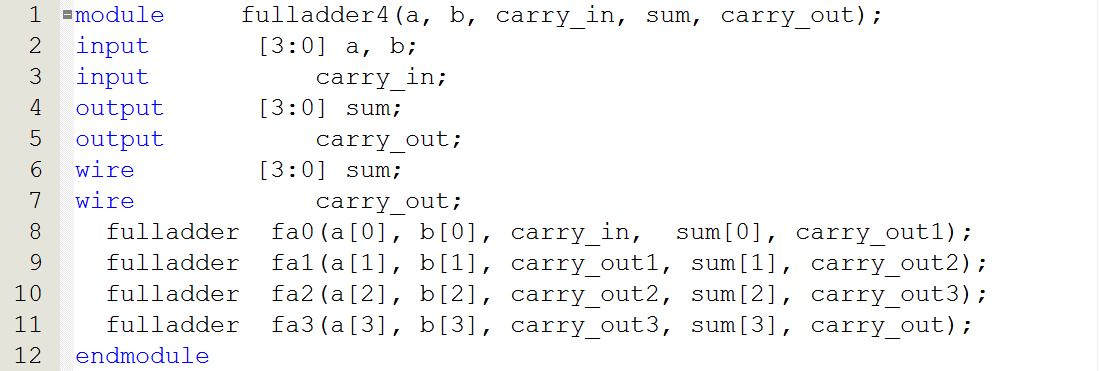
1. full adder:

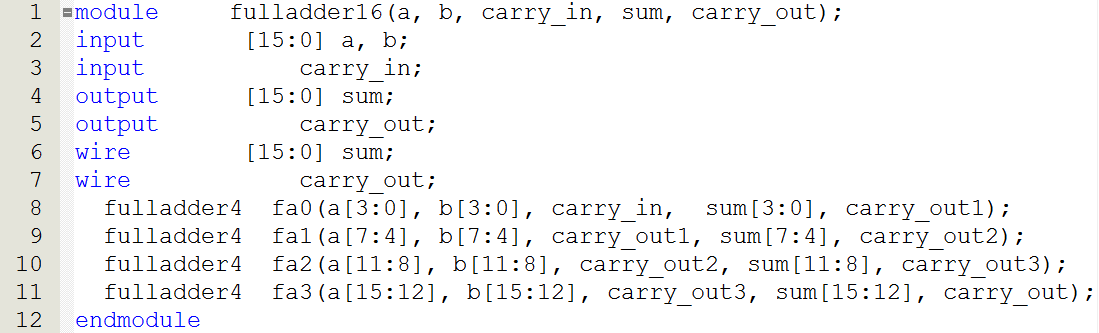
我們將其module命名為FullAdd，並且裡頭的參數分別有a、b、carryin、sum、carryout，其中a、b、carryin是input，而sum、carryout是output，隨後我們又創建了節點sum和carryout，之後我們又在做assign的動作，將其a + b + carryin的結果給assign到carryout和sum，這樣子整個module就已經執行完畢了，並且bit也就相加完成。

1. 4-bits full adder:

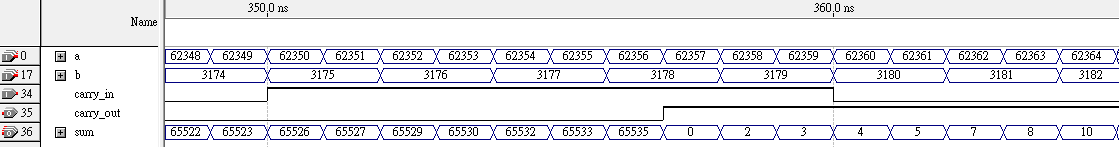
接著我們在寫另外一個module叫做FullAdd4，並且其參數分別有a、b、carry\_in、sum、carry\_out，其中a、b、carry\_in是input，尤其a和b的輸入包含4個bits，而sum和carry\_out

則是output，尤其sum的輸出包含4個bits，隨後再創建節點sum和carry\_out，之後再用我們剛剛寫好的前一個module FullAdd，並且在參數列當中一一的放入其所對應的位置，但因為我們是要做4個bits的相加，所以我們創建了4組FullAdd並且分別以fa0、fa1、fa2、fa3下去作命名，其中a[]、b[]以及sum[]裡頭所寫的數字就是代表其所要相加的bit的位置以及輸出的位置，而其中要注意的一點就是只有第一個FullAdd也就是fa0需要carry\_in而已，其餘的就都是carry\_out。

1. 16-bits full adder:

接著我們在寫另外一個module叫做FullAdd16，並且其參數分別有a、b、carry\_in、sum、carry\_out，與module FullAdd4帶有的參數完全一模一樣，其中a、b、carry\_in是input，而sum和carry\_out則是output，其中與FullAdd4的差別在於說，FullAdd4的a、b和sum都是4個bits，而FullAdd16的a、b和sum都是16個bits，隨後再創建節點sum和carry\_out，之後再用我們剛剛寫好的前一個module FullAdd4，並且在參數列當中一一的放入其所對應的位置，但因為我們是要做16個bits的相加，所以我們創建了4組FullAdd4並且分別以fa0、fa1、fa2、fa3下去作命名，其中a[]、b[]以及sum[]裡頭所寫的數字就是代表其所要相加的bit的位置以及輸出的位置，那與FullAdd4比較不同的地方是在於因為FullAdd4他是做4個bits的相加，所以我是針對一個bit一個bit的相加，可是因為FullAdd16他是針對16bits的相加，就變成說要改成是針對4個bits和4個bits進行相加的動作，所以在a[]、b[]以及sum[]裡頭就不再是數字而是一個4bits的範圍，並且這個範圍是不斷的累加上去的，而其中要注意的一點就是只有第一個FullAdd也就是fa0需要carry\_in而已，其餘的就都是carry\_out。

1. simulation results



從此圖可看出，當輸入a和輸入b與carry\_in 相加之後，若無溢位情形產生，則carry\_out 為0且sum正常輸出。然而，為測試16 bits full adder 溢位情形，將初始值調整至接近216-1(65535)的位置。從上圖可以看到當sum超過65535時，carry\_out就會呈現1的狀態說明溢位，同時，sum則會從0開始計算。

1. Problems

在模擬時，為希望看到溢位結果，將整個頻率加大從1到65535以上時發現電腦在模擬時耗費太多資源與時間，後來發現有調整初值之方法時才解決模擬耗時10分鐘以上的困擾。

1. References

[1] 105\_2\_digitalCircuitLab\_Vlog1.ppt