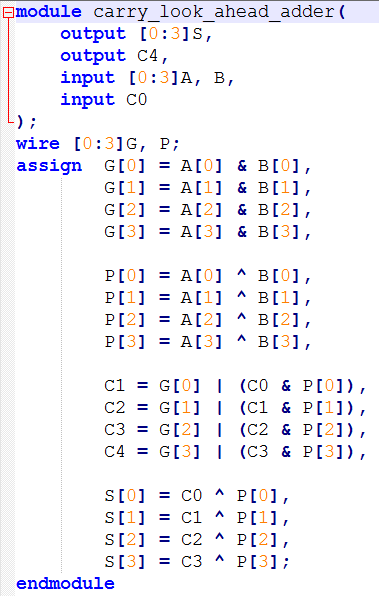
Title:

4-bit Carry Look-ahead adder with dataflow level



Team No.3

Members:

A1045516 蔡湘俊

A1045505 施彥廷

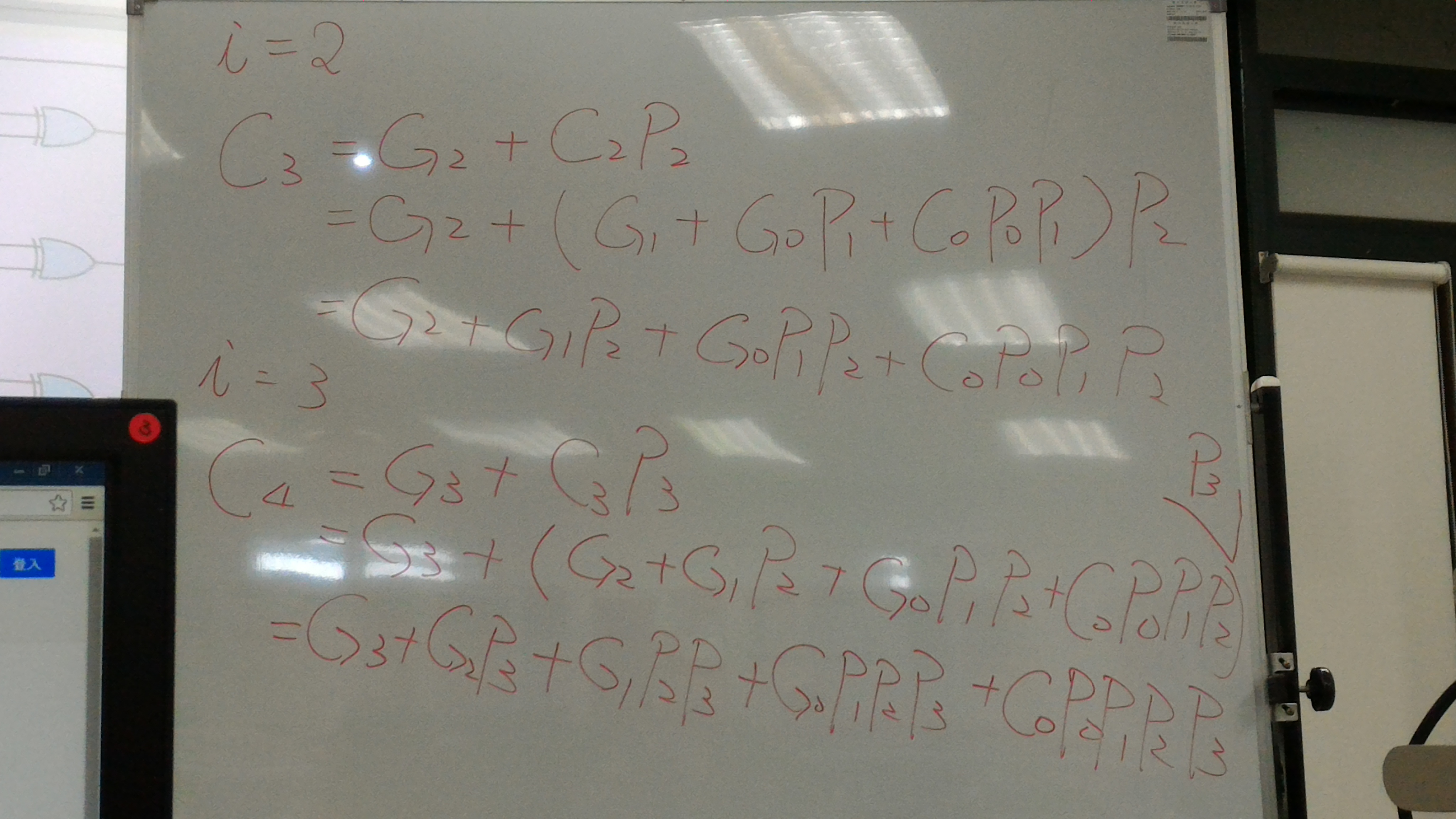
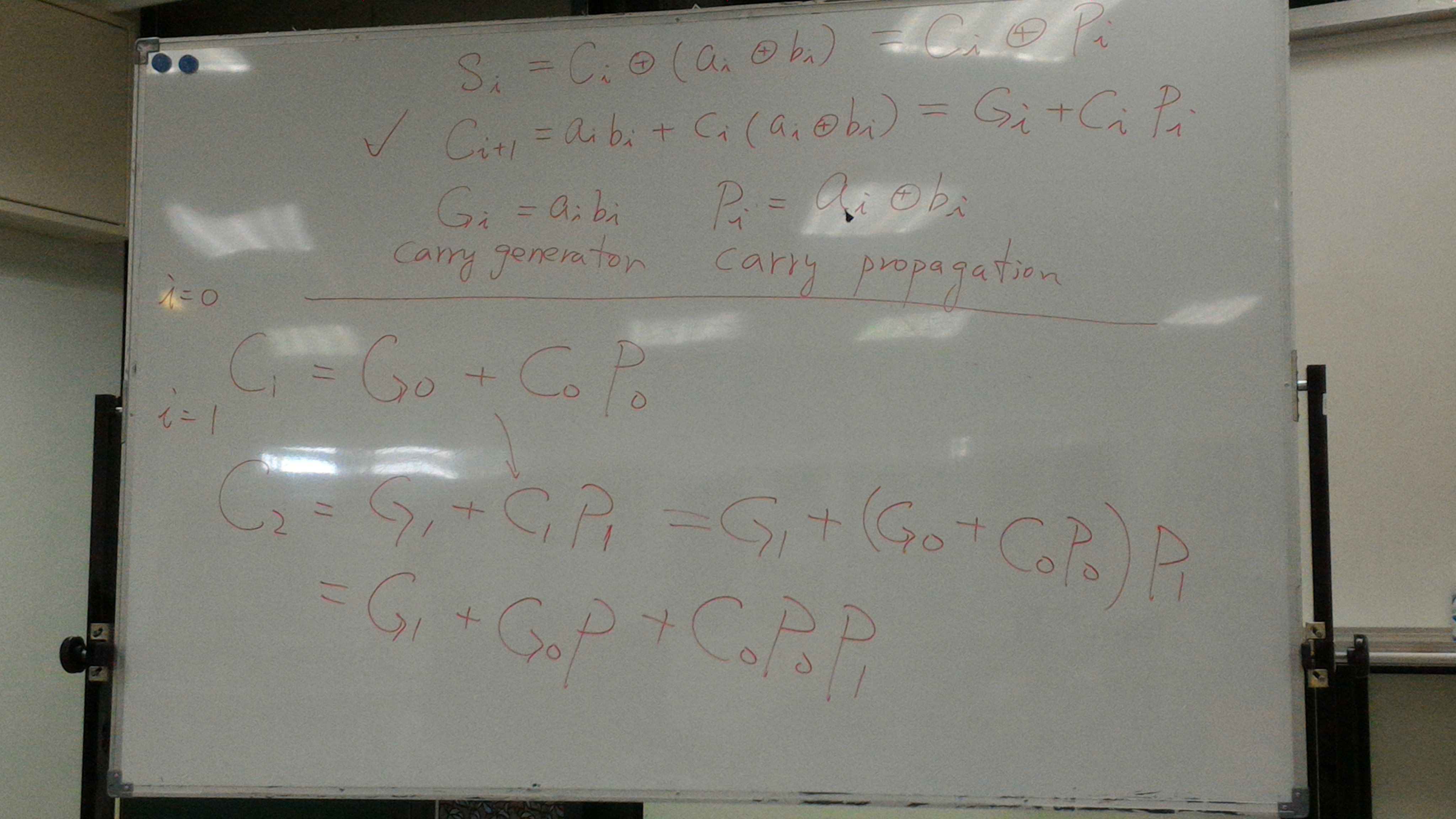
Abstract

這個電路所設計出來的是4-bit Carry Look-ahead adder with dataflow level，這個電路最主要就是在一般的adder電路下，必須依序由最低位元一路相加上來，這樣我們才能知道說前一個位元有沒有進位，而這個Carry Look-ahead adder就如同英文字面上的解釋，就是往前去看說前面的位元是否有任何的進位發生，而這樣子的做法會大大的加快電路相加的運算，原因就在於無須等待前方的位元做完相加之後才能知道是否有進位，而是可以直接得知是否該位元相加完的時候會不會有進位，這個就是Carry Look-ahead adder這個電路的強大之處。

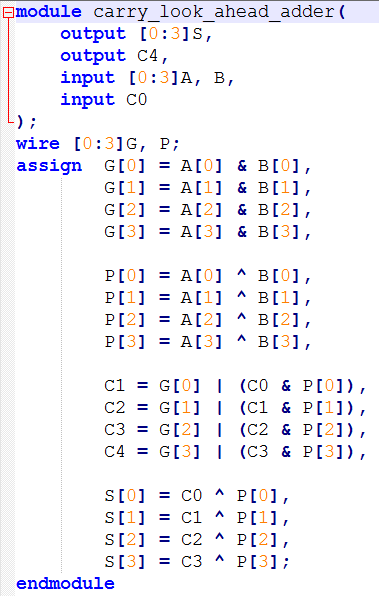
Content

1. methods:

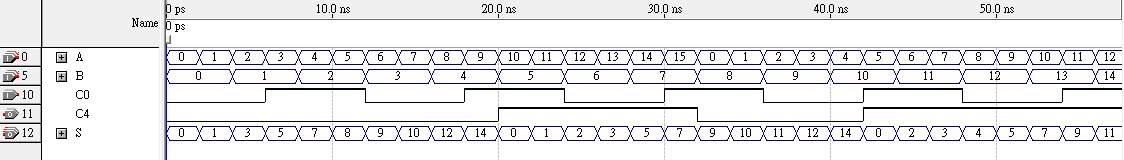
那我們製作這個4-bit Carry Look-ahead adder with dataflow level的流程是宣告一個module叫做Carry\_Look\_ahead\_adder\_with\_dataflow，而其變數有s,c4,a,b,c0，其中a,b,c0是input，而a,b是代表要去做相加的二進位，而c0則是代表一開始要做相加之前，在最低位元的前方是有任何額外的進位，而s和c4是代表output，其中s是代表兩個二進位相加出來的結果，而c4則是在判斷在最高位元的地方做完了相加的動作之後是否有產生任何的進位，那在之後還有宣告g,p,cp這三個為wire，而這三個的功能就是負責去接取套用下方公式所得出來的結果。



而這一整個電路的實做很簡單只要照著上方的公式下去做就能夠得到4-bit Carry Look-ahead adder with dataflow level這一個電路，g的部分是去暫存a和b每個位元and出來的結果，p的部分是去暫存a和b每個位元xor出來的結果，cp的部分是去暫存c和p每個位元and出來的結果，c1,c2,c3,c4的部分是去暫存g和cp每個位元or出來的結果，而最後s的部分是去暫存c和p每個位元xor出來的結果，那做到這邊整個電路就已經完成。



1. simulation results



上圖為carry look ahead adder 的波型模擬圖，根據上圖可以發現當A和B相加之結果為S。然而當有C0的carry in 的時候，S就會再多加1。而當總和超過15(1111)時，可以看到C4會變成1。

1. Problems

在撰寫此電路時，最主要的是要把前幾週所學融化貫通，把邏輯閘的方程式以data-flow level的概念套用到製作carry look ahead adder電路中，並把今天教的內容結合到電路中。

1. References

[1] 105\_2\_digitalCircuitLab\_Vlog4.ppt