

Микроархитектура однотокового
процессора schoolRISCV.

Упражнения на симуляторе на уровне
регистровых передач Icarus Verilog,
синтез процессора для FPGA платы.

Благодарность

1. Занятие проводится на основе материалов Станислава Жельнио, Юрия Панчула и других
2. Репозиторий <https://github.com/zheInio/schoolRISCV>
3. Больше спасибо Станиславу и коллегам



vostok

Технологический трек

Индустриальный трек

Академический трек

Правовой трек

Задачи Академического комитета

- Вовлечение профильных вузов в исследования и научные разработки на базе архитектуры RISC-V
- Развитие программ обучения прикладным навыкам использования технологий RISC-V в вузах, а также площадок по обмену передовым опытом («Академия RISC-V»)
- Перевод и издание специализированной технической литературы, поддержка тематических научных и студенческих сообществ
- Проведение мероприятий в регионах: конференции, митапы и хакатоны, сотрудничество с акселераторами

Задачи Технологического комитета

- Ранний доступ членов Альянса к технологии RISC-V
- Обеспечение информационной безопасности продуктов, разработанных с использованием данной технологии
- Формирование новых продуктовых направлений в экосистеме RISC-V
- Анализ мировых трендов и достижений, выпуск материалов на русском языке

Запуск симуляции schoolriscv

1. Симуляцию можно запустить для трех демо примеров: счетчик, Фибоначчи и вычисление квадратного корня.
2. Ассемблерные коды и файлы для запуска лежат в директории *program*
3. Для запуска симуляции в Linux выполните *make icarus* их соответствующей директории
4. Для запуска симуляции с Windows:
 1. Запустите *run_using_iverilog_under_windows.bat*
 2. Откройте в GTKWave полученный vcd дамп из директории *sim*

Запуск демо в FPGA

1. Проект для плат находится в директории *board/rzrd*
2. Необходимо открыть готовый проект в Quartus подцепив нужный hex файл с программой и загрузить в плату