



AVR – UART

임베디드스쿨2기

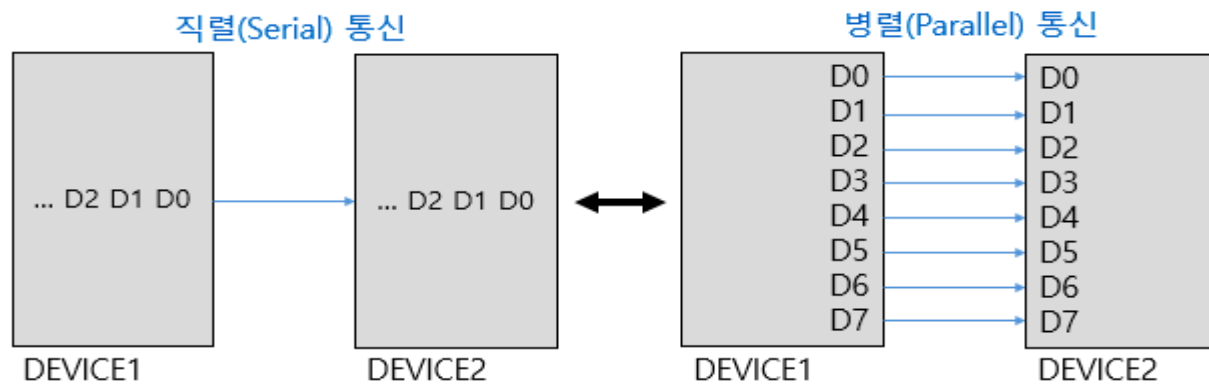
Lv1과정

2021. 08. 03

이충재

직렬통신: 선 1개로 한 비트씩 순차적으로 데이터 전송.

병렬통신: 여러 개의 선으로 한번에 데이터 전송.



직렬통신 장점: 원거리 통신에 유리, 구조가 단순하다, 가격이 싸다

단점: 데이터를 한 비트씩 보내기 때문에 속도가 느리다.

병렬통신 장점: 한 번에 많은 정보를 전송할 수 있어 속도가 빠르다.

단점: 원거리통신 불리, 구조 복잡, 가격 비싸다

동기: 통신을 위해 별도의 클록 신호가 필요
큰 크기의 텍스트 단위 문자 프레임 전송.

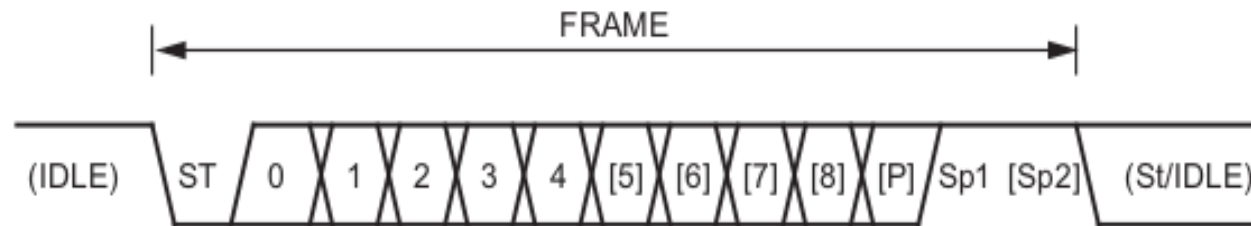
비동기: 송수신 양측이 데이터 통신속도 및 데이터 비트수 등 포맷을 미리 약속
문자단위 데이터 전송.

동기 장단점:

비동기 장단점:

비동기 통신 데이터 프레임

Figure 19-4. Frame Formats



start비트(1비트) – 데이터비트(5 ~ 9비트) – 패리티비트(1비트) – stop비트(1 ~ 2비트)

USART통신을 안하고 있을때는 송신과 수신은 high 상태를 유지한다.
신호가 high에서 low로 떨어지면 start비트로 인식한다.

19.10.1 UDRn – USART I/O Data Register n

Bit	7	6	5	4	3	2	1	0	
	RXB[7:0]								UDRn (Read)
	TXB[7:0]								UDRn (Write)
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

UDRn은 데이터 정보를 저장하는 레지스터이다.

수신용과 발신용 UDRn 레지스터는 같은 주소를 사용하지만 프로그램에서 쓰기를 수행하면 송신용 UDRn, 읽기를 수행하면 수신용 UDRn이 자동으로 대응된다.

전송 데이터 비트를 5 ~ 7 비트로 설정하면 송신기는 사용되지 않는 비트는 무시하고 수신기는 0으로 처리한다.

UCRSnA 레지스터의 UDREN비트가 세트되어 있어야만 UDRn에 데이터를 쓸 수 있다.

9.10.2 UCSRnA – USART Control and Status Register n A

Bit	7	6	5	4	3	2	1	0	
	RXCn	TXCn	UDREN	FEn	DORn	UPEn	U2Xn	MPCMn	UCSRnA
Read/Write	R	R/W	R	R	R	R	R/W	R/W	
Initial Value	0	0	1	0	0	0	0	0	

RXCn: 수신버퍼가 비어있으면 (데이터를 받을 준비가 되어 있으면) 0으로 클리어
읽지 않은 데이터가 있다면 (데이터를 받을 준비가 안되어 있으면) 1로 세트

TXCn: 송신버퍼와 송신 시프트 레지스터가 모두 비어 있으면 1로 세트
둘중 하나라도 읽지 않은 데이터가 있다면 0으로 클리어

UDREN: 송신버퍼가 비어 있으면 1로 세트, 읽지 않은 데이터가 있다면 0으로 클리어

FEn, DORn, UPEn, U2Xn, MPCMn은 나중에 작성

FEn, DORn, UPEn, U2Xn, MPCMn

9.10.3 UCSRnB – USART Control and Status Register n B

Bit	7	6	5	4	3	2	1	0	
	RXCIE_n	TXCIE_n	UDRIE_n	RXEN_n	TXEN_n	UCSZ_{n2}	RXB8_n	TXB8_n	UCSR _n B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	

RXCIE_n: 수신완료 인터럽트를 허용하는 비트이다.

RXCIE_n비트를 1로 세트하고 SREG레지스터의 I비트가 1인 상태에서
RXC_n비트가 1이 되면 (새로운데이터가 수신버퍼에 들어오면) 인터럽트 발생.

TXCIE_n: 송신완료 인터럽트를 허용하는 비트이다.

TXCIE_n비트를 1로 세트하고 SREG레지스터의 I비트가 1인 상태에서
TXC_n비트가 1이되면(읽지않은 데이터가 있다면) 인터럽트 발생.
송신완료 인터럽트가 실행되면 TXC_n 비트는 자동으로 0이된다.

9.10.3 UCSRnB – USART Control and Status Register n B

Bit	7	6	5	4	3	2	1	0	
	RXCIE _n	TXCIE _n	UDRIE _n	RXEN _n	TXEN _n	UCSZ _{n2}	RXB8 _n	TXB8 _n	UCSR _{nB}
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	

UDRIE_n: 이 비트가 1이고 SREG - I 비트가 1인 상태에서 UCSR_{nA} – UDRE_n 비트가 1로 세트되면 인터럽트 발생

RXEN_n: 이 비트가 1이면 USART 수신기의 동작을 허용한다.

TXEN_n: 이 비트가 1이면 USART 송신기의 동작을 허용한다.

UCSZ_{n2}: UCSR_{nC} – UCSZ_n 1,0 와 함께 전송문자의 데이터 비트수를 결정

RXB8n: 데이터 비트가 9비트로 설정 되었을때 수신된 데이터의 9번째(최상위) 비트로 저장.
반드시 UDRn 레지스터 보다 먼저 써야한다.

TXB8n: 데이터 비트가 9비트로 설정 되었을때 송신된 데이터의 9번째(최상위) 비트로 저장
반드시 UDRn 레지스터 보다 먼저 써야한다.

19.10.4 UCSRnC – USART Control and Status Register n C

Bit	7	6	5	4	3	2	1	0	
	UMSELn1	UMSELn0	UPMn1	UPMn0	USBSn	UCSZn1	UCSZn0	UCPOLn	UCSRnC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	1	1	0	

UMSELn 1,0 : 동기, 비동기 모드 결정. 아래 표 참고하기.

Table 19-4. UMSELn Bits Settings

UMSELn1	UMSELn0	Mode
0	0	Asynchronous USART
0	1	Synchronous USART
1	0	(Reserved)
1	1	Master SPI (MSPIM) ⁽¹⁾

Note: 1. See [Section 20. "USART in SPI Mode" on page 166](#) for full description of the master SPI mode (MSPIM) operation

UPMn 1,0: 패리티 모드 결정. 아래 표 참고

Table 19-5. UPMn Bits Settings

UPMn1	UPMn0	Parity Mode
0	0	Disabled
0	1	Reserved
1	0	Enabled, even parity
1	1	Enabled, odd parity

USBSn: 스탑비트 수 결정. 아래표 참고

Table 19-6. USBS Bit Settings

USBSn	Stop Bit(s)
0	1-bit
1	2-bit

UCSZn 1,0 : 데이터 비트수 결정.

Table 19-7. UCSZn Bits Settings

UCSZn2	UCSZn1	UCSZn0	Character Size
0	0	0	5-bit
0	0	1	6-bit
0	1	0	7-bit
0	1	1	8-bit
1	0	0	Reserved
1	0	1	Reserved
1	1	0	Reserved
1	1	1	9-bit

UCPOLn: 이 비트는 동기 모드에서만 사용. 비동기 모드에서는 0으로 설정

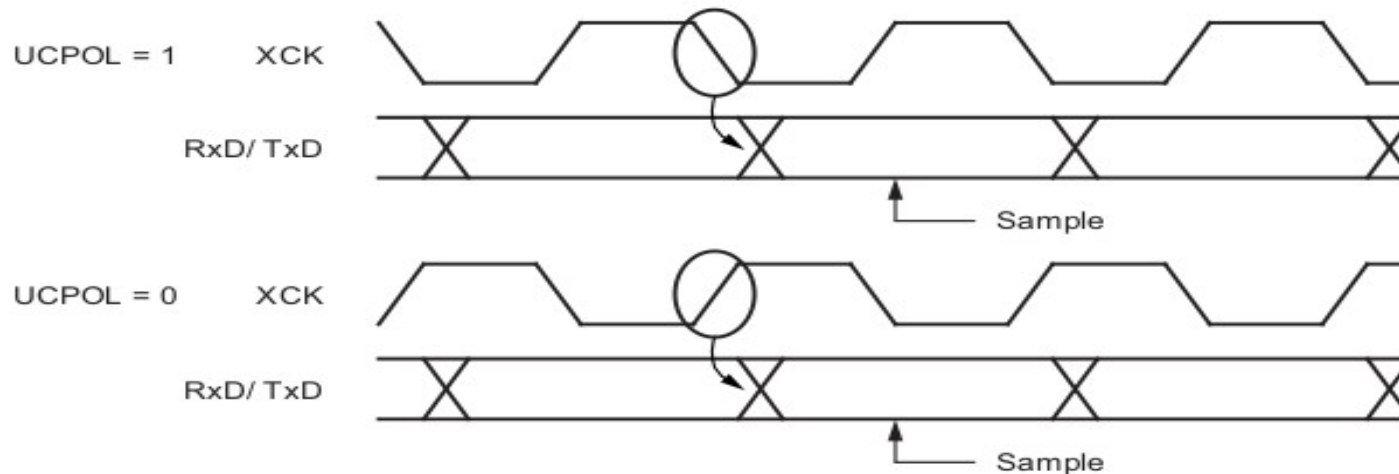
Table 19-8. UCPOLn Bit Settings

UCPOLn	Transmitted Data Changed (Output of TxDn Pin)	Received Data Sampled (Input on RxDn Pin)
0	Rising XCKn edge	Falling XCKn edge
1	Falling XCKn edge	Rising XCKn edge

0: 상승엣지에서 송신데이터 변화, 하강엣지에서 수신데이터 샘플링

1: 하강엣지에서 송신데이터 변화, 상승엣지에서 수신데이터 샘플링

Synchronous Mode XCKn Timing



UBRRnH: 보레이트 설정 비트

UBRRnL and UBRRnH – USART Baud Rate Registers

Bit	15	14	13	12	11	10	9	8	
	—	—	—	—	UBRRn[11:8]				UBRRnH
	UBRRn[7:0]								UBRRnL
	7	6	5	4	3	2	1	0	
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

UBRRn 구하는 공식

Table 20-1. Equations for Calculating Baud Rate Register Setting

Operating Mode	Equation for Calculating Baud Rate ⁽¹⁾	Equation for Calculating UBRRn Value
Synchronous master mode	$BAUD = \frac{f_{OSC}}{2(UBRRn + 1)}$	$UBRRn = \frac{f_{OSC}}{2BAUD} - 1$

보레이트에 따른 UBRRn값

Table 19-12. Examples of UBRRn Settings for Commonly Used Oscillator Frequencies

Baud Rate (bps)	$f_{osc} = 16.0000\text{MHz}$			
	U2Xn = 0		U2Xn = 1	
	UBRRn	Error	UBRRn	Error
2400	416	-0.1%	832	0.0%
4800	207	0.2%	416	-0.1%
9600	103	0.2%	207	0.2%
14.4k	68	0.6%	138	-0.1%
19.2k	51	0.2%	103	0.2%
28.8k	34	-0.8%	68	0.6%
38.4k	25	0.2%	51	0.2%
57.6k	16	2.1%	34	-0.8%
76.8k	12	0.2%	25	0.2%
115.2k	8	-3.5%	16	2.1%
230.4k	3	8.5%	8	-3.5%
250k	3	0.0%	7	0.0%
0.5M	1	0.0%	3	0.0%
1M	0	0.0%	1	0.0%
Max. ⁽¹⁾	1Mbps		2Mbps	

Note: 1. UBRRn = 0, error = 0.0%

코드 추가