



TWI통신

임베디드스쿨2기

Lv1과정

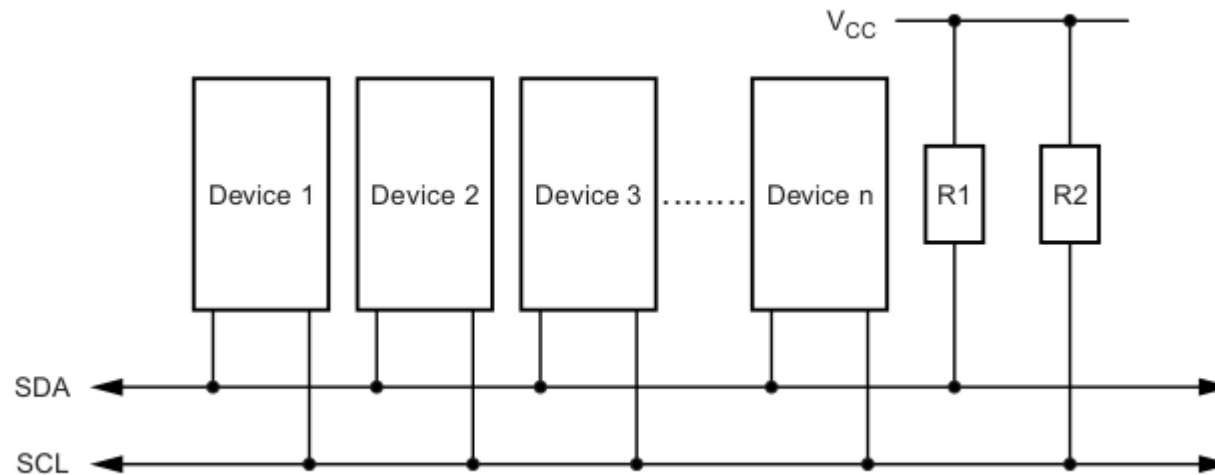
2021. 08. 15

이충재

TWI (Two Wire Serial Interface) 통신:

2선(SDA, SCL)을 사용하는 동기 직렬통신 방식
마스터와 슬레이브 사이 통신

.. TWI Bus Interconnection



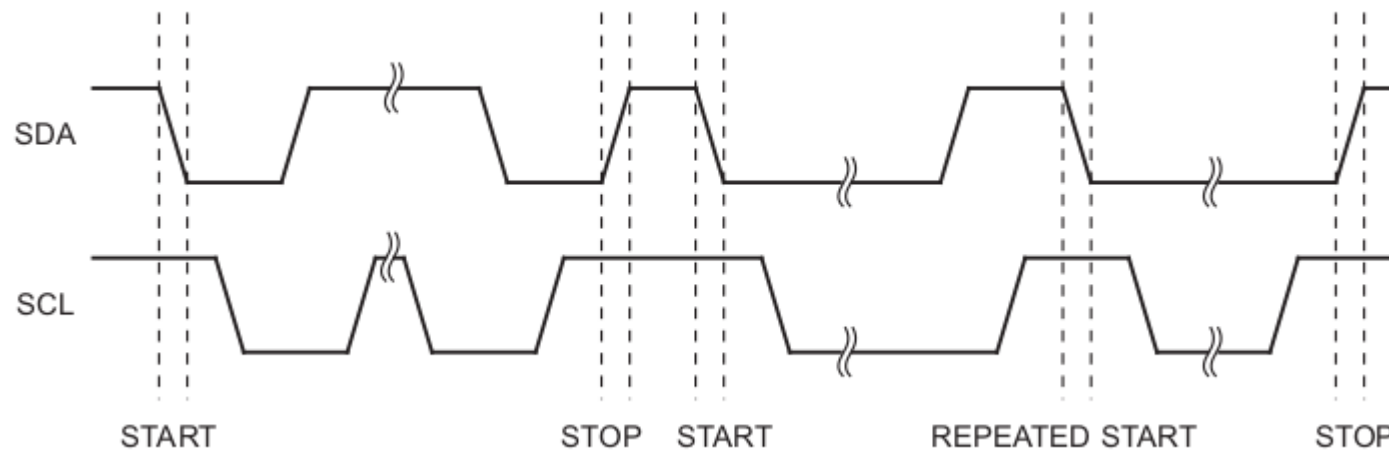
한개의 마스터가 여러개의 슬레이브중에 하나의 슬레이브를 선택하여 데이터를 송수신한다.

START 조건

SCL이 H 상태에서 SDA 하강엿지로 변화할때

STOP 조건

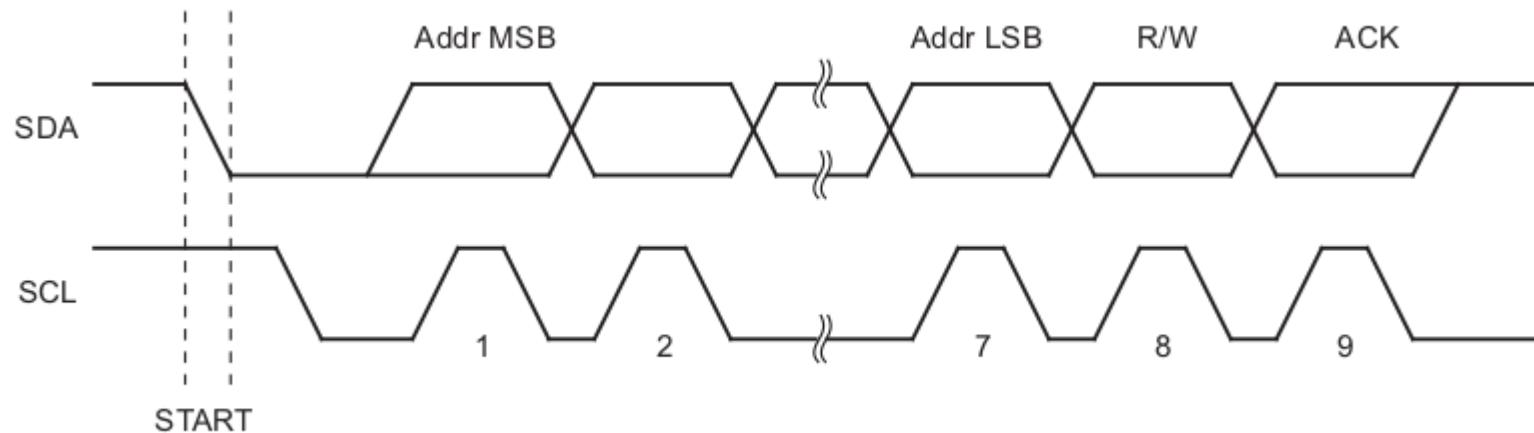
SCL이 H 상태에서 SDA 상승엿지로 변화할때



어드레스 패키지 포맷

어드레스 패키지는 슬레이브 주소, 송수신 선택, 그리고 송수신 확인 비트로 이루어져 있다.

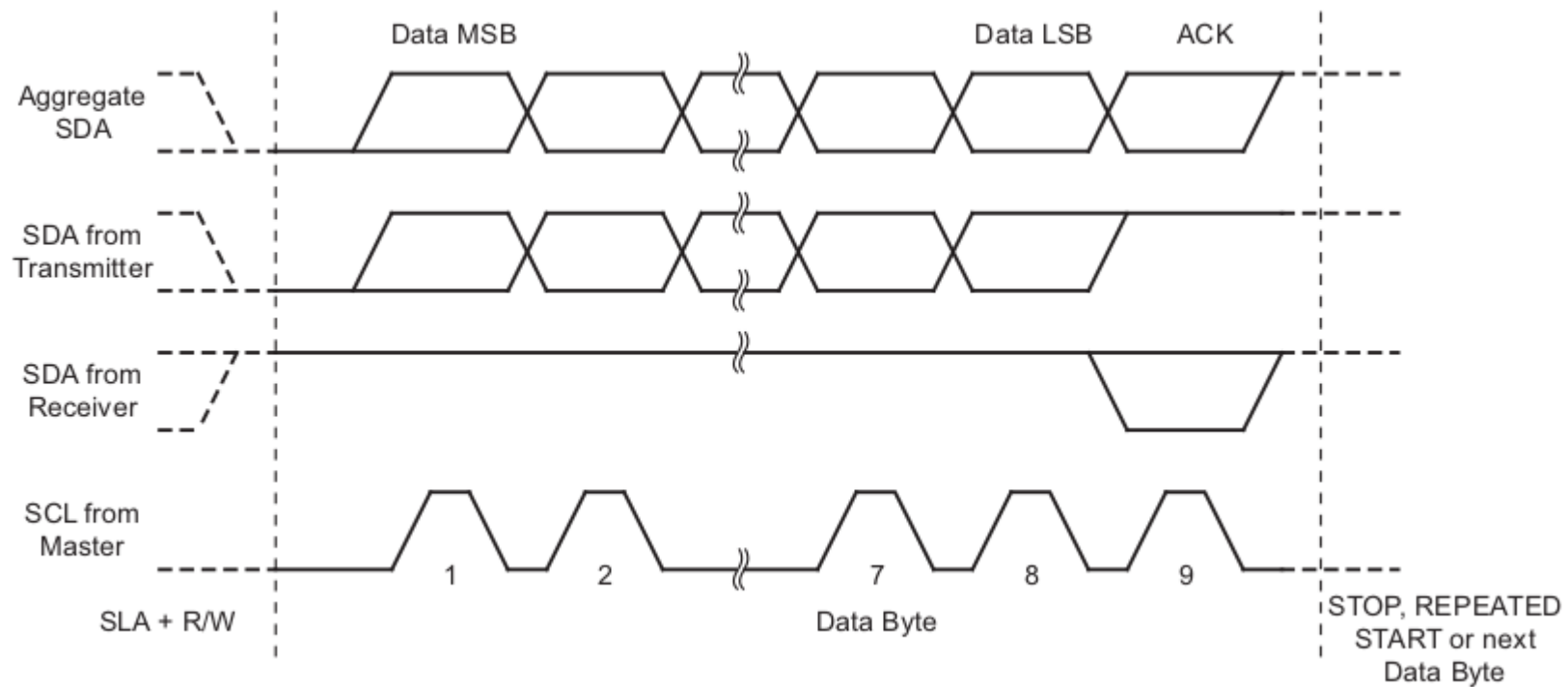
슬레이브 어드레스 7비트 + R/W 1비트 + ACK 1비트

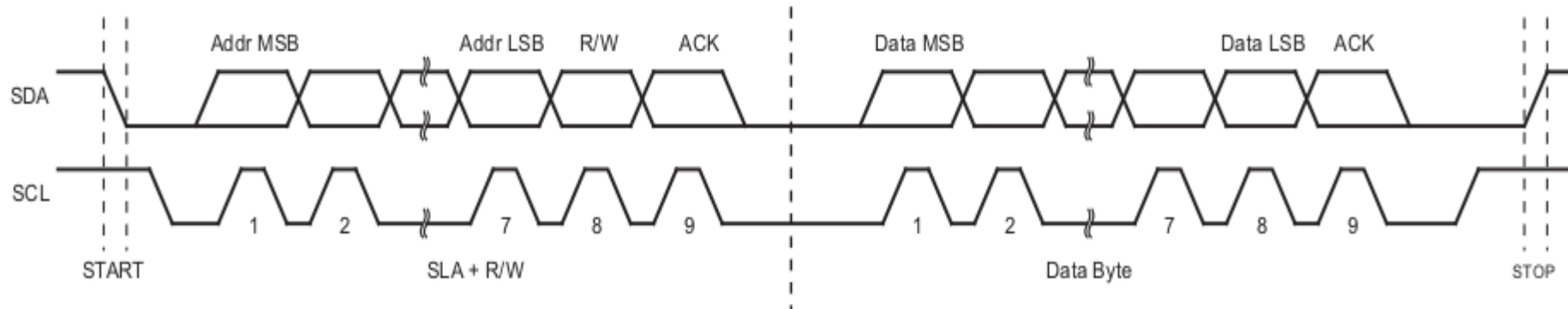


어드레스 주소로 1111 xxx는 향후에 기능확장을 위해 사용해서는 안된다.

데이터 송수신 포맷

송신측에서 8비트의 데이터를 보내면 수신측에서 수신확인 신호 ACK를 보낸다.
데이터 송수신시 SDA 하나의 라인을 사용하는것이 특징이다.





위 그림은 어드레스패킷과 데이터패킷을 함께 나타낸것이다.

데이터 전송시 일반적으로

START조건 + 어드레스 패킷 + 하나 또는 여러개 데이터패킷 + END 조건으로 이루어진다.

TWBR – TWI Bit Rate Register

Bit	7	6	5	4	3	2	1	0	
(0xB8)	TWBR7	TWBR6	TWBR5	TWBR4	TWBR3	TWBR2	TWBR1	TWBR0	TWBR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

TWBRn: TWI 마스터모드에서 SCL 주파수를 결정하는 요소중 하나

또다른 요소는 TWSR – TWPSn 이다. (Prescaler Value 결정)

$$\text{SCL frequency} = \frac{\text{CPU Clock frequency}}{16 + 2(\text{TWBR}) \times (\text{PrescalerValue})}$$

TWCR – TWI Control Register

Bit	7	6	5	4	3	2	1	0	
(0xBC)	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	–	TWIE	TWCR
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	

TWINT (TWI Interrupt Flag) :

TWI가 동작을 완료하면 1로 세트되면서 인터럽트를 요청한다.
이 비트는 인터럽트가 실행되어도 자동으로 클리어되지 않는다.
이 비트에 1을 써 넣는경우에만 0이된다.

The TWINT flag is set in the following situations:

- After the TWI has transmitted a START/REPEATED START condition.
- After the TWI has transmitted SLA+R/W.
- After the TWI has transmitted an address byte.
- After the TWI has lost arbitration.
- After the TWI has been addressed by own slave address or general call.
- After the TWI has received a data byte.
- After a STOP or REPEATED START has been received while still addressed as a slave.
- When a bus error has occurred due to an illegal START or STOP condition.

TWEA (TWI Enable Acknowledge Bit): 확인신호(ACK) 출력 허용 비트

슬레이브가 마스터로부터 자기주소를 받거나 데이터를 받을때 확인신호 출력

TWSTA (TWI Start Condition Bit):

이 비트를 1로 세트시 마스터가 TWI 버스를 사용가능한 상태인지 확인
START조건 출력. START조건 출력후 반드시 클리어 되어야 한다.

TWSTO (TWI Stop Condition Bit):

이 비트를 1로 세트시 STOP조건 출력. STOP조건 출력후 자동으로 클리어된다.

TWWC (TWI Write Collision Flag) :

TWINT = 0인 상태에서 TWDR에 데이터를 쓰려고 하면 이 비트가 1이 된다.
TWINT = 1인 상태에서 TWDR에 데이터를 쓰면 이 비트가 클리어 된다.

TWEN (TWI Enable Bit):

TWI 통신모듈이 동작하는것을 가능하게 한다. SDA, SCL핀 유효하게 한다.

TWIE (TWI Interrupt Enable) : TWINT에 의한 인터럽트 허용 비트

TWSR – TWI Status Register

Bit	7	6	5	4	3	2	1	0	
(0xB9)	TWS7	TWS6	TWS5	TWS4	TWS3	–	TWPS1	TWPS0	TWSR
Read/Write	R	R	R	R	R	R	R/W	R/W	
Initial Value	1	1	1	1	1	0	0	0	

TWS 7 ~ 3 : TWI 상태에 따라 비트값 결정 된다.

ex) 0x18 : 주소값 + 송수신 보냄, ACK응답 받음

자세한것은 데이터시트 (21.7장) 참고.

$$F_{scl} = \frac{\text{CPU Clock frequency}}{16 + 2(TWBR) \times (\text{PrescalerValue})}$$

TWPS 1 ~ 0: TWI 클록 주파수를 결정한다.

TWPS1	TWPS0	Prescaler Value
0	0	1
0	1	4
1	0	16
1	1	64

TWDR – TWI Data Register

Bit	7	6	5	4	3	2	1	0	
(0xBB)	TWD7	TWD6	TWD5	TWD4	TWD3	TWD2	TWD1	TWD0	TWDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	1	1	1	1	1	1	1	1	

TWDn (TWI Data Register)

송신할 어드레스 또는 데이터를 저장하는 레지스터
수신한 데이터를 저장하는 레지스터.

TWAR – TWI (Slave) Address Register

Bit	7	6	5	4	3	2	1	0	
(0xBA)	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	TWAR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	1	1	1	1	1	1	1	0	

TWAn (TWI Slave Address Register) :

슬레이브 모드에서만 유효, 마스터에 의하여
지정될 어드레스 7비트 저장

TWGCE (TWI General Call Recognition Enable Bit) :

슬레이브를 전체 호출을 가능하게 한다.

전체호출 (General Call):

어드레스패킷에서 어드레스값을 0000000으로 전송하면 전체호출이 발생한다. 전체호출이 발생하면 모든 슬레이브는 호출에 응답하기 위해 SDA라인을 L로 만든다. 전체호출은 같은 메시지를 많은 슬레이브에 보낼때 주로 사용된다.

어드레스 0000000뒤에 오는 R비트는 의미가 없다. 왜냐하면 슬레이브가 각자 다른 데이터를 보내 슬레이브끼리 경합이 일어나기 때문이다.

TWAMR – TWI (Slave) Address Mask Register

Bit	7	6	5	4	3	2	1	0	
(0xBD)	TWAM[6:0]							-	TWAMR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	
Initial Value	0	0	0	0	0	0	0	0	

TWAMR 레지스터는 TWAR의 해당비트를 0으로 만든다.

ex) TWAR = 0x37, TWAMR = 0x07

TWAR값 0x37 → 0x30